

超高频 RFID 标签数字基带处理器的设计

吴殿丞^{1,2}, 杨 骅^{1,2}, 张铁军¹, 王东辉¹, 侯朝焕¹

(1 中国科学院 声学研究所, 北京 100190; 2 中国科学院 研究生院, 北京 100190)

摘 要: 针对超高频 RFID 标签芯片小面积、低功耗的要求, 设计了一种符合 EPC C1G2 标准的数字基带处理器。在分析其功能基础上进行模块划分, 提出了一种新的体系结构; 论述并推导了标签工作所需的最低频率; 设计了功耗管理模块, 在降低功耗的同时, 通过调度各个模块, 使其正确地协同工作; 采用流水线方式进行编码输出; 简化了存储器接口的设计。仿真结果符合标准要求, 综合后电路规模约 7 200 门。该电路可应用于超高频 RFID 标签。

关键词: 射频识别; 电子标签; 基带处理器; EPC

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2010)09-0001-04

Design of a Digital Baseband Processor for UHF RFID Tags

WU Dian-cheng^{1,2}, YANG Hua^{1,2}, ZHANG Tie-jun¹, WANG Dong-hui¹, HOU Chao-huan¹

(1 Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: Aiming at the request of low power and small area of UHF RFID tags, this paper presents a baseband processor, which is compatible with the "EPCTM Class-1 Generation-2 UHF RFID Protocol". The method of module division and a new architecture are proposed based on the analysis of the tag's function. The lowest frequency that a tag needs is discussed and computed. A power management module is designed for both power reduction and scheduling modules in order to make them work in a correct way. The pipelining way of encoding the outputs is adopted. This paper also designs a simplified memory interface. The result of simulation accords with the protocol, and the design has been synthesized, whose area is about 7 200 gates. The circuit can be applied to a UHF RFID tag.

Key words: RFID; tag; baseband processor; EPC

1 引言

RFID(Radio Frequency Identification)是一种非接触的自动标识技术,它利用射频信号和空间耦合来实现对物体的自动识别。随着无线通信技术的发展,超高频 RFID 技术以其非接触式、存储容量大、识别速度快、距离远、多目标识别等优点而备受关注,并且已经在物流管理,公共交通,门禁考勤以及其他诸多服务型行业中得到了广泛的应用。日常生活对 RFID 系统的需求也日益增长^[1-2]。

本文所设计的超高频 RFID 标签数字基带处理器是基于 EPC C1G2 标准的,该标签工作具有无源、半双工和顺序执行指令等特点^[3]。研究表明,电子

标签接收的瞬时能量与其工作距离的平方成反比,因此标签的瞬时功耗越低,其可作用距离就越远。另一方面,为了使标签能够广泛和大量地使用,标签成本也须降低,因而标签芯片的面积也须尽可能小。本文在提出一种新的体系结构基础上,采用门控时钟机制、流水线工作以及模块复用等多种技术设计了一款适用于超高频 RFID 标签的小面积低功耗基带处理器芯片。

2 基带处理器的体系结构设计

RFID 标签由模拟射频部分、基带处理器和 EEPROM 存储器三部分组成,由数字电路实现的基带处理器是其核心控制单元,它的作用是接收从模

拟前端发送过来的时钟、复位及数据信号,对数据信号进行解码、译码、CRC 校验,根据指令做出响应,产生随机数,并按指定编码方式和帧格式输出数据。

依基带处理器的功能及工作过程进行模块划分,如图 1 所示,包括:功耗管理模块(PM),数据解码和指令译码模块(DEC),CRC 校验和生成模块(CRC),数据编码模块(ENC),存储器接口模块(IO),随机数生成器(RNG)以及主状态机模块(FSM).按照功能划分模块,可使结构清晰,便于维护系统和扩展功能,避免了功耗的过分集中,并且各个模块工作于不同时段,易于对整个系统进行功耗管理。

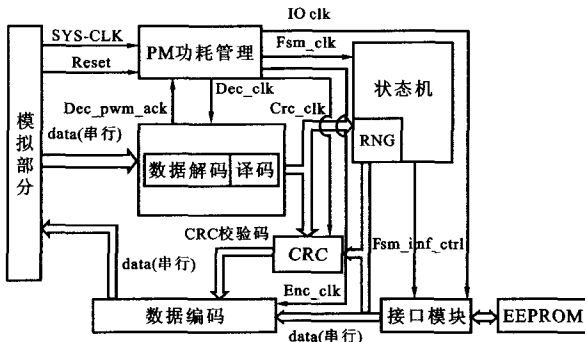


图 1 RFID 标签基带处理器的体系结构框图

3 标签所需最小工作频率的计算

3.1 RTcal 决定的工作频率

标准中规定标签需要计算^[4]前同步码中 RTcal 符号的时间长度来解码出数据流中的 0、1 信号,信号时长小于 RTcal 符号时长的一半作为 data-0,反之则为 data-1.由于标签对时间长度的计算是以其自身时钟周期为间隔进行采样计数,这里就会存在一定的误差.显然频率越快解码的精确度越高,但频率过快又会带来较大的动态功耗,因此需要找到一个能够准确解码的最小的时钟频率 f_{dec} .把 RTcal 长度记为 $length_RTcal$,标签采到的计数值应为

$$RTcal_cnt = \text{fix}(length_RTcal * f_{dec}) \quad (1)$$

或

$$RTcal_cnt = \text{fix}(length_RTcal * f_{dec}) + 1 \quad (2)$$

同理也可以如此计算 $data_0_cnt$,

$$data_0_cnt = \text{fix}(Tari * f_{dec}) \quad (3)$$

或

$$data_0_cnt = \text{fix}(Tari * f_{dec}) + 1 \quad (4)$$

而标签所认定的分辨基准 $half_RTcal_cnt$ 应满足

$$half_RTcal_cnt = \text{fix}\left(\frac{RTcal_cnt}{2}\right) \quad (5)$$

实际中采取二进制数右移的方式实现模 2 除法,所以这里增加了取整函数.标准中还规定

$$length_data_0 = Tari \quad (6)$$

$$length_RTcal \in [2.5 * Tari, 3 * Tari] \quad (7)$$

对 $half_RTcal$ 和 $data0_cnt$ 做差,其值应至少为 1 才能分辨出数据;故考虑其差值最小的情况,即

$$\min(half_RTcal - data_0_cnt) \geq 1$$

代入式(1)、式(4)、式(5)、式(7),可得不等式:

$$\text{fix}\left[\frac{\text{fix}(2.5 * Tari * f_{dec})}{2}\right] - [\text{fix}(Tari * f_{dec}) + 1] \geq 1$$

这是一个由 $Tari$ 和 f_{dec} 组成的不等式.标准规定 $6.25\mu s \leq Tari \leq 25\mu s$.那么当某个 f_{dec} 对遍历于此区间的 $Tari$ 均能使该不等式成立时,该值就能够满足准确解码的要求.最终得到结果为 $f_{dec} \geq 1.16\text{MHz}$.

3.2 TRcal 决定的工作频率

TRcal 的长度对系统时钟频率 f_{dec} 也有一定的约束.标准指出读写器通过发送 TRcal 长度和 DR 参数来决定标签反向散射链路频率(backscatter link frequency, LF),其计算公式为 $LF = \frac{DR}{length_TRcal}$,其中 DR 为除法比率,可取 8 或 64/3.还给出了在不同 TRcal 长度下系统所能允许的最大误差,此误差来源仍然是标签对 TRcal 的采样计数与其实际持续时间之间的误差,以及硬件逻辑计算时所引入的误差. TRcal 的计数值计算如下:

$$TRcal_cnt = \text{fix}(length_TRcal * f_{dec}) \quad (8)$$

或

$$TRcal_cnt = \text{fix}(length_TRcal * f_{dec}) + 1 \quad (9)$$

标签通过对 TRcal 的计数计算出的 LF_real 为

$$LF_real = \left(\frac{DR}{TRcal_cnt}\right) * f_{dec} \quad (10)$$

即

$$f_{dec} = \left(\frac{TRcal_cnt}{DR}\right) * LF_real \quad (11)$$

LF_real 是标签系统输出数据的速率,它是由 f_{dec} 分频得到的,因而 $\left(\frac{TRcal_cnt}{DR}\right)$ 应当是整数.故对式(10)进行修正可得

$$LF_real = \frac{f_{dec}}{\text{round}\left(\frac{TRcal_cnt}{DR}\right)} \quad (12)$$

设 FT 为不同 $length_TRcal$ 值下,标准所规定的系统能够允许的最大误差.则有

$$\frac{|LF_{real} - LF|}{LF} \leq FT \quad (13)$$

代入式(8)~(10),可得

$$\left| \frac{\frac{f_{dec}}{DR} - LF}{\text{round}\left[\frac{\text{fix}\left(\frac{DR * f_{dec}}{LF}\right)}{DR}\right]} \right| \leq FT \quad (14)$$

和

$$\left| \frac{\frac{f_{dec}}{DR} - LF}{\text{round}\left[\frac{\text{fix}\left(\frac{DR * f_{dec}}{LF}\right) + 1}{DR}\right]} \right| \leq FT \quad (15)$$

这是两个关于 f_{dec} 和 LF 的需要同时成立的不等式,其中 $40\text{kHz} \leq LF \leq 640\text{kHz}$. 可采用与 3.1 中相同的处理方法,最终得到结果为

DR=8 时, $f_{dec} \geq 1.44\text{MHz}$;
 DR=64/3 时, $f_{dec} \geq 2.25\text{MHz}$;
 或 $1.64\text{MHz} \leq f_{dec} \leq 1.75\text{MHz}$;
 或 $1.78\text{MHz} \leq f_{dec} \leq 2.2\text{MHz}$.

综上所述, f_{dec} 理论上可取的最小值为 1.64MHz. 在此频率下,标签既可以符合标准要求准确地解码,又能将反向链路频率控制在容忍范围之内,而且能够符合标准对于标签处理速度的要求,并最大程度地降低功耗.

4 优化策略

4.1 功耗管理机制

本设计是根据功能划分模块.从标签的“解码译码—校验—指令处理—读写存储器—编码发送—等待新指令”这一工作流程可以看出,各个模块并不是时刻都在工作.因此可以利用门控时钟,在某些模块不工作的时候关断其时钟使其处于休眠状态以减少冗余翻转降低功耗.

本文根据标签芯片的工作流程设定了如图 2 所示的 7 个状态的状态机,分别为 initial, receive, check, process, send, wait_t2 和 wait. 功耗管理模块负责在不同的状态下向不同模块发送时钟和复位信号.在任一状态下同时工作的模块都不超过 3 个.

研究表明时钟网络所消耗的动态功耗会占到总功耗的 1/3 左右.通过功耗管理模块的设计,关闭暂时不工作的模块的时钟,使芯片功耗得到了有效的降低.而且利用功耗管理模块的开关调度功能,能够更加便捷地实现流水线工作方式.

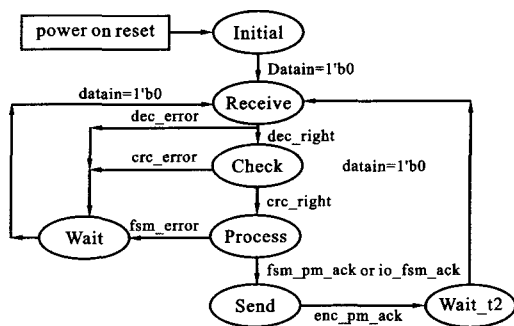


图2 功耗管理模块的状态机示意图

4.2 存储器接口 IO 模块的设计

标签设置 IO 接口模块以实现存储器 EEPROM 的读写操作,起到 EEPROM 控制器的作用,并且将读写指令中发送的存储体(membank),字指针(wordptr)以及字计数(wordcount)等信息译码为存储器中相应的地址.

本文设计了如图 3 所示的状态机作为 EEPROM 控制器,并采用位读写工作方式,即每次操作均只读取或写入 1 位数据.根据 EEPROM 的读写时序,在读操作时每个时钟发送一次地址并在下一时钟读取此地址所存储的数据,而写操作时在发送一个地址和数据后需要等待一段时间(0.25ms 左右)再发送下一个地址和数据以保证之前所发送的数据已经被成功写入存储器.由于本文所设计的编码和 CRC 校验码的计算都采用串行计算的方式,因而上述位读写方式更有利于实现流水线操作,提高电路的运行速度.

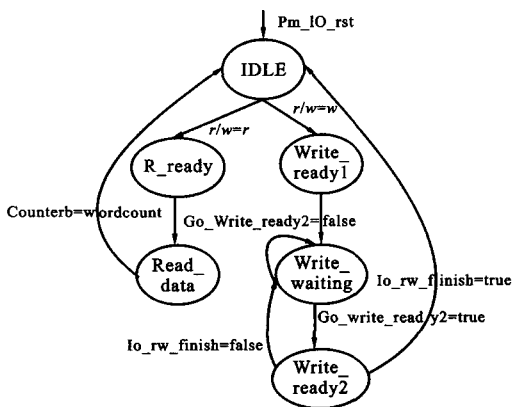


图3 EEPROM 接口模块的状态机示意图

4.3 输出流水线设计及各模块的调度

根据 EPC C1G2 标准的规定,标签需要根据输入的指令进行不同格式的输出^[5].输出帧共有以下六种形式:

(1)P→RN16→dummy

- (2) P→RN16→CRC16→dummy
- (3) P→memory data→dummy
- (4) P→h→RN16→CRC16→dummy
- (5) P→h→memory data→RN16→CRC16→dummy
- (6) P→h→error code→RN16→CRC16→dummy

其中 P 表示前同步码, dummy 表示帧尾, h 为响应访问指令的帧头. 以第五种输出格式为例, 通常操作是先由 IO 读取存储器内容, 存入一组寄存器, 然后对这组数进行 CRC 校验码的计算, 最后才由 ENC 编码输出. 这种方法不仅耗时较长, 而且要占用一组数目不小的寄存器. 针对该问题, 本文设计了一种流水线工作方式, IO, CRC 和 ENC 在此过程中协同工作, 由 PM 模块进行统一调度.

图 4 是三个模块时钟关系的示意图. 因为标签采用 FM0 编码方式输出, 即需要 2bit 信息来编码 1bit 信息, 故 ENC 模块的输出数据率是其输入数据率的两倍. 系统每读取 1 位存储器数据, 就将其编码发送, 并且进行一次 CRC 计算. 如图 4 所示, 由于模块间信号传送的延迟, CRC 工作的起始时间须比 IO 晚 3 个周期. PM 在收到 IO 模块工作结束信号时停止 IO 的时钟, 在收到随机数编码结束的信号时停止 CRC 模块时钟. 此流水线工作方式仅需一位寄存器作缓存, 不仅减少对寄存器的需求量, 缩小电路规模, 也缩短标签的等待时间, 提高运行速度.

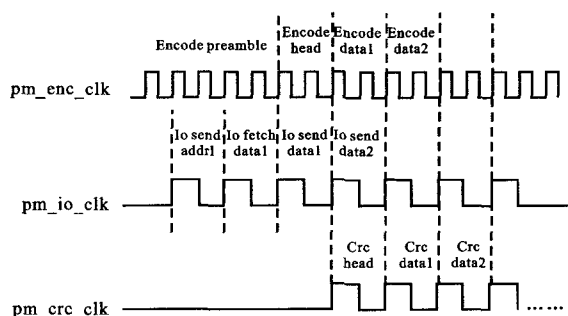


图 4 输出流水线的时序关系

4.4 模块的复用

根据标准要求, 标签芯片对某些指令需要进行 CRC16 校验, 对某些指令的响应也需要计算 CRC16 的值, 初值均为 FFFF, 并且这两种 CRC 计算不会同时进行. 因此可以复用该功能模块, 分别完成输入校验和输出校验.

同样, 采用线性反馈移位寄存器(LFSR)方式设计的随机数生成器也可以复用. 反碰撞机制中, 槽计数器所需的 Q 位随机数可以从 RNG 中取得. 另外,

对于 query, ack, req_rn, read 等指令, 都需要进行随机数或者句柄的生成或比较, 这些功能也可以由 RNG 模块实现.

本文用复用方式设计了 CRC 和 RNG 模块, 在正确完成功能的基础上, 不仅提高了电路的利用率, 而且减少了芯片面积.

5 电路的仿真与综合

本设计采用 Modelsim 进行功能仿真. 仿真中模拟读写器与标签的信息交换过程, 包括选择命令(select), 盘存命令(query, queryrep 等)及访问命令(read, write, kill 等), 保证功能正确. 在此基础上用 Design Compiler 进行综合, 电路规模在 7 200 门左右.

6 结束语

本文设计了一款符合 EPC C1G2 标准要求的超高频 RFID 标签数字基带处理器芯片. 本文从理论上论述和推导了标签芯片所需的最低时钟频率. 该设计采用了门控时钟的方式设计了功耗管理模块, 并利用此模块的时钟调度功能设计了编码输出的流水线工作方式, 针对应用于 RFID 标签的 EEPROM 的特点设计了存储器接口模块, 复用 CRC 和 RNG 模块完成指定功能. 设计通过了功能仿真, 综合结果达到了预期期望. 该设计通过多种技术缩小电路面积, 降低功耗, 能够满足超高频 RFID 标签基带处理器的应用要求.

参考文献:

- [1] 彭昭, 刘威, 马选斌, 等. RFID 系统安全与隐私问题研究[J]. 微电子学与计算机, 2007, 24(8): 129-131.
- [2] 沈红伟, 李力南, 陈国华. 集成温度传感器的超高频无源电子标签芯片设计[J]. 微电子学与计算机, 2008, 25(4): 192-195.
- [3] EPC-radio-frequency identity protocols class-1 generation-2 UHF RFID protocol for communications at 860MHz-960MHz version 1.0.9 [S]. EPC Global Inc, 2005.
- [4] Impinj. Gen 2 tag clock rate—what you need to know [EB/OL]. [2009-07-10]. <http://www.inpinj.com>.
- [5] 何艳, 胡建斌, 闵昊. 一种基于射频电子标签的超低电压低功耗基带处理器[J]. 半导体学报, 2006, 27(10): 1866-1871.

作者简介:

吴殿丞 男, (1984-), 博士研究生. 研究方向为集成电路设计.

杨 骅 男, (1979-), 博士研究生. 研究方向为集成电路设计.