

Σ - Δ 调制器的非理想特性建模与验证

陈 凯, 张文俊, 余志平

(清华大学微电子所 CAD 研究室, 北京 100084)

摘 要: Σ - Δ 调制器是常用于混合信号电路中的一个关键模块. 基于一个的二阶低通调制器, 对包括非理想开关、色噪声模型、非线性运放直流增益和多比特量化器中的电容适配在内的非理想效应, 进行了分析和建模. 该调制器在 HJTC 0.18 μm 工艺下实现并进行了流片测试. 通过对行为级仿真和实际测试数据的对比, 验证了提出的高层次建模方法, 可以准确高效地指导调制器系统级和电路级设计.

关键词: Σ - Δ ; 调制器; 运放非理想特性; 电容失配; 高层次建模

中图分类号: TN79⁺2

文献标识码: A

文章编号: 1000-7180(2010)05-0005-04

Non-Idealities Modeling and Verification of Σ - Δ Modulator

CHEN Kai, ZHANG Wen-jun, YU Zhi-ping

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: Σ - Δ modulator is a common used critical part in mixed signal circuits. In this paper, based on a second order low-pass modulator, all the non-idealities are analyzed and modeled including non-ideal switch, colored noise model, non-linear DC gain and multi-bit DAC capacitor mismatch, which are not included together in existing work. The modulator is implemented in HJTC 0.18 μm process with taping out and test has been accomplished. Modulator model is verified through compare with circuit simulation and actual circuit measurement data. The presented modeling method serves as an accurate and efficient guide for architecture and modulator circuit design.

Key words: Σ - Δ modulator; opamp non-ideality; capacitor mismatch; high-level modeling

1 引言

Σ - Δ 调制器由于拥有过采样和噪声整形性质, 使其广泛应用在数模转换、频率综合等混合信号电路中. 对于 Σ - Δ 调制器电路的实际设计, 一个很重要的问题, 就是如何快速准确地在设计前期估计其性能指标. 因为它属于混合信号系统, 电路级的仿真周期通常要消耗很长的时间(以天为单位), 这极大延长了设计周期, 并且导致后期重新修改设计的成本变得很大. 因此, 在设计初期对电路进行一个快速准确的预估是必要的^[1]. 高层次的行为级建模方法成为了解决这一问题的有效途径. 然而, 现有的高层次建模方法, 包括电路级宏模型、有限差分方程模

型、查找表模型、自定义数值模型, 都在仿真速度、准确性或模型的灵活性方面有着各自的缺陷.

基于 Matlab 平台的建模方法很好地克服了这些缺陷, 它在仿真速度、精度和模型灵活性各方面都具有优势. 在文献[2]中, 对 Σ - Δ 调制器的许多非理想效应进行了分析和建模, 但运放的非线性直流增益所引起的失真没有被提及, 而在文献[3]中, 虽然对这个效应进行了分析, 但有色噪声模型和多比特量化中的电容失配, 没有被包括到模型中. 针对上述问题, 文中对这些非理想效应进行了分析和建模. 并通过对比行为级模型和实际芯片的仿真与测试结果, 验证了所提出方法的正确性.

收稿日期: 2009-04-20; 修回日期: 2009-06-20

基金项目: 国家“九七三”计划项目(2006CB302705)

2 $\Sigma\Delta$ 调制器的非理想特性

2.1 时钟抖动和开关的非理想效应

时钟抖动和 MOS 开关都会对输入信号引入的失真. 它们都可以被模拟成随机噪声. 开关电容积分器在采样输入信号时会由于时钟抖动而引入误差^[4]. 时钟抖动和调制器的结构无关, 可表示为

$$x(t + \delta) - x(t) \approx \delta \frac{d}{dt}x(t) = 2\pi f_{in} \delta A \cos(2\pi f_{in} * t) \quad (1)$$

式中, A 和 f_{in} 分别为输入信号的幅值和频率. δ 表示高斯随机过程.

实际中的 MOSFET 开关的导通电阻是非线性的, 这会引起失真. 该电阻表示为

$$R_{on} = \frac{1}{\beta_n(V_{dd} - V_{thn} - V_{in}) + \beta_p(V_{dd} + V_{thp} - V_{in})} \quad (2)$$

此外, 非理想开关还会带来 KTC 噪声:

$$e_i^2 = \int_0^\infty \frac{8kTR_{on}}{1 + 4(\pi f R_{on} C_s)^2} df = \frac{KT}{C_s} \quad (3)$$

式中, K 、 T 、 C_s 分别表示是波尔兹曼常数, 绝对温度和采样电容, e_i^2 噪声功率谱密度. 图 1 所示的模型包含了上述非理想效应.

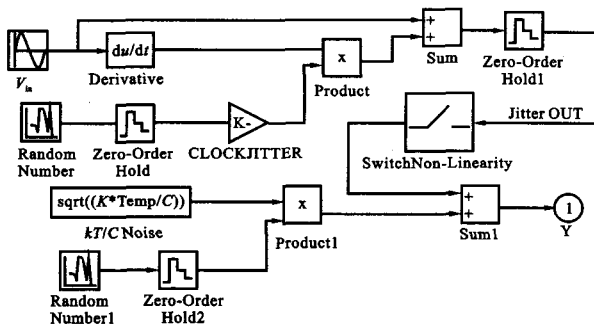


图 1 采样时钟抖动和开关的非理想效应

2.2 积分器中的噪声模型

运放噪声是积分器中的另一个主要的噪声来源. 当只考虑热噪声时可应用白噪声模型来表示这一效应. 然而, 白噪声模型只有在如下两种情况下才能被采用^[5]:

(1) 闪烁噪声($1/f$) 可以忽略不计;

(2) 噪声由采样而引起频谱折叠, 从而可以近似为白噪声.

当以上条件不满足时, 就需要采用有色噪声模型, 它包括了热噪声和闪烁噪声, 其频谱解析表达式如(4)所示, 参数 k_f 和 f_p 通过一组内嵌于 SIMULINK 中的方程式来计算.

$$S_{\text{colored}} = (T + \frac{k}{f}) \frac{1}{1 + f^2/f_p^2} \quad (4)$$

2.3 运放非线性分析

积分器的传递函数如式(5):

$$H(z) = \gamma \frac{z^{-1}}{1 - \alpha z^{-1}} \quad (5)$$

在理想积分器中, α 和 γ 等于 1. 实际上, 有限的直流增益(DCG)、带宽(GBW)、转换速率(SR) 和输出摆幅(Swing) 会引入非线性, α 和 γ 将小于 1, 它们分别表示积分器的增益损耗和极点迁移. 在文献[2]中直流增益被认为是一个有限常量, 实际上它是一个和积分器输出信号相关的变量. 本节对此进行了分析.

有限直流增益改变了积分器的传递函数极点, 并降低了增益, 通常被称为电荷转移误差^[6]. α 和 γ 可表示为

$$\alpha = 1 + \frac{k_s}{A + 1 + k_s + k_p} \quad (6)$$

$$\gamma = 1 - \frac{1 + k_s + k_p}{A + 1 + k_s + k_p} \quad (7)$$

k_s 表示积分器增益, k_p 表示运放的输入寄生电容和采样电容之比. α 和 γ 则被修正为运放非线性直流增益的函数, A 和 V_o 之间的关系可表示为式(8), 其中 $V_o = V_o(n-1) + k_s * V_{in}(n-1)$.

$$A \approx A_0(1 - a_1 |V_o| - a_2 |V_o|^2 - a_3 |V_o|^3 - \dots) \quad (8)$$

除了以上因素, 积分器的建立过程还受限于运放的其它非理想因素, 包括有限增益带宽、摆率和输出摆幅^[7]. 图 2 的积分器模型包括了上面提出的所有非理想效应.

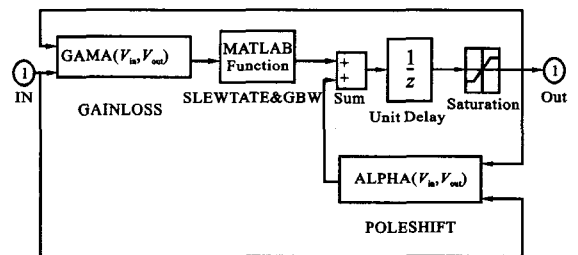


图 2 非理想积分器模型

2.4 量化器的非理想特性

对于量化器来说, 除了其固有的量化误差, 还有其他非理想效应. 对于单比特量化器, 主要是失调和滞回. 而对多比特量化器, 情况就要更为复杂, 和单比特固有的线性不同, 多比特量化器并不是一个线性模块, 尤其是量化器内部的多比特 DAC 的精度对整个调制器的最终性能有着非常大的影响, 对它的

电容失配效应进行分析建模才能使调制器的性能得到准确的反映. DAC 的电容不匹配导致了带内噪声底部提高和奇数谐波失真,其性能下降程度正比于电容的标准偏差 ΔC :

$$\sigma\left(\frac{\Delta C}{C}\right) = \frac{k}{\sqrt{WL}} \quad (9)$$

含电容失配特性的多比特量化器模型如图 3 所示. 可见,为了减小多比特量化器的失配,可通过增大器件的面积来实现.

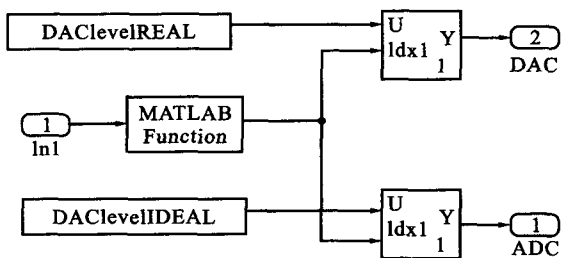


图 3 多比特量化器模型

3 行为级仿真结果

根据上述分析,构建一个二阶低通 $\Sigma\Delta$ 调制器的模型,其结构如图 4 所示,其中的系统参数指标如

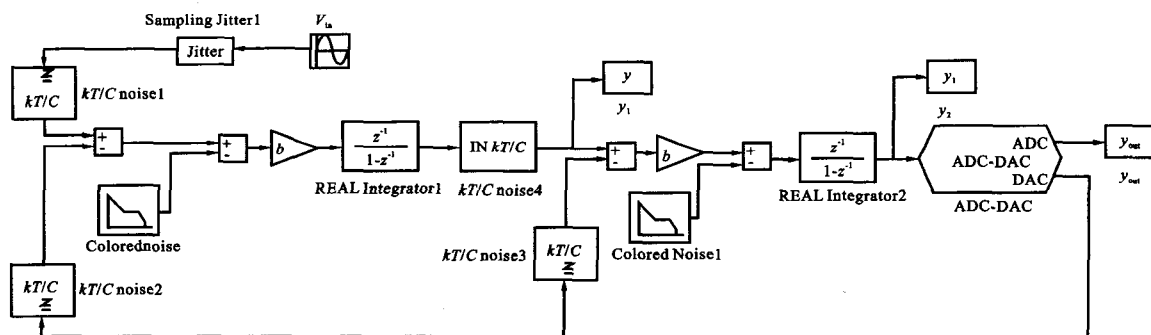


图 4 二阶低通 $\Sigma\Delta$ 调制器的非理想模型

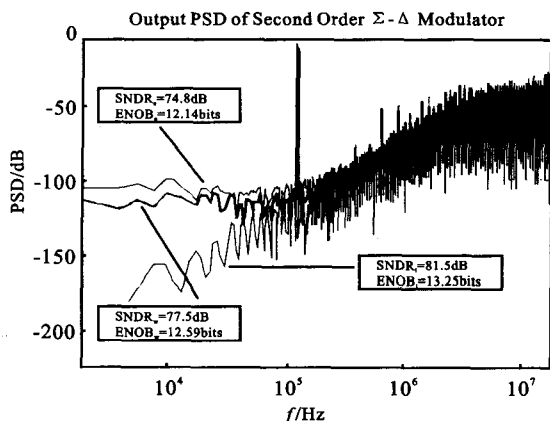


图 5 调制器输出频谱图(下标 i、w、c 分别表示理想模型、加入白噪声和色噪声模型的情况)

表 1 所示.

表 1 调制器系统参数系统参数

系统参数	参数值
过采样率(OSR)	64
时钟频率/MHz	32
输入正弦信号频率/kHz	123.7
信号带宽 BW/kHz	250
积分系数 b	0.5
理想信噪比 SNDR/dB	81.5

通过在 MATLAB 环境下对调制器的行为级模型进行仿真,验证了前面对非理想效应的分析. 针对不同非理想效应进行了分析. 图 5 比较了当分别采用了的理想模型、白噪声模型和有色噪声模型时,调制器的输出功率谱密度(PSD),可以看出,有色噪声模型的加入,增大了带内噪声底部,更好地近似了实际情况. 图 6 表明在考虑了运放非线性增益效应后的功率谱,图中出现了理想模型所没有反映出的奇次失真,并且噪声底部也增大了. 图 7 是在多比特量化器中,考虑了内部 DAC 的电容不匹配后的频谱输出结果,可以看出电容的不匹配引起了奇次谐波. 表 2 对比了理想调制器模型和分别加入不同非理想模块后的信号噪声比(SNDR)和有效位数(ENOB).

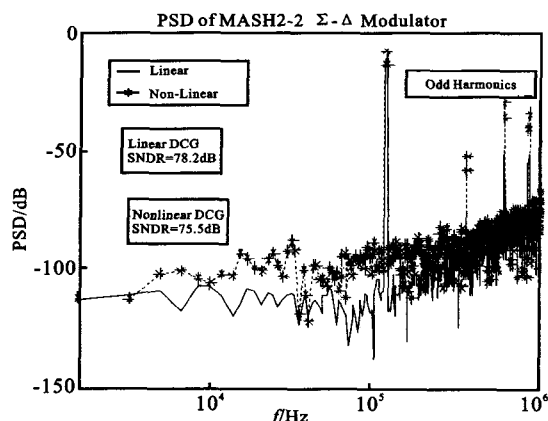


图 6 考虑和忽略运放的非线性直流增益情况下的调制器输出频谱图

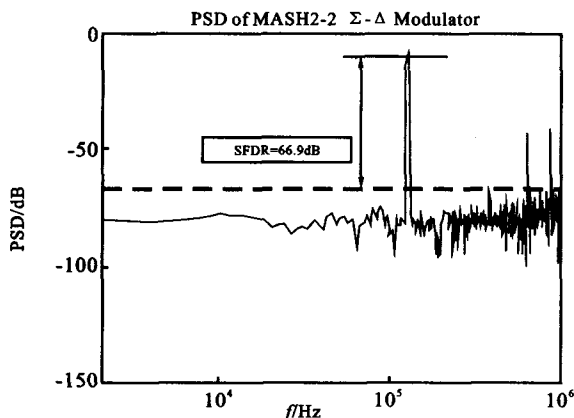


图7 量化器电容不匹配带来的输出谐波失真
表2 不同的非理想特性引起的调制器性能下降

Σ-Δ 调制器系统参数	SNDR/	ENOB/
	dB	bit
理想模型	81.5	13.25
加入白噪声模型	79.0	12.84
加入色噪声模型	77.1	12.51
非线性运放直流增益	79.2	12.86
DAC 电容失配	80.2	13.03
采样时钟抖动($\Delta = 1\text{ns}$)	80.7	13.11
KTC 噪声($C_s = 2.5\text{pF}$)	79.9	12.98
有限增益带宽积($\text{GBW} = 80\text{MHz}$)	80.9	13.13
有限压摆率($s_r = 100\text{V}/\mu\text{s}$)	80.8	13.13
加入所有非理想效应(白噪声模型)	77.5	12.59
加入所有非理想效应(色噪声模型)	74.8	12.14

4 晶体管级仿真及测试数据对比

上面分析的二阶 $\Sigma\text{-}\Delta$ 调制器已在 HJTC $0.18\text{ }\mu\text{m}$ 的单层多晶硅六层金属层工艺下实现,版图如图 8 所示,电路已进行了流片,并利用 Agilent 分析仪对芯片进行测试,测试数据被导入 Matlab 平台进行 FFT 分析,并和相应的行为级模型以及在 Cadence Spectre 环境下的电路仿真数据进行了对比^[8].图 9 比较了包含所有非理想效应的行为级模型仿真和实际流片测量后的噪声频谱.图 10 表示了

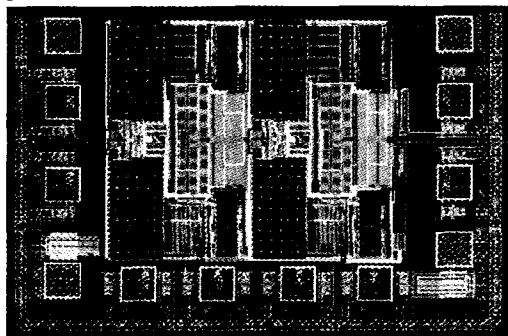


图8 $\Sigma\text{-}\Delta$ 调制器的版图

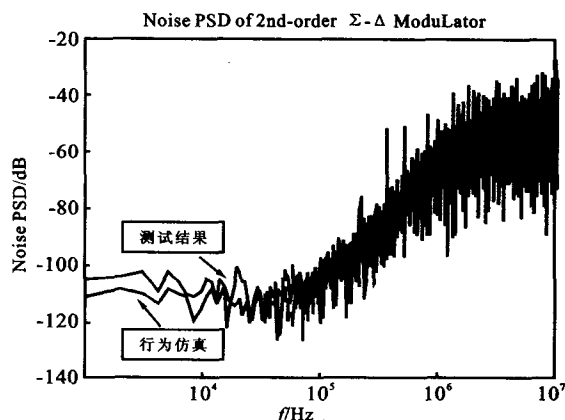


图9 行为级仿真(包含所有非理想模块)和芯片测试结果的输出噪声功率谱对比

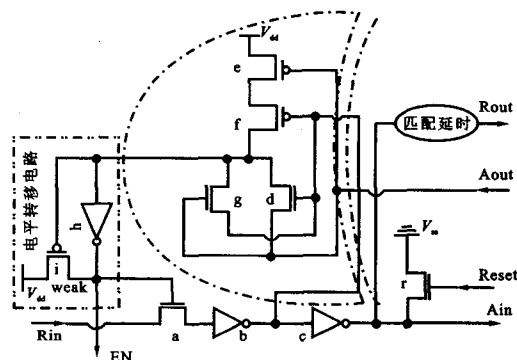


图10 信噪失真比(SNDR)与输入信号功率的关系—行为模型和实测数据的分析对比

输出信噪失真比和输入信号幅度的关系.图 10 中还包含了理想调制器模型(只含量化噪声)的频谱分析.流片测试、电路级仿真和行为级仿真的结果基本一致,实测结果和电路仿真大约有 5dB 内的差距,这主要是由测试板上的单端转双端电路(LT1567)引入的额外噪声.通过与实测数据对比可以看出,三种不同层级的分析结果基本一致,验证了所提出的行为模型的有效性.

5 结束语

文中以一个二阶 $\Sigma\text{-}\Delta$ 调制器为例,分析了其中的非理想效应并进行了相应的建模,将包括非理想开关、有色噪声输入模型、非线性运放直流增益和多比特量化器中的电容失配等效应都包含进了调制器模型.在 HJTC $0.18\text{ }\mu\text{m}$ 工艺下完成了相应的电路和版图设计并进行了流片测试,通过和实际晶体管级的仿真结果以及测试数据进行对比,验证了方法的正确性,提供了对实际电路性能更精确的快速估计

(下转第 13 页)

块的时延几乎不随数据净荷长度增长。

比较吞吐量和附加时延的仿真结果,可以看出:增加数据净荷长度,网络接口的吞吐量会增加,同时也会带来更多的附加时延。

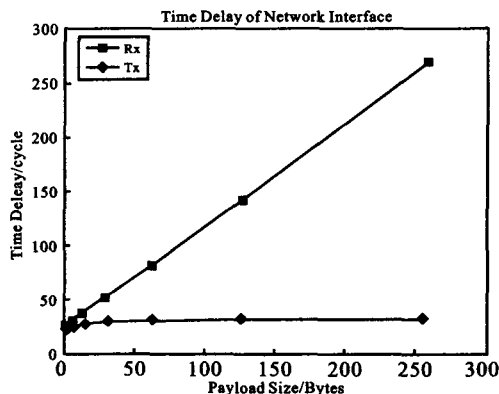


图7 不同数据净荷长度下网络接口的时延

5 结束语

文中提出的适用于多核 DSP 系统片外扩展的网络接口,对于研究多核的体系结构具有实际意义。该方案简单易行,能和市场上已有的很多商用 RapidIO 接口的器件兼容。在基于 Verilog 的仿真平台上测试了网络接口的吞吐量和附加时延。在数据载荷长度为 256MB 的情况下,吞吐率能接近 90%,网

络的附加延时也控制在接近于一个数据包的发送时间。

参考文献:

- [1] 王帆,刘云. 串行 RapidIO 在多 DSP 系统中的应用初探[J]. 计算机与数字工程, 2008, 36(8): 204-207.
- [2] Partha Pratim Pande, Cristian Grecu, Michael Jone, et al. Performance evaluation and design trade-offs for network-on-chip interconnect architectures[J]. IEEE Transactions on computers, 2005, 54(8): 1025-1040.
- [3] 杨晓强,高晔. NOC 系统设计的研究[J]. 微电子学与计算机, 2008, 25(7): 176-183.
- [4] Sam Fuller. RapidIO 嵌入式系统互联[M]. 王勇,译. 北京:电子工业出版社, 2006.
- [5] RapidIO Trade Association. RapidIO: an embedded system component network architecture[EB/OL]. [2009-02-22][2009-10-11]. <http://www.rapidio.org>.
- [6] 魏建军,康继昌,雷艳静. NOC 的平衡设计[J]. 微电子学与计算机, 2007, 24(5): 54-57.

作者简介:

方幸福 男, (1983-), 硕士研究生. 研究方向为片上网络接口设计。

梁利平 男, (1969-), 博士, 研究员. 研究方向为高性能数字信号处理器和高速混合信号集成电路设计技术。

(上接第8页)

方法,有效地指导了电路设计,同时文中提出的非理想因素建模方法还可以适用于其他结构的调制器。

参考文献:

- [1] 陈旋, 庄奕琪. 高速二阶 $\Sigma\Delta$ 调制器的设计[J]. 微电子学与计算机, 2003, 20(8): 167-170.
- [2] Malcovati P, Brigati S, Francesconi F. Behavioral modeling of switched-capacitor sigma-delta modulators[J]. IEEE Trans. on Circuits and Systems I, 2003(50): 352-364.
- [3] Hashern ZareHoseni, Izzet Kale, Omid Shoaie. Modeling of switched-capacitor delta-sigma modulators in Simulink[J]. IEEE transactions on instrumentation and measurement, 2005, 54(4): 1646-1654.
- [4] Hai Tao H, Toth L, Khoury J M. Analysis of timing jitter in bandpass sigma-delta modulators[J]. IEEE Trans. Circuits Syst. II, 1999(46): 991-1001.

- [5] Enz C, Temes G. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling and chopper stabilization[J]. IEEE, 1996 (84): 584-614.
- [6] Medeiro F, PerezVerdu B, Rodriguez Vazquez A. Modeling opamp-induced harmonic distortion for switched-capacitor $\Sigma\Delta$ modulator design[J]. IEEE Int. Symp. Circuits and Systems, 1994(5): 445-448.
- [7] Rio R del. Reliable analysis of settling errors in SC integrators: application to $\Sigma\Delta$ modulators[J]. Electron. Lett., 2000(36): 503-504.
- [8] 陈建球, 许俊, 任俊彦. $\Sigma\Delta$ 调制器输出码流 FFT 谱分析的探讨[J]. 微电子学与计算机, 2007, 24(5): 116-119.

作者简介:

陈凯 男, (1983-), 硕士研究生. 研究方向为模拟射频信号电路的建模和设计。