

AVS 高清视频环路滤波结构与电路实现

黄 玄, 陈 杰, 周 莉, 刘振宇

(中国科学院 微电子研究所, 北京 100029)

摘 要: 提出一种适用于 AVS 高清视频的环路滤波结构. 该结构采用双端口存储器, 在接收重建数据的同时, 计算环路滤波结果, 降低了输入输出延迟; 通过改进滤波时序, 达到较高的滤波效率; 采用流水线计算滤波结果, 提高了频率. 对该模块进行了仿真和综合, 在 $0.18\mu\text{m}$ 工艺下, 频率为 200MHz, 面积为 18×10^3 等效逻辑门, 支持 1920×1080 , 每秒 60 帧的视频解码.

关键词: AVS; 环路滤波; SRAM; 流水线

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)03-0011-05

An Architecture and VLSI Implementation of Deblocking Filter for AVS HDTV Application

HUANG Xuan, CHEN Jie, ZHOU Li, LIU Zhen-yu

(Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China)

Abstract: This paper presents a novel Deblocking filter for AVS. It uses dual-port memory which receives reconstruction pixels while calculating the filter result to reduce input to output delay. It achieves high efficiency by improving timing and adopts pipeline structure to increase the frequency. Simulate this module and implement use $0.18\mu\text{m}$, the frequency reaches 200MHz and the circuit costs 18×10^3 Gates, supports 1920×1080 , 60 frames per second video decoding.

Key words: AVS; deblocking filter; SRAM; pipeline

1 引言

AVS (Audio Video Coding Standard) 标准是《信息技术先进音视频编码》系列标准的简称, 适用于数字电视广播、交互式存储媒体、直播卫星视频业务、多媒体邮件、分组网络的多媒体业务等应用^[1], 具有压缩率高, 复杂度适中, 专利成本低廉等特点^[2].

与 MPEG2^[3] 等标准相比, AVS 采用了多种技术提高压缩效率, 与 H. 264^[4] 等标准相比, AVS 大大降低了编解码的实现复杂度.

由于视频处理往往采用分块处理方式, 如果不进行滤波, 在块的边界会产生块效应, 环路滤波可以大大减弱块效应, 从而提高画面的主观质量. 环路滤

波是视频编解码器中的重要模块, 但由于环路滤波计算量较大, 像素寻址方式较复杂, 往往制约解码器性能的提高. 以往环路滤波设计^[5-7]中, 往往存在频率不高、面积较大的缺点. 文中提出的环路滤波结构采用双端口存储器, 在接收重建像素的同时进行滤波, 降低了输入输出延时; 改进了滤波时序, 只需要较少的存储器资源即可达到较高的滤波效率; 采用流水线的方式进行环路滤波计算, 提高了频率, 可以满足 1920×1080 、每秒 60 帧的视频解码.

2 算法描述

AVS 每个 8×8 亮度块及相应的色度块边界都需要进行环路滤波, 每条需要滤波的边界有一个边界强度 B_s , 亮度块的滤波强度通过计算得到, 色度

块的边界强度为相应的亮度块边界的边界强度。

环路滤波按照光栅扫描顺序依次处理对每个宏块依次处理。宏块的滤波过程如下:对亮度和色度分别做环路滤波,首先从左到右对垂直边界滤波,然后从上到下对水平边界滤波。

边界强度的计算流程如下:(1)若边界两边的两个 8×8 块有一个是帧内预测宏块,则 B_s 等于 2。(2)当前帧为 P 帧,若两个块的参考图像相同,并且两个运动矢量分量中任一个分量的差值小于一个整像素,则 B_s 等于 0;否则 B_s 等于 1。(3)当前帧为 B 帧,若两个块 p 和 q 的前向索引参考值或后向索引参考值不相等,则 B_s 等于 1;若两个块 p 和 q 的前向索引参考值和后向索引参考值分别相等,并且两个块的前向运动矢量分量中任一个分量的差值大于或等于一个整像素,或两个块的后向运动矢量分量中任一个分量的差值大于或等于一个整像素,则 B_s 等于 1。若两个块 p 和 q 的前向索引参考值和后向索引参考值分别相等,并且两个块的前向运动矢量分量和后向运动矢量分量中任一个分量的差值小于一个整像素,则 B_s 等于 0。

令水平或垂直边界两侧的块 P 和块 Q 的 6 个样本点为 $\{p_2, p_1, p_0, q_0, q_1, q_2\}$ 。根据 B_s 和两个阈值 α, β 判断是否需要边界两边的样本进行滤波,如果 $(B_s \neq 0) \&\& (|p_0 - q_0| < \alpha) \&\& (|p_1 - p_0| < \beta) \&\& (|q_1 - q_0| < \beta)$ 为真,则对边界两边的样本进行滤波,否则不滤波。

当 $B_s = 2$ 时,对亮度块边界两边的样本 p_0, p_1, q_0 和 q_1 的滤波过程如下:

$$\begin{aligned} ap &= |p_2 - p_0|, aq = |q_2 - q_0| \\ \text{if}(ap < \beta \&\& |p_0 - q_0| < ((\alpha >> 2) + 2)) \\ \{P_0 &= (p_1 + 2 \times p_0 + q_0 + 2) >> 2 \\ P_1 &= (2 \times p_1 + p_0 + q_0 + 2) >> 2\} \\ \text{else } P_0 &= (2 \times p_1 + p_0 + q_0 + 2) >> 2 \\ \text{if}(aq < \beta \&\& |p_0 - q_0| < ((\alpha >> 2) + 2)) \\ \{Q_0 &= (q_1 + 2 \times q_0 + p_0 + 2) >> 2 \\ Q_1 &= (2 \times q_1 + q_0 + p_0 + 2) >> 2\} \\ \text{else } Q_0 &= (2 \times q_1 + q_0 + p_0 + 2) >> 2 \end{aligned}$$

其中 P_0 和 Q_0 分别为 p_0 和 q_0 滤波后的值, P_1 和 Q_1 为 p_1 和 q_1 滤波后的值。如果在上面的滤波过程中 $P_1(Q_1)$ 不被赋值,则不对 $p_1(q_1)$ 滤波;色度块边界两边的样本 p_0 和 q_0 的采用同样的方法滤波,不对 p_1 和 q_1 滤波。

当 B_s 为 1 时,令

$$\text{delta} = \text{Clip3}(-C, C, (((q_0 - p_0) \times 3 + (p_1 - q_1) + 4) >> 3))$$

对 p_0 和 q_0 滤波的计算过程如下:

$$P_0 = \text{Clip1}(p_0 + \text{delta}), Q_0 = \text{Clip1}(q_0 - \text{delta})$$

然后根据如下条件判断是否需要 p_1 和 q_1 滤波:如果为色度边界,不对 p_1 和 q_1 滤波;如果在亮度边界处有 $ap < \beta$,则

$$P_1 = \text{Clip1}(p_1 + \text{Clip3}(-C, C, (((P_0 - p_1) \times 3 + (p_2 - Q_0) + 4) >> 3)))$$

如果在亮度边界处有 $aq < \beta$,则

$$Q_1 = \text{Clip1}(q_1 - \text{Clip3}(-C, C, (((q_1 - Q_0) \times 3 + (P_0 - q_2) + 4) >> 3)))$$

上述滤波过程中,参数 C 由两个块的量化参数 QP_P 和 QP_Q 和图像头 α_c_offset 参数确定。

3 硬件设计

本设计基于的 AVS 解码系统采用同心 2DSP 和协处理器联合解码。环路滤波接收外部模块送来的当前宏块上面三行亮度像素、上面三行色度像素、重建模块送来的重建像素以及 B_s 等解码参数,然后对重建像素进行滤波,滤波后将结果输出。环路滤波模块结构如图 1 所示,包含环路滤波控制器、4 个双端口 SRAM、寄存器堆、滤波运算控制单元、环路滤波计算单元、滤波参数计算单元和输出控制单元等模块。

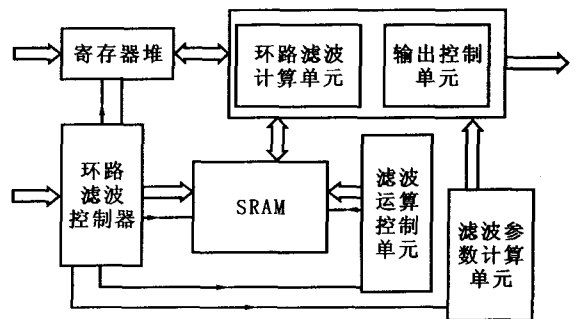


图 1 环路滤波结构

环路滤波采用双端口 SRAM 和寄存器堆存储像素,双端口 SRAM 一个端口用来接收重建像素;另一端口读出重建像素进行滤波,并将结果写回 SRAM,并行的操作大大降低了环路滤波输入输出延迟。

3.1 双端口 SRAM 和寄存器堆

双端口 SRAM 和寄存器堆的组织方式如图 2 所示,为了尽可能减少环路滤波时间,设计中采用了 4 个双端口 SRAM,SRAM1 存储块 0 和块 3 的重建

像素;SRAM2 存储块 1 和块 2 的重建像素;SRAM3 存储块 4 的重建像素;SRAM4 存储块 5 的重建像素.这些存储器的存储单元位宽为 32 位,每个存储单元包含 4 个像素.

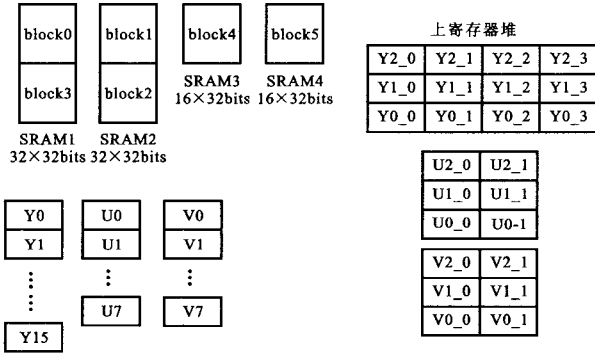


图2 SRAM 和寄存器堆

环路滤波需要当前宏块左边三列重建像素和上面三行重建像素,左边三列重建像素由环路滤波模块内部保存,存储在左寄存器堆中;上面三行重建像素由外部模块提供,存储在上寄存器堆中.寄存器堆中每个寄存器为 32 位,包含 4 个像素,其中左寄存器堆按照列的方向组织,包含 16 个 Y 寄存器、8 个 U 寄存器和 8 个 V 寄存器.上寄存器堆按照行列两个方向组织,包含 12 个 Y 寄存器、6 个 U 寄存器和 6 个 V 寄存器.

3.2 滤波参数计算电路

滤波参数计算单元分为三级计算,第一级计算操作分别计算左边宏块的色彩量化参数、上面宏块的色彩量化参数和当前宏块的色彩量化参数,其中色彩量化参数由逻辑映射电路计算产生,映射逻辑电路的输入为亮度量化参数.当色彩量化参数产生后,根据当前滤波的边界,计算边界两边宏块的量化参数平均值 qpav,如果是亮度边界滤波,qpav 为边界两边亮度量化参数平均值;否则 qpav 为边界两边色彩量化参数平均值.

第二级运算包含两个加法器和两个限幅器,首先将 qpav 分别与参数 α_c_offset 和 β_offset 相加,分别得到索引 indexA 和 indexB,然后将 indexA 和 indexB 的值限制在 0 到 63 之间.第三级根据 indexA 和 indexB 计算参数 α, β, C ,分别将 indexA 输入至 α 映射电路和 c_para 映射电路,得到参数 α, C ,分别存在寄存器 α 和 c_para 中;将 indexB 输入至 β 映射单元,得到参数 β 并存在寄存器 β 中.寄存器的结果输出给环路滤波计算单元.

3.3 环路滤波控制器

当接收到启动信号,环路滤波控制器开始启动并进入等待状态,等待滤波需要的像素就绪:(1)上寄存器堆的像素准备就绪;(2)左寄存器堆的像素准备就绪;(3)块 0 的重建像素准备就绪.在等待状态下,环路滤波控制器从双端口 SRAM 中读出上一个宏块的亮度和色度最右边的四列像素并写入左寄存器堆.当需要的数据准备就绪,环路滤波即可开始第一条垂直边 $v00$ 的滤波.

当 $v00$ 滤波结束,控制器检查块 1 的重建像素是否输入完毕,如果完毕,依次对 $v01, h00, h01$ 三条边进行滤波.然后检查块 2 的重建像素是否输入完毕,如果完毕,对 $v10$ 边进行滤波.当 $v10$ 滤波结束,检查块 3 的重建像素是否输入完毕,如果完毕,依次对 $v11, h10, h11$ 三条边进行滤波.

当 $h11$ 滤波结束,控制器检查块 4 的重建像素是否输入完毕,如果完毕,分别对色度 U 的左边界 $Uv00$ 和上边界 $Uh00$ 进行滤波.然后检查块 5 的重建像素是否输入完毕,如果完毕,依次对色度 V 左边界 $Vv00$ 和色度 V 上边界 $Vh00$ 进行滤波.

环路滤波控制器需要将接收到的重建数据写回对应的 SRAM 中.

3.4 滤波运算控制单元

滤波运算控制单元控制水平滤波和垂直滤波的时序.一条垂直边的滤波需要 16 个周期,假设垂直边左边的数据由上至下依次为 $L_0 \sim L_7$,垂直边右边的数据由上至下依次为 $R_0 \sim R_7$,每个数据为 32 位.用 rL_0 表示从 SRAM 或寄存器中读出数据 L_0 , rR_0 表示从 SRAM 或寄存器中读出数据 R_0 ;用 wL_0 表示将滤波后数据 L_0 写入 SRAM 或寄存器, wR_0 表示将滤波后数据 R_0 写入 SRAM 或寄存器,其余符号依此类推,垂直边滤波时序如图 3 上所示.

一条水平边的滤波需要 14 个周期,令水平边上面的三行数据由下至上、由左往右依次记为 $U_0 \sim U_5$;水平边下面的三行数据由上至下、由左往右依次记为 $D_0 \sim D_5$,每个数据为 32 位,则滤波时序如图 3 下所示,其中空白表示不执行任何操作.

滤波时序中,读取滤波需要的像素需要两级流水操作:第一级操作产生读取边界左边(或上侧)和边界右边(或下侧)像素数据的地址,该地址被送往 SRAM 或寄存器堆;第二级从 SRAM 或寄存器堆得到边界左边(或上侧)像素值 p_2, p_1, p_0 和右边(或下侧)像素值 q_0, q_1, q_2 并对像素滤波.

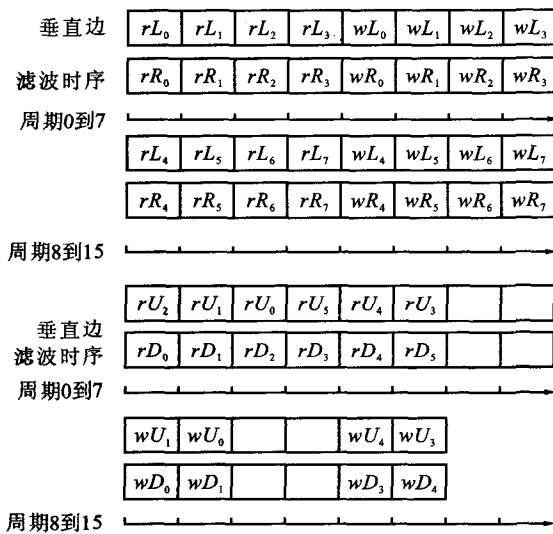


图3 滤波时序

垂直边滤波时, $\{p_2, p_1, p_0\}$ 为边界左边数据的底 24 位, 表示最右边的 3 个像素; $\{q_0, q_1, q_2\}$ 为边界右边数据的高 24 位, 表示最左边的 3 个像素。水平边滤波时, 周期 0、1、2、3 时, $p_2, p_1, p_0, q_0, q_1, q_2$ 分别取 $U_2, U_1, U_0, D_0, D_1, D_2$ 的 31 到 24 位、23 到 16 位、15 到 8 位和最低 8 位。周期 4、5、6、7 时, 只需将 U_0, U_1, U_2 替换为 U_3, U_4, U_5 , 将 D_0, D_1, D_2 替换为 D_3, D_4, D_5 。

3.5 环路滤波计算单元

如果 p_2, p_1, p_0 和 q_0, q_1, q_2 在周期 N 被赋值, 滤波后的像素 pe_0 和 qe_0 在周期 N 计算得出, 并将其保存在寄存器 pe_0_r 和 qe_0_r 中。而滤波后的像素 pe_1 和 qe_1 的计算需要使用 pe_0 和 qe_0 的结果, 在周期 $N+1$ 读出寄存器 pe_0_r 和 qe_0_r 的值, 并根据其计算得到像素 pe_1 和 qe_1 , 将结果保存在寄存器 pe_1_r 和 qe_1_r 中。

垂直边界滤波后的边界左边和右边像素数据 $result_l$ 和 $result_r$ 产生电路见图 4。

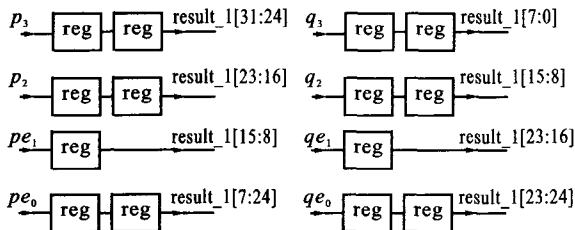


图4 边界左边和右边数据产生电路

水平边界滤波边界上侧像素数据 $result_u0$ 、 $result_u1$ 和边界下侧像素数据 $result_d0$ 和 $result_d1$ 采用如图 5 所示的延迟组合电路产生。

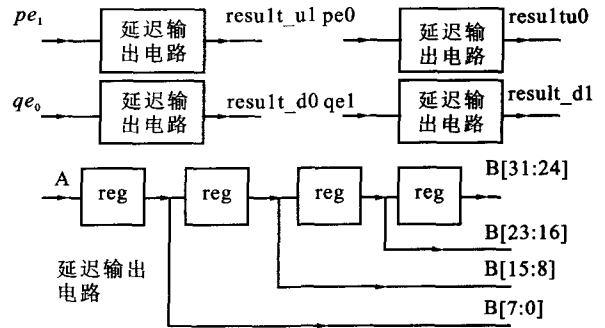


图5 边界上面和下面数据产生电路

滤波后的像素被写入 SRAM 或寄存器中。为了降低输入输出延迟, 输出滤波后像素采用如下策略: 当亮度宏块滤波结束, 环路滤波模块发出亮度宏块滤波结束信号, 并将滤波后的亮度像素数据输出, 这些像素存储在寄存器堆、SRAM1(存储块 0 和块 3 像素)和 SRAM2(存储块 1 和块 2 像素)中, 与此同时, 环路滤波模块正在进行色度块的滤波。当色度块滤波结束并且亮度像素输出完毕, 环路滤波模块发出色度块滤波结束信号, 将滤波后的色度像素输出, 这些像素存储在寄存器堆、SRAM3(存储块 4 像素)和 SRAM4(存储块 5 像素)中。

4 仿真结果

环路滤波仿真的参考结果由 AVS 的 C 参考解码模型^[8]提供, 硬件模型基于 verilog 编写, 在 Synopsys VCS 环境下, 对环路滤波硬件模型进行仿真, 结果与参考结果完全一致。将包含环路滤波的 AVS 解码器下载到 Altera Stratix II EP2S180 FPGA 实验板上, 在 FPGA 上运行整个解码过程, 结果正确, 输出画面清晰, 滤波效果优秀。

基于 Verisilicon 标准单元库, 在 0.18 μ mSMIC 工艺下用 Synopsys DC 工具综合本设计, 最高频率达到了 200MHz, 文中设计和文献[5, 7]中的设计进行比较。如表 1 所示。

表 1 结果比较

	本设计	设计 ^[7]	设计 ^[5]
工艺	0.18 μ m	0.18 μ m	0.18 μ m
工作频率	200MHz	50MHz	167MHz
逻辑门数	18 $\times 10^3$	11 $\times 10^3$	14 $\times 10^3$
寄存器	2kbit	2kbit	—
RAM	3kb	7.168kb	4kb
滤波周期	180	168	436
解码性能(HDTV)	60f/s	36.4f/s	27f/s

5 结束语

和文献[7]相比,文中设计虽然滤波周期增加了7%,但频率提高了近300%;逻辑门数增加了7千门,但存储器使用量仅为其42%,综合面积上依然占有优势.和文献[5]中设计相比,滤波周期数仅为其41%,频率提高了20%,存储器容量为其75%,逻辑门数只增加了4千门,但由于文献[5]中设计使用了单端口SRAM,面积上有一定的优势.文献[5,7]中的设计相比,解码1920×1080高清视频时,本设计的速度达到60帧/秒.综上所述,文中设计的高性能环路滤波模块具有适中的电路面积和较高的性能,完全满足的高清视频应用.

参考文献:

- [1] AVS工作组. 信息技术先进音视频编码第2部分:视频[M]. 北京:中国标准出版社,2006.
- [2] 黄玄,陈杰,李霞,等. AVS 高清视频变长码解码器算法与电路实现[J]. 微电子学与计算机, 2009, 26(1): 76-80.

(上接第10页)

参考文献:

- [1] Gielen G G E. CAD tools for embedded analogue circuits in mixed signal integrated systems on chip[J]. Computers and Digital Techniques, 2005, 152(3): 317-332.
- [2] 肖杜,李永峰,朱小飞,等. 基于数模混合仿真的PLL系统设计[J]. 微电子学与计算机, 2006, 23(8): 73-76.
- [3] Yun-Cheng Ju, Vasant B, Rao, Resve A Saleh. Consistency checking and optimization of macromodels[J]. IEEE Transaction on Computer-Aided Design, 1991, 10(8): 957-967.
- [4] 卡斯尔曼 K R. 数字图像处理[M]. 朱志刚,译. 北京:电子工业出版社,2002.
- [5] 张鹏,宋宇,陆伟成,等. 数模混合电路仿真波形的自动比较[J]. 计算机辅助设计与图形学学报, 2007(8): 15-17.
- [6] 宋宇,刘学欣,陆伟成,等. 一种鲁棒性几何规划新方法设计两级运放[J]. 微电子学与计算机, 2008, 25(3): 175

- [3] MPEG. ISO/IEC 13818, general coding of moving picture and associated audio information[M]. Switzerland: ISO/IEC, 1994.
- [4] Joint Video Team. ISO/IEC 14469-10 international standard (ITU-T Rec. H. 264)[M]. Switzerland: ITU, 2003.
- [5] 李霞,陈杰,周莉,等. AVS 环路滤波器 VLSI 设计与实现[J]. 现代电子技术, 2008, 31(19): 168-172.
- [6] 代建玮,黄晔,夏宇闻. 适用于 AVS 的自适应环路滤波器硬件设计[J]. 微电子学与计算机, 2005, 22(12): 123-126.
- [7] 尹栋. AVS 环路滤波专用结构[J]. 电视技术, 2008, 32(4): 29-31.
- [8] AVS group. AVS RM52j[DB/OL]: AVS group, 2007. ftp://159.226.42.57.

作者简介:

黄玄 男,博士研究生.研究方向为多媒体SOC设计.
陈杰 男,博士生导师.研究方向为通信基带SOC设计、多媒体处理器SOC设计与高性能数字信号处理器.
周莉 女,硕士生导师.研究方向多媒体SOC设计.
刘振宇 男,博士研究生.研究方向多媒体SOC设计.

-178.

- [7] Joao Ramos. CMOS operational and RF power amplifiers for mobile communications[J]. PHD thesis, 2005(4): 66-68.
- [8] Kit Po Wong, ZhaoYang Dong. Differential evolution, an alternative approach to evolutionary algorithm[C]// Proceedings of the 13th International Conference on ISAPS. Hongkong, 2005: 73-83.

作者简介:

张鹏 男,(1973-),博士研究生,工程师.研究方向为数模混合电路设计和验证自动化.
陆伟成 男,(1966-),博士,副教授.研究方向为集成电路计算机辅助设计算法和电路模拟.
童家榕 男,(1942-),教授,博士生导师.研究方向为电子线路与系统、集成电路设计及集成电路计算机辅助技术.
唐璞山 男,(1934-),教授,博士生导师.研究方向为VLSI电路自动化版图设计以及VLSI电路的形式验证.