

## NOC 路由节点 VLSI 设计

王 剑<sup>1,2</sup>, 王 宏<sup>1</sup>, 杨志家<sup>1,2</sup>

(1 中国科学院沈阳自动化研究所 工业信息学重点实验室, 辽宁 沈阳 110016;

2 中国科学院 研究生院, 北京 100039))

**摘 要:** 基于 wormhole 交换策略和目的地址确定性路由算法, 采用三级流水线的结构实现了片上网络中的路由节点. 该路由节点适用于 Mesh 和 Torus 拓扑, 并采用虚通道技术增加吞吐量. 在 Xilinx 的 FPGA 上实现后可知, 该路由节点最高可工作在 130MHz 的时钟频率上, 传输带宽为 20.8Gb/s.

**关键词:** 片上网络; 路由节点; 流水线结构; 虚通道

**中图分类号:** TN47

**文献标识码:** A

**文章编号:** 1000-7180(2010)01-0009-04

## VLSI Design of Router for Network on Chip

WANG Jian<sup>1,2</sup>, WANG Hong<sup>1</sup>, YANG Zhi-jia<sup>1,2</sup>

(1 Key Laboratory of Industrial Informatics, Shenyang Institute of Automation, Chinese Academy of Sciences, Shenyang 110016, China; 2 Graduate School, Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** A router with 3-stage pipeline architecture is designed for network on chip (NOC) in this paper. It is used wormhole forwarding strategy and deterministic routing algorithm and supports both Mesh and Torus topology. In order to increase throughput, the virtual channels technology is also used. The NOC router is implemented on Xilinx Virtex2p XC2vp30 with a maximum clock frequency of 130MHz and transmission bandwidth of 20.8Gb/s.

**Key words:** network on chip; router; pipeline architecture; virtual channels

### 1 引言

片上网络(Networks on chip, NOC)是一种新型的片上互连结构,能够解决片上系统(SOC)设计中由于使用共享总线结构带来的带宽低、延时大等问题<sup>[1]</sup>. NOC具有可重用性高、可扩展性强、无全局时钟开销等优点<sup>[2-3]</sup>,是未来深亚微米超大规模 SOC 设计的首选互连结构. 路由节点是 NOC 中的一个重要组成部分,它实现了 OSI 模型中网络层的功能,将分组信息从源节点传送到目的节点. 路由节点的性能决定了整个 NOC 结构的数据传输延时、吞吐量和带宽,因此,近年来受到学术界的广泛关注.

路由节点的设计要素包括选择适当的路由算法、交换策略和仲裁机制,确定数据缓冲方式、缓冲队列的宽度和深度以及实现面向特定应用的流量控制策略. 路由节点是面向不同的拓扑结构而设计的,

文献[4]和文献[5]针对二维 Mesh 和 Torus 拓扑进行路由节点的设计,分别采用电路交换和分组交换作为数据传输策略;文献[6]提出了一种基于 Butterfly Fat-Tree 拓扑的路由节点设计. 文中采用三级流水结构实现了一种基于 Mesh 和 Torus 拓扑的路由节点,可以方便地组成通信网络,支持多组数据同时传输,满足高数据吞吐量的片上系统应用.

### 2 路由节点总体架构

路由节点包含 5 个端口,东(east\_port)、南(south\_port)、西(west\_port)、北(north\_port)和本地(local\_port),分别与相邻的四个路由节点(Mesh 结构中边缘节点除外)和一个功能节点相连. 路由节点内部采用输入队列缓存方式缓存分组数据,图 1 中给出了路由节点的结构框图,其中输入通道由若干个虚通道构成(最多 4 个),实现了分组数据的缓

存,并且为每个分组数据选择输出端口;虚通道分配模块根据相邻节点输入通道的虚通道状态,为相应输出端口的分组数据分配虚通道;仲裁模块控制开关电路的选通,连通输入输出端口.为了减小输入通道中存储器的使用,采用 wormhole 交换策略,路由节点的内部数据宽度为 32bit.

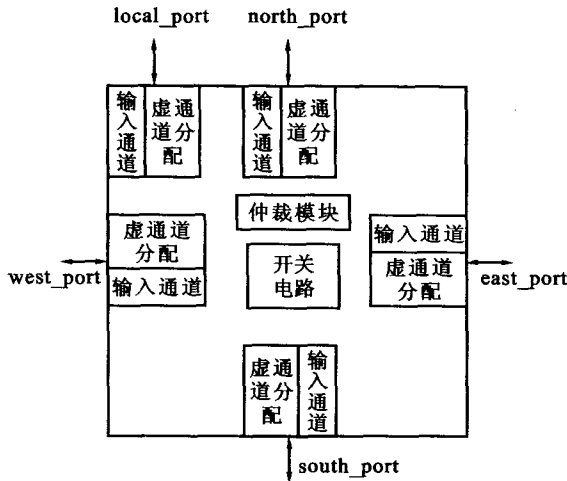


图1 路由节点的结构框图

路由节点的主要功能是在网络中传输分组数据.当分组数据进入输入通道后,先提取目的地址,并根据相应的路由算法确定该分组数据的输出端口;虚通道分配模块获取相邻节点上与其相连的输入通道的虚通道状态,为该分组数据分配虚通道;分组数据获得虚通道后,根据仲裁算法,将相应的输入通道和输出端口连接,开始数据传输,直到分组数据全部输出,传输结束.根据这个工作流程,采用三级流水结构实现路由节点,如图2所示.使用流水结构,引入了二级仲裁机制来实现输入通道和输出端口之间的选通,简化了开关电路的复杂性.以每个数据通道支持4个虚通道为例,如采用集中仲裁方式,则需要  $20 \times 20$  的开关电路;而使用流水结构,只需要使用多个  $4 \times 5$  和一个  $5 \times 5$  的开关电路,这样大大简化了组合逻辑,提高了整个路由节点的工作时钟和数据传输带宽.

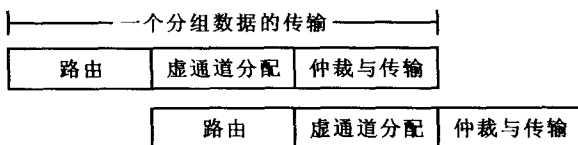


图2 三级流水结构

### 3 分组的数据结构

由于使用基于 wormhole 的交换策略,分组数据

被进一步划分为多个流量控制单元(flow control unit, flit),如图3所示.一个分组由若干个 flit 单元组成,每个 flit 单元包括 32bit 的数据域和 2bit 的控制域.每个分组的第一个 flit 被定义为分组头,分组头中包含 16bit 的源地址和 16bit 的目的地址,分别对应该分组的源节点和目的节点在 NOC 中的地址,因此 NOC 中最多可容纳  $2^{16}$  个路由节点.控制域由 sop 和 eop 组成,当 sop 为 1 时,表示该 flit 为分组头,而 eop 为 1 时,表示该 flit 为分组的最后一个 flit,所以分组的长度是可变的,由控制域指示.

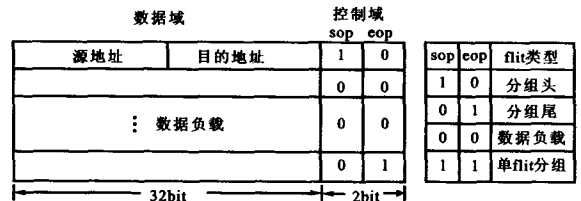


图3 分组的数据结构

## 4 路由节点的 VLSI 设计

### 4.1 输入通道设计

输入通道采用虚通道技术实现,即多个逻辑上独立的虚通道共享一个物理通道.每个输入通道最多支持4个虚通道,各个虚通道有相互独立的缓冲队列和虚通道控制器.缓冲队列采用 FIFO 实现,宽度为 32bit,为了降低延时,使用首字直接通过(First-Word Fall Through)的工作模式.每个缓冲队列分别对应一个读写使能位,当其有效时,才允许对相应缓冲队列中的 FIFO 进行读写操作.虚通道控制器是设计的核心部分,它实现了路由算法,控制整个虚通道的状态转换,并给出虚通道的状态信息和请求信息.输入通道的结构如图4所示.

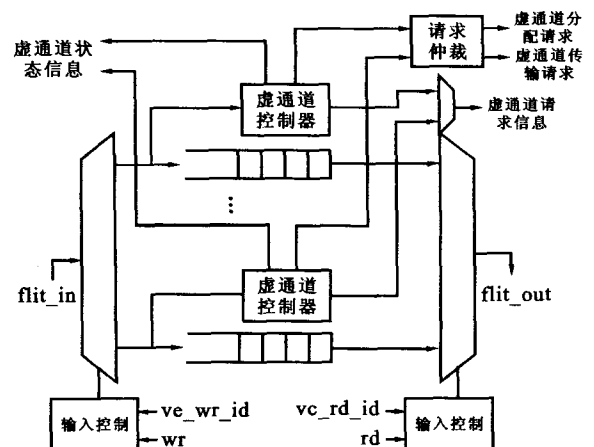


图4 输入通道的结构

路由算法采用基于目的地址路由算法采用基于目

的地址的确定性路由 X-Y 算法,该算法可以避免死锁,且实现简单、消耗资源少,适合在片上使用.虚通道控制器的工作过程分为 3 个阶段,首先其处于空闲状态(idle),待分组数据进入缓冲队列后,提取目的地址,执行路由算法,得出分组数据的输出端口;然后进入虚通道分配状态(get\_vc),发出虚通道分配请求,等待分配虚通道;当分组数据获得虚通道后,进入数据传输状态(send\_data),若此时缓冲队列不为空,则发出数据传输请求,分组数据开始被从缓冲队列中读出,直到分组中最后一个 flit 被读出后,虚通道控制器才又回到空闲状态.上述过程用一个有限状态机实现,如图 5 所示.

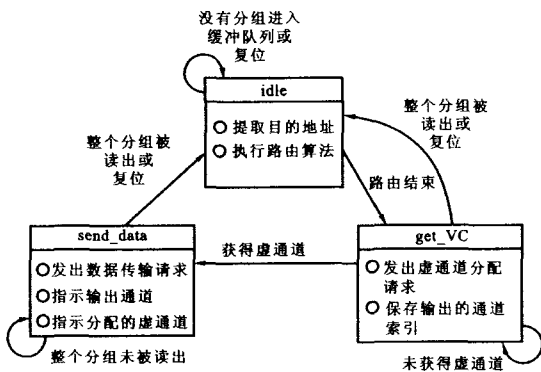


图5 虚通道控制状态机

由于多个虚通道共享一个物理通道,所以同一时刻只能满足一个虚通道发出的虚通道分配请求和数据传输请求.因此,当多个虚通道同时发出请求时,需要使用仲裁机制来实现多个请求的筛选.本设计中使用一种改进的 round-robin 仲裁算法<sup>[7]</sup>,它实现简单,扩展性强,并且不失公平性.

#### 4.2 虚通道分配模块设计

每个输出端口对应一个虚通道分配模块,该模块实时记录着与其相邻的路由节点上,相应输入通道中虚通道的使用状态信息,为请求输出(即进入相邻路由节点的输入通道)的分组数据分配虚通道.每个虚通道分配模块,只接收除本方向以外的其他方向上输入通道的虚通道分配请求,不允许同一方向上的输入输出端口相连,进一步避免了死锁的发生.当不同方向上的分组数据同时向同一个输出端口请求虚通道时,该输出端口上的虚通道分配模块会按照固定的优先级依次响应这些请求.本设计中采用的优先级顺序由高到低依次为:west\_port、south\_port、east\_port、north\_port、local\_port.

虚通道分配模块的内部结构如图 6 所示,其中虚通道状态表记录了相邻的路由节点上,相应输入

通道中各虚通道的分配状态;虚通道状态获取模块根据虚通道的状态信息释放虚通道分配,并记录在状态表中;请求仲裁模块根据各输入通道的虚通道分配请求,将请求信息输入到虚通道分配模块;虚通道分配模块依据虚通道状态表中记录的虚通道使用情况,响应分配请求,输出虚通道分配信息,并将分配记录添加到虚通道状态表中.

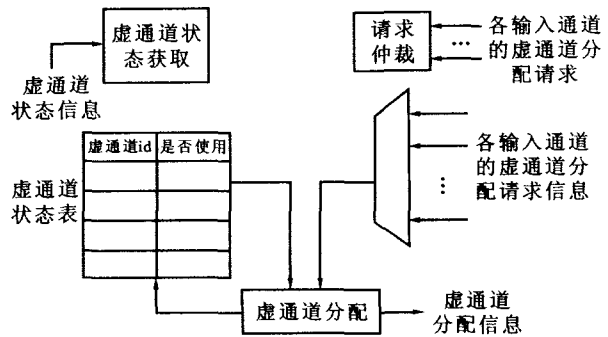


图6 虚通道分配模块内部结构

#### 4.3 仲裁模块设计

仲裁模块主要解决端口争用的问题,本设计采用基于固定优先级的抢占式仲裁策略.当多个端口同时向一个端口申请数据传输时,仲裁模块会先响应优先级高的端口的请求,待该端口的数据传输结束后,再响应优先级较低的端口请求.各端口的优先级顺序与处理虚通道分配时的一致.在仲裁模块的控制下,选通交叉开关,将输入端口与输出端口相连;同时将输入缓冲队列中的分组数据读出,从相应的存输出端口送出.由于缓冲队列中的 FIFO 工作在首字直接通过(First-Word Fall Through)模式,所以一次 flit 读写操作在一个时钟周期内即可完成,降低了传输延时.

#### 5 仿真与实现

使用 VHDL 硬件描述语言对上述路由节点进行 RTL 级描述,并建立仿真平台,验证其功能的正确性.仿真平台中,路由节点被排列成  $4 \times 4$  的 Mesh 拓扑结构,每个路由节点连接一个分组数据发生器和接收器,用于向网络中发送分组数据和接收以该路由节点为目的的分组数据.分组数据发生器和接收器也使用 VHDL 语言描述,但为了简化设计并加快仿真速度,对它们只做行为级描述.仿真结果表明,如不发生阻塞,分组数据通过一个路由节点所需的延时为 6 个时钟周期,见图 7.因此,确保通信频繁的组件之间跨过的路由节点数(即两组件之间的距离)尽可能小,是降低通信延时的有效方法.

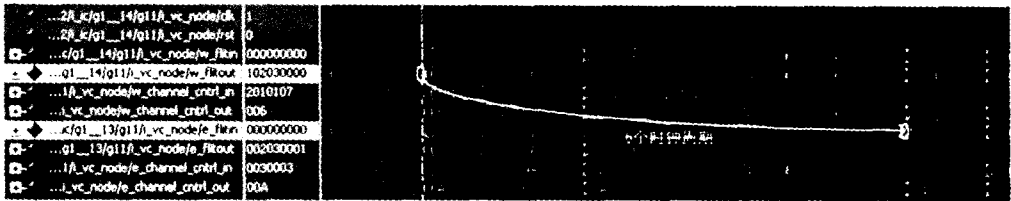


图 7 仿真结果

文中选用 Xilinx 的 FPGA Virtex2p XC2vp30 实现设计,布局布线后的结果如表 1 所示,表中列出了 5 个端口时,不同数量的虚通道和存储队列深度下,路由节点的资源占用和性能.路由节点最大工作频率为 130MHz,最大理论带宽为 20.8Gb/s.从表中可以看出,虚通道的数量和存储队列深度对资源占用有很大影响,因此根据应用需要,合理配置路由节点的虚通道数量和存储队列深度,可以有效节约芯片资源.此外,当虚通道数量增多时,由于仲裁逻辑和选择电路变得复杂,组合逻辑级数增多,导致路由节点的性能有所下降,这个问题需要在未来的工作中进一步解决.

表 1 路由节点的资源占用和性能

| 虚通道数量 | 存储队列深度 | 资源占用/<br>slice | 工作频率/<br>MHz |
|-------|--------|----------------|--------------|
| 2     | 4      | 3349(24%)      | 130          |
| 2     | 8      | 4251(31%)      | 130          |
| 4     | 4      | 6408(46%)      | 110          |
| 4     | 8      | 8179(59%)      | 110          |

6 结束语

文中提出了一种基于三级流水结构的片上网络路由节点,采用 wormhole 交换策略和确定性路由算法.该交换节点支持 Mesh 和 Torus 拓扑,并引入虚通道技术提高数据吞吐量.整个设计使用 VHDL 语言描述,经过功能验证后,在 Xilinx 的 FPGA 上实现,最大工作频率为 130MHz,理论带宽可达 20.8Gb/s.

参考文献:

[1] Dally W J, Towles B Route Packets. Not wires: on - chip interconnection networks[C]// Design Automation Conference. Stanford University, ACM Press, 2001: 684 - 689.

[2] Benini L, De Micheli G. Networks on chips: a new SoC paradigm[J]. IEEE Computer, 2002,35(1):70 - 78.

[3] 魏建军,康继昌,雷艳静. NOC 的平衡设计[J]. 微电子学与计算机,2007,24(5):54 - 57.

[4] Ehliar A, Dake Liu. An FPGA based open source network - on - chip architecture[C]// 2007 International Conference on Field Programmable Logic and Applications. Amsterdam, 2007:800 - 803.

[5] SalahY, Atri M, Tourki R. Design of a 2D mesh - torus router for network on chip[C]// 2007 IEEE International Symposium on Signal Processing and Information Technology. Giza, 2007: 626 - 631.

[6] Pande P P, Grecu C, Ivanov A, et al. Design of a switch for network on chip applications[C]// Proceedings of the 2003 International Symposium on Circuits and Systems. 2003: 217 - 220.

[7] 王涛. 一种可综合的轮换仲裁控制器设计[J]. 微电子学与计算机, 2003, 20(7): 73 - 75.

作者简介:

王 剑 男,(1980 - ),博士研究生.研究方向为集成电路与 SOC 设计、片上互连结构 NOC.

王 宏 男,(1964 - ),研究员,博士生导师.研究方向为计算机网络、工业通信、嵌入式系统研究与开发、集成电路设计.

杨志家 男,(1968 - ),研究员.研究方向为嵌入式系统结构、集成电路低功耗设计以及 SoC 设计和验证方法.