

基于 SystemC 的片上网络全系统模拟器

刘 建¹, 陈 杰¹, 奚 杰¹, 敖天勇^{1,2}, 许汉荆¹

(1 中国科学院 微电子研究所, 北京 100029; 2 河南大学 物理与电子学院, 河南 开封 475001)

摘 要: 设计了一个基于 SystemC 的可配置片上网络(NoC)全系统模拟器. 该模拟器实现了路由器、处理节点、存储节点及 IO 节点的周期精确的事务级建模, 同时具备分析各路由器节点性能及影响因素的功能. 实验结果表明该模拟器具有快速、灵活及准确性高的优点, 在 2.4GHz 的 Intel Core2 处理器上对 4×4 的 NoC 进行周期精确的仿真约为 130kcycles/s, 测试程序在该模拟器运行的结果与系统实现后的实际结果相差小于 4%.

关键词: 片上网络; 仿真器; 事务级建模

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2010)03-0016-04

A SysmtemC-based NoC Full-System Simulator

LIU Jian¹, CHEN Jie¹, XI Jie¹, AO Tian-yong^{1,2}, XU Han-jing¹

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 School of Physics and Electronics, Henan University, Kaifeng 475001, China)

Abstract: This paper presents a configurable NoC (Network-on-Chip) full-system simulator based on the SystemC. The simulator implements a Cycle-Accurate transaction-level model for routers, processor nodes, memory nodes and IO nodes, and provides analysis tools to evaluate the performance and influence factors of each router node. The results show that the simulator is fast, flexible and high-accuracy. On the platform of 2.4GHz Intel Core2 processor, the Cycle-Accurate simulation with 4×4-scale NoC can reach about 130k cycles per second. Comparing with the results of the test program running on the real system, the difference between the simulator and the real system is less than 4%.

Key words: NoC; simulator; transaction-level models

1 引言

为了解决 SoC 结构的复杂性日益提高的问题, 传统的片上总线架构必须不断地改进, 采用多个异步时钟的片上网络(NoC)系统成为可取代传统片上总线系统的新型解决方案^[1-2]. 近年来, 关于片上网络的研究主要集中在路由器设计、低功耗设计、任务映射等^[3], 而对于 NoC 架构下的全系统仿真环境的研究较少. 在设计片上网络时, 构建一个具备分析处理核、片上互联、外设等性能参数的仿真平台, 对研究片上网络的设计有重要意义.

文中利用 SystemC 进行 NoC 的事务级模型(Transcation Level Model, TLM)建模, 实现一个融

合处理器模型、存储器模型、IO 模型及可配置路由结构的片上网络全系统模拟器 SimNoC. 它可以进行多处理器系统的功能模拟和性能分析. 利用该模拟器能够在硬件实现前评测各种方案的性能, 找出设计瓶颈并加以改进, 为系统选择最优的片上网络结构、路由算法等提供灵活有效的设计研究平台, 并进行应用程序的仿真和调试.

2 背景介绍

2.1 SystemC 语义

SystemC 是由 OSCI (Open SystemC Initiative) 联盟组织推出的统一软硬件建模平台, 目的是为系统设计提供一种单一的语言, 即提供一个公共平台

来更好地进行软硬件协同设计和验证,是扩充后的 C++ 语言,即在 C++ 的基础上添加一个 SystemC 的类库.类库不是对 C++ 的修改,而是一个采用合法的 C++ 代码编写的各种函数、数据类型以及其他语言结构的程序库,将并发(多进程并发执行)、定时时间和数据类型等概念引入 C++,使其能够对硬件进行建模描述.

2.2 片上网络简介

片上网络(Networks-on-chip, NoC)成为可以在多核单片系统中替换现有总线互联方式的一种新的设计结构.片上网络借鉴了计算机网络中的概念^[4],使用路由互联单个芯片内的各个 IP.典型的片上网络结构如图 1 所示.图中的每一个资源块(tile)都可以放置一个选定的 IP,如处理器核、存储器或带总线结构的小系统.资源块通过网络接口(Network Interface, NI)连接路由器(Router)^[5],路由器之间通过双向链路连接,资源块及其网络接口构成一个节点.片上网络克服了总线结构可扩展性差的缺点,为大规模互联提供了一种可行的片上系统通信机制.片上网络借鉴计算机的互连网络,支持包通信、可扩展、提供透明的通信服务,并提供了网络拓扑结构、协议、服务质量等选项.

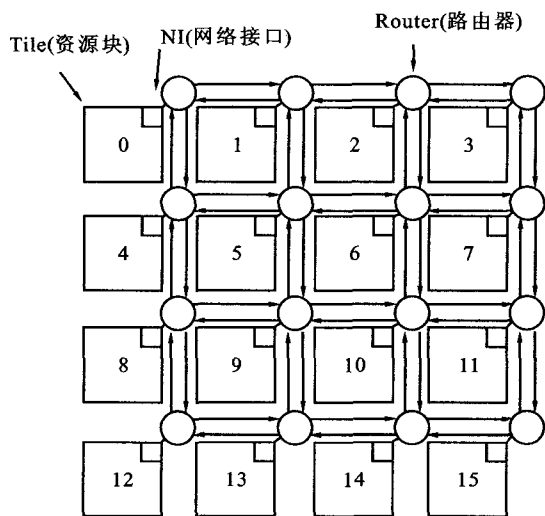


图1 典型片上网络结构

3 基于 SystemC 的 NOC 建模

根据片上网络结构的多处理器由资源块、网络接口及路由器组成的特点,文中实现了如图 2 所示的可配置模拟器.它由网络通信模块(CE)、网络接口(NI)、存储及 IO 节点、处理单元节点(PE),各模块独立建模,并实现统一的模块间通信接口,同时模

拟器接受系统配置文件(Configure File)产生可配置的系统实例,并运行产生包含各个节点、路由器仿真结果信息的仿真日志(Simulation Log)供系统性能分析.为了保证在设计过程中 TLM 模型与硬件设计相一致,并使模拟器易于追踪硬件设计的变化,将各模块分成可配置部分和不可配置部分两个子模块.不可配置部分包括处理器模型、DMA 模型及连接处理器与片上网络的网络接口等.而可配置部分包括 PE 内部节点类型、路由算法、存储器及 IO 节点的容量及延时参数等.采用这种层次化设计可以快速实现对不同系统结构的建模.

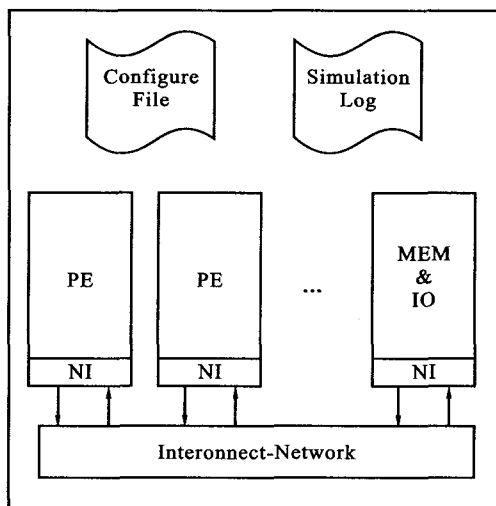


图2 SimNoC 模拟器系统结构

3.1 网络通信模块的实现

片上网络包括了网络的拓扑结构、路由算法、路由器结构等方面的内容.片上网络的性能很大程度上决定了网络节点间同步与通信的性能.文中所实现的路由器能够实现对包括二维 Mesh、Torous、以及其他不规则网络结构的仿真,如图 3 所示.它主要由 4 个部分构成:输入/输出端口,交叉开关、路由策略实现模块、通道仲裁模块.路由器具有 $m+1$ 个端口,其中 0 号端口指向本地节点,其他端口与下一级路由器相连,每个端口由 n 个虚通道组成.模拟器初始化时,接受配置文件信息,对路由策略、虚通道个数、端口数目及缓冲区深度进行配置.文中针对路由算法实现基于虫孔交换的 XY 维序路由^[6]及源路由两种方式,路由策略模块(Routing)根据数据包信息计算下一目的节点坐标,然后由仲裁模块(Arbitration)进行数据包的输出控制.仿真过程中,数据包经过网络接口(NI)时,记录数据包信息到日志文件,以后该数据包经过每一个路由器时记录延时、冲突等信息.

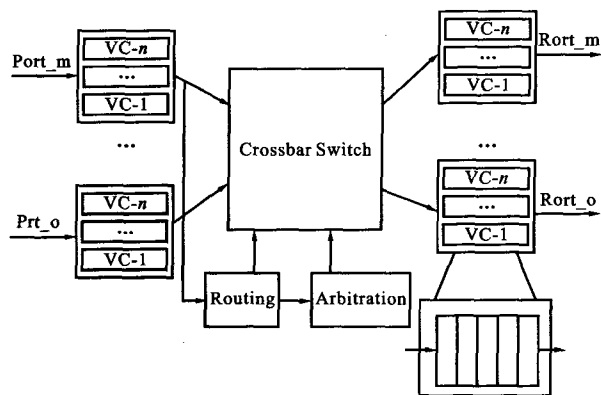


图3 路由器结构

3.2 网络接口的实现

网络接口实现了片上节点和片上网络间数据交互的功能。由于文中实现的处理节点(PE)可以包含多个数据处理单元,它们之间可通过 AMBA AXI 总线进行数据传递,所以可以在 AXI 总线上实现网络接口模块,通过该模块实现节点和网络的数据交互,如图4所示。AMBA AXI 协议定义了一个单向的通道架构,能够有效地使用寄存器分段实现高速度管道连接。凭借对多事务处理和乱序事务处理的支持,再加上对读、写和地址/控制通道的有效利用,它能使系统获得更高的性能和效率,系统性能仅受限于其外围设备的自身性能。由于 AXI 具有分离的读写及控制通道,经简单的转换后可以与路由器虚通道接口格式相适应。网络接口具备 AXI 主设备和从设备的功能,主设备通过 CPU 配置,实现数据从本地节点到远程节点的主动打包搬移,从设备实现网路接口配置的管理,负责 DMA 配置及接受缓冲区容量的配置。

3.3 处理单元的实现

处理单元(Processor Element, PE)是片上网络的运算核心。在 SimNoC 的构架下,PE 由一个 32 位的 RISC CPU 及若干数字信号处理单元(DE)组成(如图5所示)。

DE 单元为精简的 16 位定点 DSP“CoStar-II”内核,具有 6 级流水、每个内核具有 24kB 的指令存储器和 32kB 的数据存储器。DE 主要用于接收 RISC 的任务请求后进行相应的数字信号处理。

RISC CPU 为与 MIPS 兼容的通用处理器,具有 5 级流水线,完善的 CP0 协处理器,MMU 单元及指令和数据分离的一级缓存模块。为适应片上多处理器同步与通信的需求,该处理器在 MIPS 指令集的基础上添加了特殊的通道读写指令和用于与 DE 模块通信的协处理器控制指令。该处理器模型详细

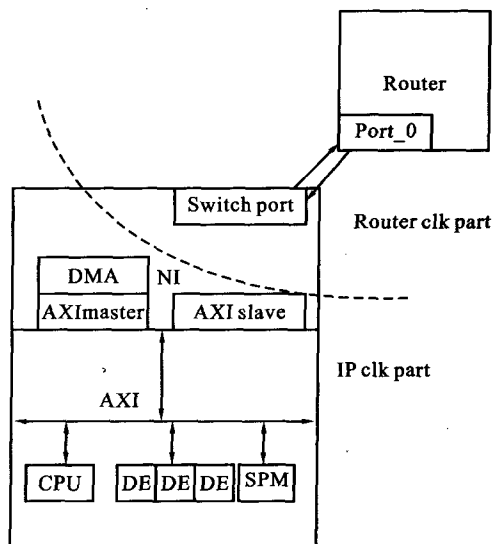


图4 网络接口

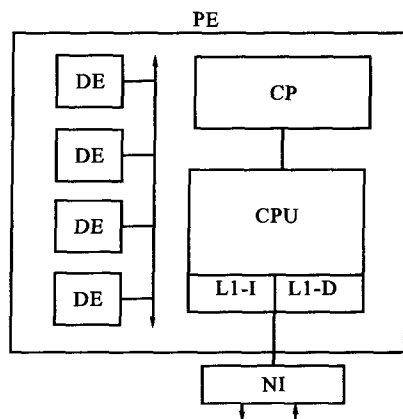


图5 混合 CPU&DSP 的处理节点

描述了包括取址、译码、执行(算数运算;读写存储器;协处理器指令;新加的通道控制指令)、写回、提交等五级流水行为。

DSP 和 CPU 通过一个协处理器模块(CP)实现核间同步与通信。该 CP 包括了共享存储器、读写通道及硬件信号量模块。其中 CPU 与 DSP 间读写通道的实现通过继承 SystemC 的 `sc_fifo_out_if` 接口和 `sc_fifo_in_if` 接口,对 DSP 和 CPU 端口绑定,从而实现功能单元间的通信。信号量是操作系统提供的管理公有资源的有效手段,为了适应 DSP 和 CPU 异构结构及片上快速响应的需求,通过硬件方式实现了信号量,并扩展为可以实现栅障功能的硬件模块。利用 SystemC 提供的 `sc_semaphore` 这一个基本通道作为基础结构,扩展多个处理单元接口的集成和栅障功能,实现通信细化的硬件信号量分层通道的建模。

为了控制应用程序的执行,进行有效的程序调

试,在 CPU 的 SystemC 封装时,添加了 MIPS 处理单元的调试功能.该功能可以执行下列操作:开始(或继续)执行、中断执行、逐个函数通过应用程序、运行到指定位置以及设置执行点.利用这一功能,也可以实现对读写通道和硬件信号量的观察.而对于 DSP,则通过 DSP 和 CPU 间通信的状态间接观察 DSP 状态.

3.4 全系统环境支持

为实现系统仿真所需要的终端控制台功能,模拟器增加了串口的行为模拟,从而实现模拟控制台与片上网络系统的交互与控制.同时,由于文中实现的 DSP 和 RISC 均利用 GNU 的编译器、汇编器等相关工具链,最终生成可执行文件是标准的 ELF 文件,因此,对程序的装载由一个附加单元实现.该单元通过解析 CPU 和 DSP 的可执行文件,从 ELF 文件中析出可执行的二进制数据对 DSP 和 RISC 对应的存储器进行初始化.

4 实验结果

NoC 模拟器进行了如下参数配置:处理器和路由器工作于相同频率但是不同相位的时钟;AXI 总线位宽为 32 位;片上网络通道为 32 位数据,2 位握手信号及 2 位数据类型标签;采用 4×4 2D-Mesh 结构、XY 路由结构的片上网络;每个处理器节点包含 1 个 RISC CPU 及 4 路 DSP 处理单元;具备一个 IO 节点及一个 MEM 节点.

在此模拟器上实现了 3 个测试程序:(1) 64×64 阶矩阵乘法,此程序(Matrix)用来测试处理节点建模的性能.(2) 8kB 数据由 IO 节点读入,依次在各个计算节点传递,最终保存到 MEM 节点,该程序(FLOW)用来测试路由器建模的相关结果.(3) 最后以 JPEG 解码这一相对复杂的测试程序测试片上网络仿真器的性能.为考察模拟器的性能,评估了以下性能参数:指令模拟速度、相对于实际系统实现的精确度.表 1 及表 2 列出了 SimNoC 仿真器上述三个测试程序的运行结果.

表 1 SimNoC 的模拟速度

负载	运行周期	运行时间/s	速度/(kcycles/s)
MATRIX	212×10^3	1.6	133
FLOW	844×10^3	6.8	124
JPEG	$12\,614 \times 10^3$	96.3	131

由表 1 和表 2 可以得出,SimNoC 模拟器具有较高的仿真速度,约为 130kcycles/s.该模拟器虽然

表 2 SimNoC 的准确度

负载	SimNoC	真实环境	误差
MATRIX	212×10^3	214×10^3	-0.01
FLOW	844×10^3	879×10^3	-0.04
JPEG	$12\,614 \times 10^3$	$13\,207 \times 10^3$	-0.04

采用 SystemC 事务级建模,抽象层次较高,模拟细节存在不足,但是仍然具备非常高的准确性.同时,测试过程及结果显示,模拟器简化了多核处理器的程序调试.若运行 RTL 仿真 JPEG 测试程序需要运行 1 天时间,而利用 SimNoC 只需不到 2 分钟时间.

5 结束语

文中基于 SystemC 实现了片上网络的全系统模拟器 SimNoC,实现了处理核心、存储及片上网络等关键模块建模,较好地协调了速度、灵活、精确三方面的关系.测试结果表明,SimNoC 大幅减少了系统仿真时间,同时具有仿真误差小、可信度高、配置方便、调试及性能分析效率高等特点.

参考文献:

[1] Jantsch A, Tenhunen H. Networks-on-chip[M]. USA: Kluwer, 2003.

[2] Kumar S, Jantsch A, Millberg M, et al. A network on chip architecture and design methodology[C]// Proceedings of the IEEE Computer Society Annual Symposium on VLSI. PA, USA: IEEE press, 2002: 105-112.

[3] 杨盛光,李丽,张宇昂,等.NoC 架构片上多处理器系统性能探索[J].微电子学与计算机,2009,26(1):63-66.

[4] Benini L, Micheli G D. Networks on chips: a new SoC paradigm[J]. IEEE Computer, 2002, 35(1):70-78.

[5] Goossens K, Meerbergen J, Peeters A, et al. Networks on silicon: combining best-effort and guaranteed services [C]// Proceedings of the 2002 Design, Automation and Test in Europe Conference and Exhibition (DATE. 02). France: Paris, 2002: 1-3.

[6] 丁帅,吴宁,葛芬,等.片上网络路由单元的系统级建模研究[J].微电子学与计算机,2009,26(1):93-96.

作者简介:

刘建男,(1981-),博士研究生.研究方向为多核处理器及片上网络.

陈杰男,(1963-),博士生导师.研究方向为通信、多媒体处理、VLSI 设计.

奚杰男,(1982-),博士研究生.研究方向为片上网络.

敖天勇男,(1981-),硕士研究生.研究方向为多核 DSP.

许汉荆男,(1984-),硕士研究生.研究方向为片上网络架构及仿真.