

视频信号处理 SoC 中异步时钟处理技术

杨平中, 孙义和

(清华大学 微电子学研究所 清华信息科学与技术国家实验室, 北京 100084)

摘 要: 为了解决视频信号处理 SoC 中处理器与众多接口驱动处于异步多时钟域可能产生的亚稳态问题, 分析了亚稳态产生的原因, 研究了格雷码、同步器、FIFO 技术, 结合 VLIW 视频信号处理 SoC 的结构, 设计了 FIFO 和帧缓存存储模块, 实验结果表明提出的方案可保证 SoC 中处理器和接口驱动间稳定的数据通信, 而不会发生亚稳态现象。

关键词: 亚稳态; FIFO; 异步时钟; 信号处理器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2010)06-0024-04

Technique for Asynchronous Clocks in Video Signal Processing SoC

YANG Ping-zhong, SUN Yi-he

(Institute of Microelectronics, Tsinghua National Laboratory of Information
and Technology, Tsinghua University, Beijing 100084, China)

Abstract: In the video signal processing SoC the processor and many interface drivers are in asynchronous clock domains and this may have metastable problem, this paper analyses the reasons of metastability, study on Gray code, synchronizer, FIFO technology. Combined with the structure of VLIW video signal processing SoC, we design FIFO and frame buffer models, the results of experiment show that the solution put forward by this paper is conducive to ensure the stability of communication between the processor and interface drivers in the SoC, rather than metastability happened.

Key words: metastability; FIFO; asynchronous clocks; signal processor

1 引言

视频信号处理越来越多的应用于各种领域, 当视频信号处理 SoC (System on Chip) 中处理器与接口驱动进行数据通信时, 由于处理器时钟与外接设备驱动接口时钟属于不同的时钟域, 数据进行跨时钟域传输时, 如何避免因异步时钟而造成的通信间电路发生的亚稳态问题, 文中给出了具体解决方案和实验结果。

2 亚稳态及其处理技术

触发器和锁存器是时序电路的基本存储单元, 这两种存储单元都会产生亚稳态。对于一个触发器来说, 在时钟触发沿前, 数据必须保持一个 setup 的

时间不变, 并且在时钟触发沿后数据也必须保持一个 hold 的时间不变。若输入数据的保持时间不能满足 setup 或 hold 需求, 则触发器判决错误, 不能正确将数据存储, 这时触发器的输出处于随机 0 或 1 的不稳定状态, 称为亚稳态。

如图 1 电路所示, clka 和 clkb 是异步时钟, 当 data 信号经过触发器 D1 锁存传送给下一级触发器 D2, 若在 clkb 的上升沿未能对 data1 进行采样, 则 data2 处于或 0 或 1 的亚稳态, 输出信号处于中间状态到恢复为固定 0 或 1 的这段时间, 称为亚稳态时间。若触发器的亚稳态时间超过一个时钟周期时, 这种不确定状态将会影响下一级的触发器, 并会影响到下一级触发器, 最终影响整个系统的正常工作。

理论上讲, 只要存在异步时钟, 就必然会产生

收稿日期: 2009-04-07; 修回日期: 2009-06-07

基金项目: 国家自然科学基金项目(60236020)

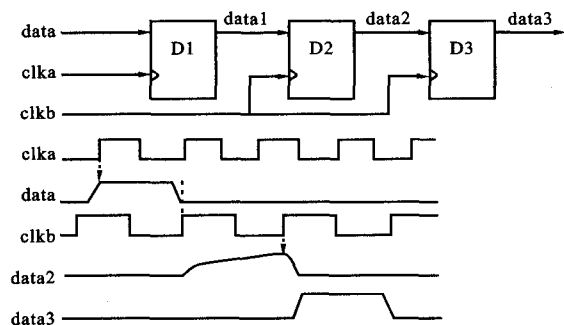


图1 亚稳态现象

setup/hold 冲突,出现亚稳态现象,但下面几种技术却可以大大减少亚稳态发生的概率。

2.1 格雷码编码

对地址进行格雷码编码,这样读/写地址指针可改变的汉明距离为1,每次只改变一位,大大地减少了由一个地址到下一个地址时逻辑的混淆,在地址位比较多的情况下可以有效地减小产生亚稳态的概率。但由于格雷码不具有权重,是一种非权重码,它不能进行运算,在进行运算之前需要进行反格雷码变换。

2.2 同步器

最简单的同步器可以用两级触发器实现^[1],如图1所示,在D2后面再接上一个触发器D3,由上文亚稳态现象产生原因分析可知,当 data2 是亚稳态时,若亚稳态时间小于一个时钟周期,再经过一个触发器采样则可以使数据稳定,即 data3 稳定。若 data2 亚稳态很强烈,那么 data3 也将处于亚稳态,但这种情况概率极小。采用两级触发器的方法已经可以把出现亚稳态的概率降到很小,没有必要再增加触发器带来不必要的延迟和面积代价。

文献[2]中还描述了边沿检测同步器、脉冲同步器,可以参考,不再详述。

2.3 异步 FIFO(First In First Out)

异步 FIFO 是一种适合不同时钟频率之间大量数据交换的技术,其主要功能是在写使能有效时把输入数据写入到存储器中,直到返回一个写满信号,表示存储器写地址赶上了读地址,等到写满信号无效时继续写入数据;读使能有效时把数据按照先进先出的顺序读出,直到返回一个读空信号,表示读地址赶上了写地址,读空信号无效时继续读取数据。存储器中的数据是稳定存储的,这样就保证了跨时钟域数据传输时不会出现亚稳态现象。其基本电路结构如图2所示^[3],主要包括双端口存储器,读/写地址产生模块,满/空标志信号产生模块。

存储器模块用来存储要传输的数据,选用双端

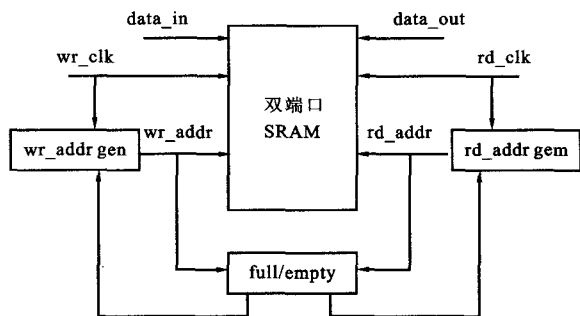


图2 异步 FIFO 结构

口 SRAM,可以直接用编译器生成所需字和位数的 SRAM 块,它的两个端口读和写是相互独立的过程,互不干扰,分别配置成读端口和写端口。读/写地址产生模块可以用计数器产生,当写有效时,地址加1,写满时地址保持不变,同理读有效时,读地址加1,读空时地址保持不变。可见,正确判断出满/空标志对于是否能读写正确的地址非常重要,这也是异步 FIFO 设计的关键部分^[4]。

写满/读空信号是由读/写地址进行比较而得到,由于读/写地址分别属于读时钟域和写时钟域,是异步信号,不能直接进行比较,必须在比较之前用同步器分别把读/写地址同步到写/读时钟域,若直接用读/写地址的二进制码进行同步,则可能会出现错误,所以先转换成格雷码,同步之后再转换成二进制码分别进行比较,具体实现结构如图3所示。

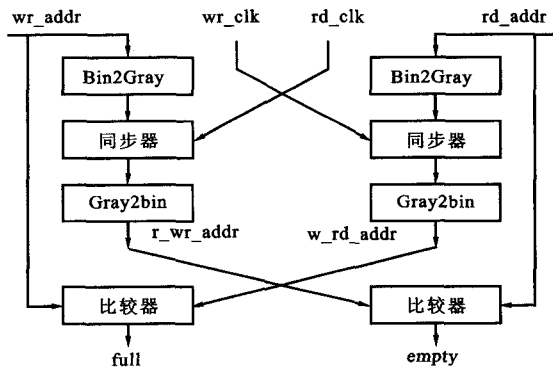


图3 full/empty 标志产生

若直接采用读/写地址相减的方法来得到写满/读空信号^[5],由于组合逻辑的减法器延迟较大,会影响整个 FIFO 的工作频率。一种较快速度的比较方式是直接比较读/写地址,但读写地址相同时不能判断是读空还是写满,为了解决这一问题,可以把读/写地址都增加一位,最高位用作读写地址的状态位。当读写地址相同而状态位不同时,表示写地址写完了存储器后返回到零地址,状态位变成与读地址状态位不同,在读地址没有读完整个存储器之前,写地址已经赶上了读地址,此时 FIFO 处于写满状态。

当读写地址和状态位都相同时,表示读写地址处于同一个读写循环内,但读地址赶上了写地址,可以判断 FIFO 处于读空状态。

3 cercis 视频信号处理 SoC 中异步时钟处理技术

cercis 视频信号处理 SoC 是清华大学微电子所自主开发的一款基于 ITU-T H. 263 视频编解码协议实现的双核处理器,基于超长指令字(VLIW)结构,包含八个数据通道,可以同时发射 8 条指令,独立的 16kB 指令缓存存储器和 32kB 数据缓存存储器,VLC/VLD 编解码协处理器,可以同时完成视频编码和解码,其基本结构如图 4 所示,主要模块及功能如下所示。

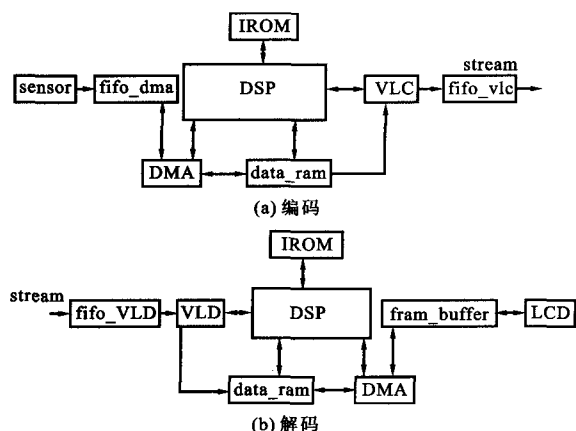


图 4 cercis 视频信号处理 SoC 结构

(1) sensor, 从 CMOS 传感器读取 8bit 数据, 并且存储到数据存储器 data_ram 中, 时钟为传感器输出时钟。

(2) DSP 核, 完成数据处理, 时钟为处理器系统时钟, 指令存放在 IROM 中, 从数据存储器中读取数据并将处理的结果存储在数据存储器中, 主要完成 DCT、量化、IDCT、反量化等运算。

(3) VLC, 对 DSP 核处理的结果进行可变长编码, 并按照一定的顺序拼接后输出编码后的码流, 时钟为处理器系统时钟。

(4) VLD, 读取解码后的码流, 进行可变长解码, 把可变长解码结果存储到数据存储器中, 时钟为处理器系统时钟。

(5) LCD, 扫描解码后的数据, 在 LCD 显示器中显示, 时钟为 LCD 扫描时钟。

从处理器的结构可以看出, 传感器输出数据时钟与 DSP 系统时钟、VLC 时钟与码流输出时钟、读取码流时钟与 VLD 时钟、DSP 核系统时钟与 LCD

扫描时钟这些时钟属于异步时钟, 并且是大量数据进行快速交换, 因此我们设计了 fifo_dma、fifo_vlc、fifo_vld 和 frame_buffer 模块解决这些跨时钟域数据通信的问题, 并且设计 DMA(Direct Memory Access) 模块, 不经过处理器核直接进行数据读取, 大大节省了系统资源。

fifo_dma、fifo_vlc、fifo_vld 这三个 FIFO 都是直接读进去再先进先出读出来的方式, 地址生成简单, 可以直接采用上文描述的 FIFO 设计方法。对于帧缓存 frame_buffer 模块, 写时钟是处理器系统时钟, 读时钟是 LCD 控制器从 frame_buffer 中扫描数据的时钟, 与常见 FIFO 的不同之处在于读/写地址分别由 LCD 控制器和 DMA 控制, 不能像 FIFO 那样从 0 一直写到最高地址, 返回 0, 继续写, 不可以通过一个简单的计数器来实现地址的生成。

data_ram 和 frame_buffer 中 YUV 数据的存储空间如图 5 所示, DMA 模块直接从数据存储器 data_ram 中读取解码后的 YUV 数据, 将 YUV 数据按照一定的地址空间顺序写入 frame_buffer 中, LCD 控制器再按照一定的地址空间顺序从 frame_buffer 中读取数据, 将 YUV 转换到 RGB 信号, 并在行/列扫描控制下显示在 LCD 显示器中。

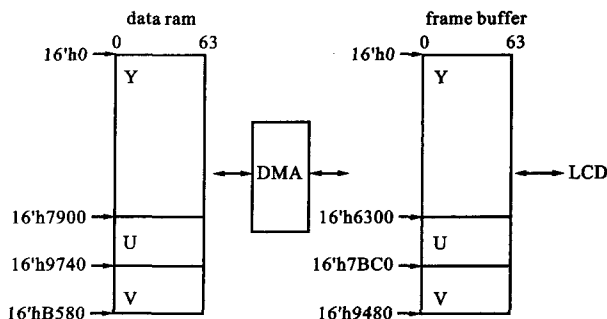


图 5 SoC 解码部分 DMA 传输数据

data_ram 和 frame_buffer 存储的都是 64bit 数据, 结合视频信号数据宽度通常只有 8bit 或 16bit 的特点, 采用分块存储技术由 8 个 8bit 的存储器组合而成。DMA 中有一个状态机控制从 data_ram 中读数据和向 frame_buffer 写数据, 简单描述为: 第一个周期从 data_ram 中读一个字的 Y 数据, 第二个周期向 frame_buffer 中写进去, 直到传输完 352 个字, 这时读地址跳转到 U 数据存储地址, 写地址也跳转到 U 数据要写的位置, 写完 88 个字后, 跳转到 V 数据存储地址, 也是传输 88 个字后读地址跳转到上次读 Y 数据的下一个地址, 继续传输 Y 数据, 如此循环, 把 data_ram 中的 Y、U、V 数据写入到 frame_buffer 中。LCD 控制器也是按照类似如此

地址跳转的方式从 frame_buffer 中读取 Y、U、V 数据,只不过 LCD 每次只读取 8bit 数据,读完 8bit 的 Y 数据就立即跳转到 U 地址读取 8bit 数据,再跳转到 V 地址读取 8bit 数据,这 24bit 的数据转换成 RGB 格式后是一个像素,再按照 YUV 的顺序读取下一个像素所需的数据。

在以上分析的基础上,满/空标志位的产生采用上文所述 FIFO 设计的方法,见图 3,即采用格雷码、双触发器同步器、比较器,由于读写地址的复杂性不能像常见异步 FIFO 那样给地址一个状态位,通过比较状态位来判断是读赶上了写还是写赶上了读,本设计采用直接比较的办法,经比较后得到的近似满/空信号,若判断出处于近似写满状态,则返回给 DMA 一个 1'b1 信号。DMA 读数据存储器需要一个时钟周期,写 frame_buffer 需要一个时钟周期,当 frame_buffer 返回一个满信号时,告诉 DMA 已经写满,下一个周期继续读数据存储器,这时要求读数据存储器的地址保持不变,并且在下一个周期的写 frame_buffer 地址也保持不变,直到返回一个 1'b0 信号,数据可以写入。在 DMA 中保持读/写地址不变的同时,还要保证控制 Y、U、V 读写地址跳转的计数器保持不变,否则将会影响控制 Y、U、V 写入地址的状态机的错误跳转,会把不同类型的信号写到错误的地址。这样就保证了数据缓存中的 Y、U、V 都可以写入 frame_buffer 正确地址中,并且没有丢失数据。同理,当返回一个读空信号给 LCD 时,也要保持 LCD 扫描地址和计数器的不变。

4 实验结果及分析

在 modelsim 仿真环境下,对 frame_buffer 模块进行了功能验证,其中处理器系统时钟是 100MHz, LCD 扫描时钟是 25MHz。图 6(a)是 DMA 的读写时序,在系统时钟频率下, DMA 把数据存储器中对应地址的数据写入到了 frame_buffer 的对应地址中。图 6(b)是 LCD 读控制时序。

如图 6(c)所示,读写地址满足写满判断条件时,写满信号(enWr2DMA)变为高电平,写 frame_buffer 地址和读 data_ram 地址保持不变,没有传输数据,直到读写地址不满足写满判决条件。如图 6(d)所示,当读写地址满足判断条件时,读空信号(enRd2LCD)变为高电平,读地址保持不变,没有扫描数据,直到读写地址不满足读空判决条件。

为了硬件验证本设计方案的正确性,文中采用两块 Xilinx Spartan 系列 xc3s5000 FPGA,分别加载

编码模块和解码模块,外置 CMOS 摄像头和 LCD 显示器分别与对应接口驱动连接,搭建了 FPGA 验证平台^[6]对整个视频处理 SoC 进行了功能验证,如图 7 所示。结果显示,采用异步 FIFO 的技术设计的帧缓存模块,能够保证处理器和 LCD 接口驱动间数据通信的稳定。

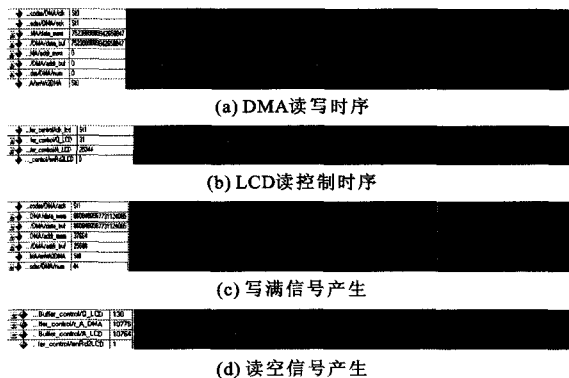


图 6 模拟结果



图 7 FPGA 验证平台

5 结束语

文中研究了处理跨时钟域数据通信亚稳态现象的几种技术,结合一款视频信号处理 SoC 的结构,提出一种有利于解决信号处理器和接口驱动间数据通信不稳定而导致亚稳态现象的方案,设计了异步 FIFO 和帧缓存模块,模拟和 FPGA 验证结果显示,本方案能很好地满足整个 SoC 的需求。

参考文献:

- [1] 付先成,邹雪城. FIFO 电路在液晶显示控制器中的应用[J]. 华中科技大学学报:自然科学版,2006,34(4): 8-10.
- [2] 徐翼,郑建宏. 异步时钟域的亚稳态问题和同步器[J]. 微计算机信息:嵌入式与 SOC,2008,24(2):271-272.
- [3] Liu Zewei, Xie Mei. An effective AS-FIFO design for multiple asynchronous clock data transmission[C]// 2008 International Conference on Communications, Circuits and Systems. China, Xiamen,2008(2):960-963.

(下转第 31 页)

离 D_c :

$$D_c = \sum_{i=1}^l [2\ln S_c^i + (\frac{F_i^i - m_c^i}{S_c^i})^2] \quad (10)$$

式中, l 为纹理特征矢量的维数, 测试样本被归入距离最小的类别. 作为比较, 图 5 同时给出了文献[4]中所提出的神经网络方法的识别结果. PNN 训练速度快, 没有 BP 神经网络的误差反传过程, 训练时间略大于读取数据的时间; 收敛性好, 无论识别问题多么复杂, 只要训练样本足够多, 就可以保证获得贝叶斯的最优解; 网络结构设计灵活方便, 允许增加或减少训练样本而无需重新进行长时间的训练.

从实验结果可以看出, 文中提出的基于小波概率神经网络的纹理识别算法在正确识别率上比 BP 神经网络和贝叶斯分类算法有显著的提高.

7 结束语

文中提出了一种将颜色信息融合到纹理分析中的纹理识别算法——基于小波概率神经网络的彩色纹理识别. 实验结果表明了该方法的有效性.

参考文献:

- [1] Charalampidis D, Kasparis T. Wavelet - based rotational invariant roughness features for texture classification and segmentation[J]. IEEE Trans Image Processing, 2002, 11

(8): 825 - 837.

- [2] 张俊本, 李朝峰, 尹汪宏. 基于输入扩展改进的 BP 网络及其在遥感图像分类中的应用[J]. 微电子学与计算机, 2007, 24(12): 171 - 173.
- [3] 谭茹, 王相海, 辛玲. 一类几何纹理生成方法[J]. 微电子学与计算机, 2007, 24(6): 185 - 187.
- [4] Laine A, Fan J. Texture classification by wavelet packet signatures[J]. IEEE Trans Pattern Anal Mach, 1993, 15(11): 1186 - 1191.
- [5] Ramchandra Manthalkar, Biswas P K, Chatterji B N, et al. Rotation invariant color texture classification in perceptually uniform color spaces[C]// Proceedings of III Indian Conference On Computer Vision, Graphics and Image Processing. India, Ahmedabad, 2002.
- [6] Shuttleworth J K, Todman A G, Naguib N G, et al. Color texture analysis using cooccurrence matrices for classification of colon cancer images[C]// Proceedings of IEEE Canadian Conference on Electrical and Computer Engg. Canada, 2002.

作者简介:

肖淑苹 女, (1982 -), 硕士, 教师. 研究方向为智能信息处理.

杨建雄 男, (1981 -), 硕士. 研究方向为人工智能.

陈一栋 男, (1982 -), 硕士. 研究方向为数据挖掘、人工智能.

(上接第 27 页)

- [4] 于海, 樊晓桢. 基于 FPGA 异步 FIFO 的研究与实现[J]. 微电子学与计算机, 2007, 24(3): 210 - 216.
- [5] 刘洪波, 龙娟. 异步 FIFO 状态判断的研究与设计[J]. 微电子学与计算机, 2007, 24(3): 81 - 84.
- [6] 沈钺. 可配置的并行数字信号处理器结构设计研究[D]. 北京: 清华大学, 2009.

作者简介:

杨平中 男, (1986 -), 硕士研究生. 研究方向为视频信号处理 SoC 设计.

孙义和 男, (1945 -), 教授, 博士生导师. 研究方向为 VLSI/SoC 测试方法学和可测性设计、多媒体 VLSI/SoC 设计技术、网络和数据安全 VLSI/SoC 结构.