

一种高温性能 CMOS 带隙基准源

许小丽, 冯全源

(西南交通大学 微电子研究所, 四川 成都 610031)

摘 要: 提出了一种正负温度系数电流产生电路, 使用分段线性温度补偿技术用于传统的电流模式基准电路中, 改善 CMOS 带隙基准电路在宽温度范围内的温度漂移. 采用 0.18 μm CMOS 混合信号工艺, 对该电路进行了设计. 在 1.8V 的电源电压条件下, 基准输出电压为 0.801 V, 温度系数在 $-40^{\circ}\text{C} - 125^{\circ}\text{C}$ 范围内可达到 2.7ppm/ $^{\circ}\text{C}$, 电源电压从 1.5V 变化到 3.3V 的情况下, 带隙基准的输入电压调整率为 1.2 mV/V.

关键词: 低温温度系数; 带隙基准; 分段线性补偿; CMOS

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2010)01-0025-04

A Piecewise-Line Compensated CMOS Bandgap Reference

XU Xiao-li, FENG Quan-yuan

(Microelectronics Institute, Southwest Jiaotong University, Chengdu 610031, China)

Abstract: This paper presents a positive-negative temperature coefficient current generator, which is added to a traditional current mode reference circuit, so that Piecewise-Linear temperature Compensated technique can be used to improve the temperature drift of CMOS bandgap reference circuit within wider temperature range. The proposed circuit is designed by 0.18 μm CMOS mix-signal technology. Under the supply voltage of 1.8V, the proposed bandgap reference provides an output voltage of is 0.801V. A temperature coefficient of 2.7ppm/ $^{\circ}\text{C}$ from -40°C to 125°C can be achieved, and line regulation of 1.2 mV/V from 1.5V to 3.3V.

Key words: low temperature coefficient; bandgap reference; piecewise-linear compensated; CMOS

1 引言

随着 CMOS 工艺技术的发展, 系统芯片 (SoC) 已经得到学术界和工业界的广泛关注. 带隙基准电压电路为数据转换、锁相环等模块提供基准信号, 是 SoC 中不可缺少的关键模块. 随着系统功能的日趋增强, 对带隙基准电压的精度提出了更高的要求, 需要采用温度补偿技术. 常用的温度补偿技术主要有电阻比率法^[1], 指数曲率补偿法^[2]和分段线性补偿法^[3]等.

文中基于电流型带隙基准电路设计了一种新型的基于 CMOS 工艺的低压基准电路, 采用分段线性补偿在宽温度范围内实现低温温度系数, 电路的工作电源电压范围为 1.5~3.3V.

2 带隙基准电压源电路

2.1 基准电路架构

电路设计原理如图 1 所示, 首先利用传统的电

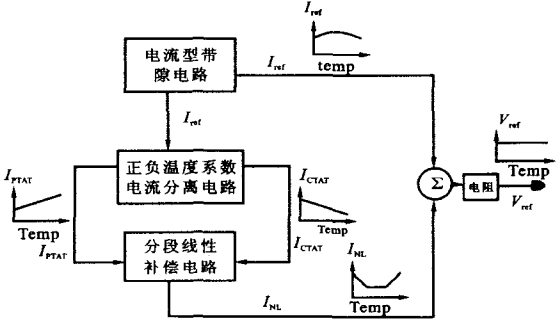


图 1 基准电路设计原理

收稿日期: 2008-12-31; 修回日期: 2009-03-01

基金项目: 国家自然科学基金一中物院联合基金资助项目(10876029)

流型带隙基准电路得到和温度关系不大的电流 I_{ref} , 将 I_{ref} 引入到一个电流分离电路, 该电路的作用是从 I_{ref} 分离出负温度系数电流 I_{CTAT} 和正温度系数电流 I_{PTAT} , 使用电流镜将 I_{CTAT} 和 I_{PTAT} 引出以作为分段线性补偿电路的两个输入, 从而得到一个分段电流 I_{NL} , 最后将此 I_{NL} 和 I_{ref} 叠加作用于电阻

上得到基准输出, 这样可以有效地减小基准的温度漂移.

2.2 基准电路的实现

整个电路由电流型带隙电路、正负温度系数电流分离电路、分段线性补偿电路和启动电路四部分构成, 见图 2.

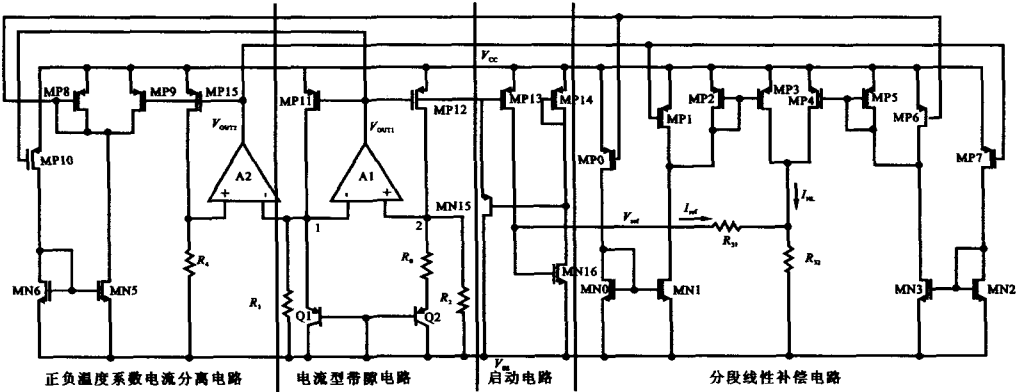


图2 带隙基准整体电路图

电流型带隙基准电路^[4]相对于电压型的而言, 最大的优点在于它可以得到低于硅的带隙电压 (1.205V) 的基准输出, 符合低电压设计要求. 它的基本原理是采用正温度系数和负温度系数的电流叠加作用于电阻上产生基准输出. 电路中 MP11, MP12 和 MP13 是完全相同的, 电路平衡时, 由于负反馈的作用, 运算放大器强制节点 1 和 2 电压相同. 三极管 Q1、Q2 的基极发射极电压差作用于电阻 R_0 产生正温度系数电流:

$$I_{PTAT} = \frac{V_{BE-Q1} - V_{BE-Q2}}{R_0} = \frac{V_T \ln N}{R_0} \quad (1)$$

式中, N 是 Q1 和 Q2 的发射极面积之比, V_T 是热电压. 负温度系数电流 I_{CTAT} 取决于 V_{BE-Q1} 和 R , 其中 $R = R_1 = R_2$, 所以有

$$I_{CTAT} = \frac{V_{BE-Q1}}{R} \quad (2)$$

电路中使用同类型电阻, 适当选择 R/R_0 的比例和 N 值, 就可以使 V_{BE-Q1} 的负温度系数和 V_T 的正温度系数相抵消, 得到小温漂的电流 I_{ref} :

$$I_{ref} = I_{PTAT} + I_{CTAT} \quad (3)$$

从核心带隙电路不能直接引出正负温度系数的电流, 只能引出电流 I_{ref} , 因此文中设计了一种从 I_{ref} 分离出两种温度系数电流的电路, 以利于使用分段线性补偿技术. 使用电流镜将 I_{ref} 引入到电流分离电路中:

$$I_{MP10} = I_{ref} = \frac{V_{BE-Q1}}{R} + \frac{V_T \ln N}{R_0} \quad (4)$$

运算放大器 A_2 强制电阻 R_4 ($R_4 = R$) 上的电压降为 V_{BE-Q1} , 则 R_4 上的电流为

$$I_{MP15} = I_{R4} = \frac{V_{BE-Q1}}{R_4} = I_{CTAT} \quad (5)$$

MOS 管 MP8、MP9、MP10、MN5 和 MN6 构成电流减法电路, 使 MP8 的输出电流为

$$\begin{aligned} I_{MP8} &= I_{MN5} - I_{MP9} \\ &= \frac{V_{BE-Q1}}{R} + \frac{V_T \ln N}{R_0} - \frac{V_{BE-Q1}}{R} \\ &= \frac{V_T \ln N}{R_0} \\ &= I_{PTAT} \end{aligned} \quad (6)$$

将 I_{PTAT} 和 I_{CTAT} 引入到分段线性补偿电路^[3], 当温度较低时, I_{CTAT} 大于 I_{PTAT} , MP5 导通, MP2 截至, 从 MP3 和 MP4 的公共漏极输出的电流为负温度系数电流; 当温度较高时, I_{CTAT} 小于 I_{PTAT} , MP2 导通, MP5 截至, 从 MP3 和 MP4 的公共漏极输出的电流为负温度系数电流, 得到分段输出电流 I_{NL} :

$$I_{NL} = \begin{cases} c(a_2 \cdot I_{CTAT} - a_1 \cdot I_{PTAT}) & T < T_1 \\ 0 & T_1 < T < T_2 \\ d(b_2 \cdot I_{PTAT} - b_1 \cdot I_{CTAT}) & T > T_2 \end{cases} \quad (7)$$

其中

$$a_1 = (W/L)_{MP6} / (W/L)_{MP8} \quad (8)$$

$$a_2 = \frac{(W/L)_{MP7}}{(W/L)_{MP9}} \quad (9)$$

$$b_1 = (W/L)_{MP1} / (W/L)_{MP9} \quad (10)$$

$$b_2 = \frac{(W/L)_{MP0}/(W/L)_{MP8}}{(W/L)_{MN1}/(W/L)_{MN0}} \quad (11)$$

$$c = (W/L)_{MP4}/(W/L)_{MP5} \quad (12)$$

$$d = (W/L)_{MP3}/(W/L)_{MP2} \quad (13)$$

T_1 由正负温度系数电流, a_1 和 a_2 决定, 而 T_2 由正负温度系数电流, b_1 和 b_2 决定, 一般通过调整 a_1 、 a_2 、 b_1 、 b_2 来调整两个温度的大小。

电路中还使用 MOS 管 MP14、MN15 和 MN16 构成启动电路, 电路刚加电时, 核心基准电路中没有电流, 基准输出为零, 使 MN15 的栅极为高电平, MN15 导通将 MP11、MP12、MP13 的栅极拉为低, 使电流注入核心基准电路中, 一旦核心基准电路正常工作, MN16 的栅极为高, 漏极为低使 MN15 关掉, 启动电路对基准电路不再产生影响。

若 Q1 和 Q2 的面积之比选择为 1:8。基准电路最后的输出电压为

$$V_{ref} = (R_{31} + R_{32}) \left(\frac{V_{BE-Q1}}{R_2} + \frac{V_T \ln 8}{R_0} \right) \quad (14)$$

基准输出可以分为两部分, 第一部分为传统带隙基准电路的输出, 第二部分是一个三段式分段函数, 用于矫正前者的温度性能, 以减小输出电压的温漂。

3 基准版图实现和电路仿真结果分析

带隙基准电路使用 TSMC 0.18 μ m, 3.3V 器件 CMOS 混合信号工艺, 整个基准源版图如图 3 所示。版图中 9 个三极管采用九宫格的匹配结构, MOS 管和电阻尽量使用共质心的匹配法则进行布局, 以减小不匹配给电路造成的误差影响, 整个版图的面积为 0.042mm²。

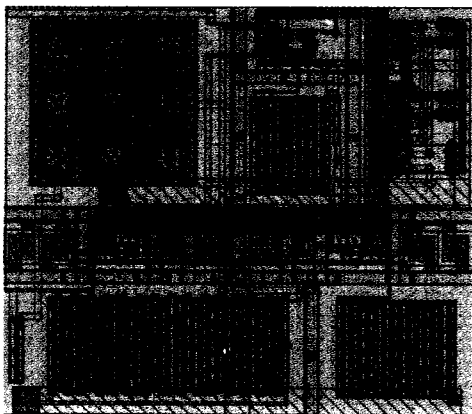


图 3 带隙基准版图

图 4 为电路在加温度补偿电路前后, 基准电路输出随温度的变化曲线。电路未作补偿前, 输出电压

曲线为一个抛物线且在 A 点达到最大值 801.79mV, 曲线的峰峰值为 3.36mV。添加了补偿电路以后, 补偿电流在温度小于 8℃ 左右(B)时为负温度系数, 大于 66℃ 左右(C)时为正温度系数, 两者之间的电流为零, 补偿电流作用于 R_{32} 上产生一个微小的电压, 使最终输出基准电压曲线在 B、C 处改变原来变小的趋势, 在 BD 区间随温度降低而升高, 在 CE 区间随温度升高而升高, 当达到 D、E 时, 补偿电流的温度系数绝对值小于原电流的, 曲线的变化趋势回到原来的状态, 于是出现图中所示的波形, 结果使输出电压的峰峰值明显减小为 351 μ V, 对应的温度系数为 2.7ppm/℃。

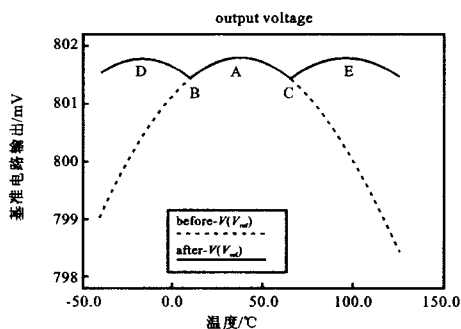


图 4 基准电压在电源电压为 1.8V 时随温度变化曲线

基准输出电压与电源电压关系曲线如图 5 所示, 当电源电压高于 1.5V 时, 电路正常工作, 且在室温条件下, 当电源电压在 1.5V 到 3.3V 之间变化时, 输入电压线性调整率达到 1.2mV。将文中设计电路和 0.18 μ m 工艺下的其他电流型基准电路作对比结果, 见表 1 所示。

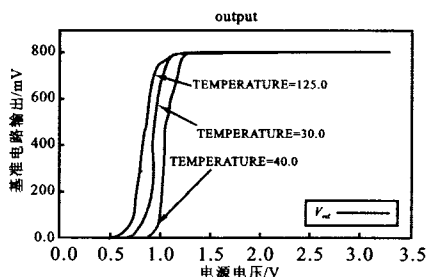


图 5 基准电压随电源电压变化曲线

4 结束语

文中提出一种基于 TSMC 18 μ m CMOS 混合信号工艺的新型带隙基准电路结构^[5-6]。在传统电流型基准电路基础上, 添加正负温度系数电流分离电路, 以便采用分段线性补偿方法减小输出电压温度漂移, 使其在电源电压为 1.8V 时, 温度在从 -40℃ 到 125℃ 的区间变化时, 温度系数为 2.7ppm/℃, 电

表 1 带隙基准电路对比表

Specifications	文献[3]	文献[5]	proposed
Technology	0.18 μm CMOS	0.18 μm CMOS	0.18 μm CMOS
Supply voltage range/V	1.5~2.5	1.6~3	1.5~3.3
Temperature range/ $^{\circ}\text{C}$	-40~80	30~150	-40~125
Reference voltage/V	0.713	1.45	0.8016
Temperature coefficient/ (ppm/ $^{\circ}\text{C}$)	8@1.8V	23@1.8V	2.7@1.8V
Line Regulation	76 $\mu\text{V/V}$	2.1mV/V	1.2mV/V

路的工作电压范围为 1.5V~3.3V, 且在此范围内线性调整率为 1.2mV/V.

参考文献:

- [1] Leung K N, Mok P K T, Leung C Y. A 2V 3uA 3ppm/ $^{\circ}\text{C}$ curvature - compensated BiCMOS bandgap reference [J]. IEEE Journal of Solid - State Circuits, 1994, 38(3): 561 - 564.
- [2] Wang Xichuan, Si Cuiying, Xu Xing. Curvature compensated CMOS bandgap reference with 1.8V operation[C]//

High Density Microsystem Design and Packaging and Component Failure Analysis, HDP'06. Shanghai, 2006: 20 - 23.

- [3] Hou Ming Chen, Chih Liang Huang, Robert C Chang. A new temperature compensation CMOS bandgap reference circuit for portable applications[C]// Circuits and Systems, ISCAS 2006. Proceedings. 2006 IEEE International Symposium on. Island of KOS, 2006: 4.
- [4] Banba H, Shiga H, Umezawa A, et al. A CMOS bandgap reference circuit with sub - 1 V operation[J]. IEEE Journal of Solid - state Circuits, 1999, 34(5): 670 - 674.
- [5] Xing Xinpeng, Li Dongmei, Wang Zhihua. A novel CMOS current mode bandgap reference[J]. Journal of Semiconductors, 2008, 29(7): 1249 - 1253.
- [6] 盛庆华, 张亚君, 王红义. 一种线性补偿的带隙基准电路 [J]. 微电子学与计算机, 2007, 24(1): 169 - 172.

作者简介:

许小丽 女, (1985 -), 硕士研究生. 研究方向为模拟集成电路分析与设计.

冯全源 男, (1963 -), 博士, 教授, 博士生导师, IEEE 高级会员. 研究方向为集成电路设计、半导体材料及器件、微波及毫米波技术、移动天线与智能天线系统、自适应信息处理、电磁兼容与环境电磁学、微波器件及材料等.

(上接第 24 页)

- [3] Pierre Moulin, Kivanc Mihca M. The parallel - gaussian watermarking game[J]. IEEE Transactions on Information Theory, 2004, 50(20): 1 - 6.
- [4] Harmsen J. Secure capacity of steganographic systems[D]. New York, Polytechnic Institute Troy, 2005.
- [5] Pierre Moulin, Joseph A O'Sullivan. Information - theoretic analysis of information hiding[J]. IEEE Transactions on Information Theory, 2003, 49(2): 19 - 23.
- [6] Jiang Cuiling, Lin Jiajun, Pang Yilin. Capacity analysis of steganography based on the digital images under the constraints of security[C]// International Conference on Au-

dio, Language and Image Processing. Shanghai: East China University of Sci. & Technol., 2008(7): 909 - 912.

- [7] 蒋翠玲, 林家骏, 庞毅林. 基于数字图像隐写容量的分析 [J]. 微电子学与计算机, 2008, 25(4): 72 - 76.
- [8] 于祺, 陈克非. 基于图像的广义隐写分析[J]. 微电子学与计算机, 2008, 25(6): 212 - 215.

作者简介:

蒋翠玲 女, (1976 -), 讲师, 博士研究生. 研究方向为图像处理、信息隐藏.

林家骏 男, 博士生导师, 教授.

庞毅林 男, 讲师.