

流水线自适应格型联合处理器的 FPGA 设计

齐海兵^{1,2}

(1 华中科技大学 光电子科学与工程学院 武汉国家光电实验室,湖北 武汉 430074;

2 黄石理工学院 电气与电子信息工程学院,湖北 黄石 435003)

摘 要: 针对用 FPGA 设计梯度自适应格型联合处理滤波器时,由于自身算法复杂度引起的时钟速度过低问题,提出了一种驰豫超前的流水线优化设计方案.该方案对组成联合处理器的格型节和横向组合器的级间环路中权值更新和误差更新值,分别采用延时技术进行近似处理,缩短了关键路径的计算量,并通过 FPGA 的仿真设计流程得到了流水线深度和时钟速度的关系.结果表明在不改变自适应参数的情况下,采用三级流水线仅增加逻辑宏单元 60% 消耗,可以使 GALJP 滤波器时钟速度提高近 30%.

关键词: 自适应滤波器;梯度自适应格型滤波算法;流水线优化;FPGA

中图分类号: TN713+.7;TN402

文献标识码: A

文章编号: 1000-7180(2010)07-0049-04

Implementation of Pipelined Gradient Adaptive Lattice Joint Filter Based on FPGA

QI Hai-bing^{1,2}

(1 WNLO, Institute of Optoelectronics Science and Engineering, Huazhong University of Science and Technology, Wuhan 430074, China; 2 School of Electric and Electronic Information Engineering,

Huangshi Institute of Technology, Huangshi 435003, China)

Abstract: Referring to the lower work speed of adaptive gradient lattice joint processing (GALJP) on FPGA caused by the algorithm's complexity, a pipeline optimization approach based on the technology of delay leading transfer is proposed. By approximate treatment to the updated weight coefficients and errors in each section of lattice filter and transversal combiner, the critical path delay of GALJP is reduced greatly, and the relationship between the pipeline depth and work speed is obtained through the design of EDA softwares. Simulation results show that the work speed of the three-level pipelining filter had increased nearly 30% than that of original GALJP without changing the adaptive parameters, and the pipelined filter costed only additional 60% logic element (LE) hardware resource more than the latter.

Key words: adaptive filter; gradient adaptive lattice joint processing algorithm; pipelined optimization; FPGA

1 引言

在检测微弱光、电信号时,自适应滤波器所处的环境可能是非平稳的,输入信号的自相关矩阵和互相关向量等算法参量将随时间变化.如何在这类环境中仍能使算法保持较低的复杂度和具有较快的跟踪适应能力,是工程应用中必须解决的主要问题.梯度自适应格型联合处理 (gradient adaptive lattice joint processing, GALJP) 器^[1]是一种由梯度自适应

格型 (gradient adaptive lattice, GAL) 滤波器和 LMS 线性组合器组成的自适应滤波器,由于格型滤波器可以对输入信号去耦,在降低输入信号自相关矩阵特征值扩展的意义上提高了信号质量,在非平稳环境下该算法具有收敛速度快、精度高和稳定性好等优势.但是由于算法本身的复杂性,采用 FPGA 实现时单次迭代运算的速度并不快,导致 GALJP 滤波器的工作速度较低,在实时性要求较高的场合其使用受到限制.

流水线技术在设计中一般表现为把延时较大的组合逻辑块切割成两块延时大致相等的组合逻辑块,导致关键路径的缩短,能显著提高时钟速度.自适应数字滤波器因为存在反馈环路,而且在收敛之前滤波器系数总是在不断变化,因此它不能简单地运用并行处理^[2,4]、超前计算^[5]等常规流水线设计手段.本文提出了一种驰豫超前的流水线硬件设计方案,对组成联合处理器的格型节和横向组合器的级间环路采用延时技术对权系数更新以及误差更新值进行近似处理,并通过行为级、寄存器传输级和门级等 FPGA 仿真设计流程得到了流水线深度和时钟速度的关系.

2 GALJP 算法

利用格型滤波器去耦后的正交信号作为 LMS 滤波器抽头的输入信号,构造成如图 1 所示的 GALJP 滤波器.从功能上看包含两个部分:梯度自适应格型(gradient adaptive lattice, GAL)滤波器和线性组合器, GAL 滤波器包括格型滤波器和对反射系数的梯度算法更新;而线性组合器以 GAL 滤波器每节的后向输出作为输入信号,采用 LMS 算法对整个系统的参考信号进行实时跟踪.

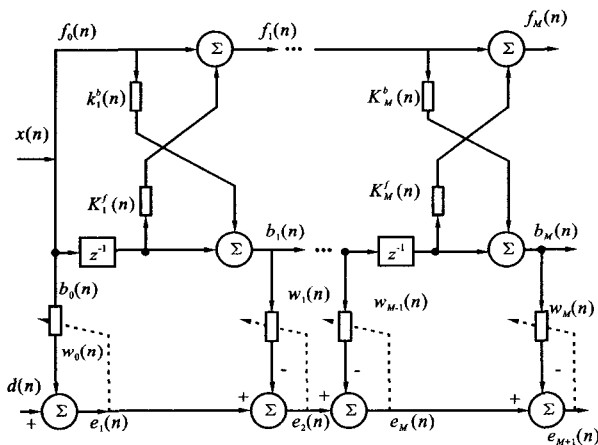


图 1 GALJP 结构图

在平稳输入信号情况下, GAL 滤波器反馈运算后的滤波方程为

$$\begin{aligned} f_m(n+1) &= f_{m-1}(n+1) + K_m(n+1)b_{m-1}(n) \\ b_m(n+1) &= b_{m-1}(n) + K_m(n+1)f_{m-1}(n+1) \\ f_0(n) &= b_0(n) = x(n) \end{aligned} \quad (1)$$

式中, $f_m(n+1)$ 和 $b_m(n+1)$ 分别为第 m 级前向预测误差和后向预测误差的 $n+1$ 次序列; $K_m(n+1)$ 为第 m 级的 $n+1$ 次反射系数; $m=1,2,\dots,M$ 表示 M 阶(节)格型滤波器; $x(n)$ 为输入向量.反

射系数的自适应更新利用梯度算法最小化代价函数 $\epsilon_m(n+1) = E[f_m^2(n+1)] + E[b_m^2(n+1)]$ 得到

$$K_m(n+1) = K_m(n) - \beta(n)[f_m(n)b_{m-1}(n) + b_m(n)f_{m-1}(n)] \quad (2)$$

式中, $\beta(n)$ 为步长因子, 式(1)和式(2)组成了 GAL 算法.

线性组合器有两路输入信号,一路为格型滤波器的后向输出信号 $\{b(n)\}$;另一为期望信号序列 $\{d(n)\}$.线性组合器的滤波系数 $w(n)$ 表示延迟线抽头信号加权系数 $\{w_1(n), w_2(n), \dots, w_M(n)\}$, 权系数的调节采用 LMS 算法, 滤波器的输出信号 $y_i(n)$ 等于输入信号 $b_i(n)$ 与冲激响应序列 $w_i(n)$ 的卷积和, $e_i(n)$ 为误差信号, 即可得到迭代公式(式(3)).

式(3)中 m 为线性组合器的节数, 比格型节多 1 个, μ 为 LMS 算法的迭代步长. 如果输入信号 $x(n)$ 为噪声信号, 通过线性组合器引入主通道的混合信号 $d(n)$ (即噪声信号 + 2FSK 有用信号), 组成与线性组合器个数相同的多个子自适应去噪滤波器, 其中最后一节的误差信号 $e_m(n)$ 为系统的输出信号.

$$\begin{cases} y_i(n) = \sum_{i=0}^M w_i(n)b_i(n) \\ e_1(n) = d(n) - y_0(n) \\ e_i(n) = e_{i-1}(n) - y_i(n), i = 1, 2, \dots, M \\ w(n+1) = w(n) + 2\mu e_i(n)b_i(n) \end{cases} \quad (3)$$

从理论上讲, GALJP 通过格型滤波器的正交化处理, 使引入 LMS 滤波器的期望信号相互没有干扰; 线性组合器的每一节的权向量只有 1 个, 输出的失调量很小, 因此跟踪输入信号的能力强. 在非平稳环境中, 时变的步长因子 $\beta(n)$ 可以通过计算机仿真观测每节反射系数的收敛性和稳定性进行简化处理^[6].

3 GALJP 滤波器流水线设计

自适应滤波器的权值更新和误差计算回路存在着严重的计算瓶颈, 不能直接用于构造采用脉动阵一类并行处理技术的高速自适应滤波器结构. 驰豫超前变换技术针对存在计算瓶颈的权值更新和误差计算回路, 对自适应滤波器的失调误差和自适应时间常数进行延时近似、和近似和乘近似. 由于失调误

差表征的是采用自适应滤波器所得到的结果和最优结果之间的误差;自适应时间常数表征的是收敛的速度,时间常数越小,收敛得越快,因此尽管在最初的收敛阶段这种近似针对算法的改变看似不合理,但在滤波器收敛的最后阶段和达到稳定后通常来说是合理的^[7],其对关键路径计算的缩短和硬件设计中对流水线深度的设置使该技术仍然归结为流水线技术。

在最佳线性预测下, GAL 滤波器前向和后向的预测误差均与用于预测的输入向量正交,而且后向预测误差序列相互正交. 这种互相正交的后向预测信号使 GAL 滤波器具有模块化的结构,增加或减少一节不会影响全局的优化,全部系统的优化等于各节电路的优化. 利用这一特性,在进行流水线设计时可以各个格型节分别进行延时近似,由于 GALJP 结构中 GAL 实际上只完成对输入信号的预处理和格型节的正交化处理两种功能,实际应用中,还必须对线性组合器的 LMS 算法进行流水线优化。

3.1 流水线格型节优化

在反射系数更新的输入端引入 M_1 个延时,在反射系数更新环路内引入 M_2 个延时,如图 2 所示,其中虚线 M_1 框为新加入的延时模块, M_2 原来的延迟深度为 1。

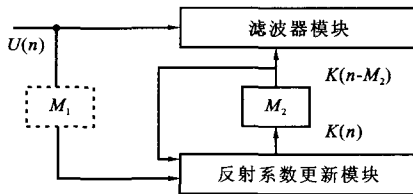


图2 流水线格型滤波器的系统框图

令 $U(n) = f_{m-1}(n)b_m(n) + f_m(n)b_{m-1}(n)$, 假设梯度估计在 M_1 个采样中不变,应用延时近似,式(2)可以写为

$$K_m(n) = K_m(n - M_2) - \beta(n) \sum_{i=0}^{M_2-1} U(n - M_1 - i) \quad (4)$$

对于缓慢变化的 $U(n)$,当 $\beta(n)$ 足够小时,可以进一步近似为

$$K_m(n+1) = K_m(n - M_2) - \beta(n)(M_2 + 1)[f_{m-1}(n)b_m(n) + f_m(n)b_{m-1}(n)] \quad (5)$$

3.2 流水线 LMS 滤波器优化

在 LMS 滤波器中有两个递归环路:权系数更新环路和信号输入环路(误差反馈环路);权系数更新环路和信号输入环路(误差反馈环路)。在信号输入环路引入 M_3 个延时,在权重更新环路引入 M_4 个延

时.虚线 M_3 框为加入的延时模块, M_4 原来的值为 1,如图 3 所示。

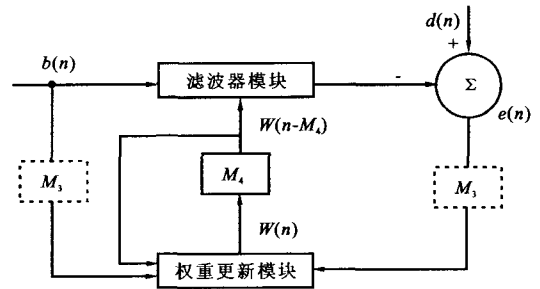


图3 流水线 LMS 的结构框图

假设梯度估计 $e(n)X(n)$ 在 M_3 个采样中不变,应用延时近似,式(3)的权系数更新式可以近似为

$$w(n) = w(n - M_4) + 2\mu \sum_{i=0}^{M_4-1} e(n - M_3 - i)b(n - M_3 - i) \quad (6)$$

对于缓慢变化的 $e(n)X(n)$,当 μ 足够小时,还可以进一步的应用和近似为

$$\begin{aligned} e(n) &= d(n) - w(n-1)b(n) \\ &= d(n) - [w(n-M_4-1) + \mu M_4 e(n-M_3-1)X(n-M_3-1)]b(n) \\ &= d(n) - w(n-M_4-1)b(n) \\ &= d(n) - w(n-M_4)b(n) \end{aligned} \quad (7)$$

上述两种拓扑结构对于 FPGA 硬件实现来讲,并没有新增其他数学运算,所以不需要过多额外硬件负担,只需要讨论近似处理造成的误差增大,避免系统的功能恶化。

4 GALJP 滤波器建模与仿真

为了检验算法设计对 GALJP 滤波器工作性能的影响,需要结合实际应用和通过 FPGA 硬件实现才能进行分析和比较. 自适应滤波器的 FPGA 设计是利用算法选取的最佳自适应参数(阶数、步长系数),实现从算法模型到电路模型的转换并下载到芯片的过程. 按 FPGA 的设计流程,需要通过三个阶段的仿真,即行为级仿真、寄存器传输级(Register Transfer Level, RTL)级仿真和门级仿真。

利用图 1 所示结构进行自适应去噪应用时,信号源为 $d(n)$ 表示有用信号与噪声信号 n_0 的叠加,作为系统主通道的期望信号;把自适应滤波器的输入端看作参考通道,接收与噪声 n_0 相关的信号 $x(n)$. 则当滤波器收敛后,其输出误差将是信号的增强形式。

由于仿真设计过程中非平稳噪声每次会有不同的时域波形图,为便于比较,噪声使用国际通用的

NoiseX-92 噪声数据包的白(White)噪声,有用信号是 2FSK 语音基带信号,载波频率分别为 $f_1 = 1\text{kHz}$, $f_2 = 3\text{kHz}$,所有信号的采样频率 $f_s = 8\,000\text{Hz}$,采样点数 $N = 2\,000$. GALJP 滤波器的节数 M 、GAL 子系统的步长因子 $\beta(n)$ 和线性组合器的迭代步长 μ 的选取是按照随着格型节数增加,预测误差功率之和将接近滤波输出信号,反射系数的绝对值将逐渐减小趋于 0 的原则,通过观测每节反射系数的收敛性和稳定性得到.最后选取迭代步长 $\beta = 0.01$,自适应参数 $\mu = 0.09$,格型节数 $m = 3$,线性组合器的个数为 4.

图 4(a)是 2FSK 信号,图 4(b)是混合了噪声的期望信号,从波形图上看已无法分辨有用信号.图 4(c)是 GALJP 滤波器处理后的输出信号,与图 4(a)相对照,经过约 20 次迭代后输出信号就与有用信号相同.

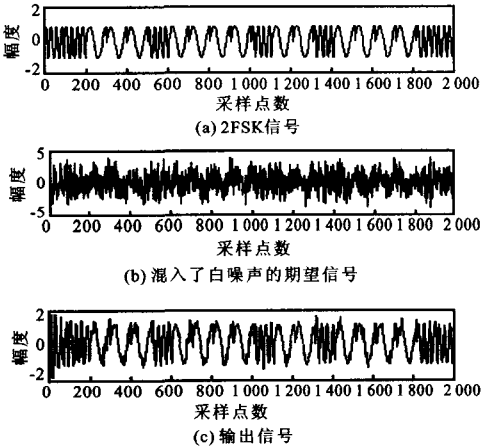


图 4 3 节 GALJP 滤波器行为级仿真

选定 Cyclone II 系列 EP2C5T144C6 芯片,利用适配后仿真所需要的网表文件与和延时文件,在 ModelSim 中进行 RTL 仿真和后续的门级仿真.图 5 (a)是 3 阶 GALJP 滤波器 RTL 级仿真波形图,可以看出,仿真结果与行为级仿真结果基本一致.

RTL 仿真通过以后调用 QuartusII 进行综合、编译与适配,要将项目的最终设计结果生成选定器件的下载文件还必须进行时序仿真.从图 5(b)可以看出,门级仿真的结果与 RTL 级仿真的结果基本一致,因为门级仿真既仿真了逻辑关系又考虑了器件的延时等特性,输出信号较输入信号有一定的延时,产生了比较明显的毛刺.这是组合逻辑电路中竞争冒险而产生的现象,它可以在输出端接上电容滤除掉.

按流水线设计方案,共有 M_1 、 M_2 、 M_3 和 M_4 四个延迟参数,它们之间的内在关系决定了设计的

复杂性.为便于分析本文不对线性组合器的两个参数 M_3 和 M_4 具体讨论,表 1 中, M_1 、 M_2 为图 2 格型滤波器的两个延迟参数,无延迟是指不添加 M_1 延迟, M_2 的延迟为 1 的情况.为了作对比实验,本文的流水线优化是在不改变自适应参数(阶数和步长)进行的,采用延迟近似后,时钟频率比没有延迟的时钟频率有所提高,消耗的资源也相应的增加.但仅仅采用了延时近似和和近似方法,只消耗了 FP-GA 的基本逻辑单元(LE),并没有额外消耗乘法器和寄存器等 FPGA 重要资源.

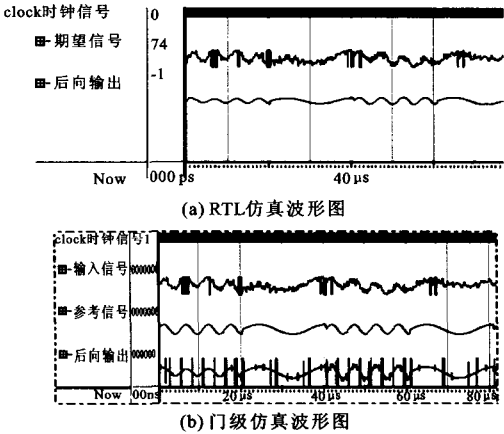


图 5 GALJP 滤波器 ModelSim 下的仿真波形图

表 1 3 节 GALJP 滤波器的性能指标

GALJP 滤波器	时钟频率/MHz	消耗资源
无延迟	47.40	138 LE, 12 个乘法器, 63 个寄存器
$M_1 = M_2 = 2$	55.60	179 LE, 12 个乘法器, 63 个寄存器
$M_1 = M_2 = 3$	61.32	220 LE, 12 个乘法器, 63 个寄存器

5 结束语

在变化缓慢的情况下,对反射系数和反馈误差的更新值进行延时处理,实质上是对更新值进行了超前计算.流水线优化设计表明,可以通过增加流水线深度提高时钟频率.当然,对较大流水线延迟的限制条件是需要调整步长系数来保证稳定性.在实际中,如果对步长参数作适当调整,优化速度可以得到更大提高.

参考文献:

[1] Paulo S R Diniz. 自适应滤波算法与实现[M]. 2 版. 刘郁林, 景晓军, 谭刚兵, 等, 译. 北京: 电子工业出版社, 2004. (下转第 56 页)

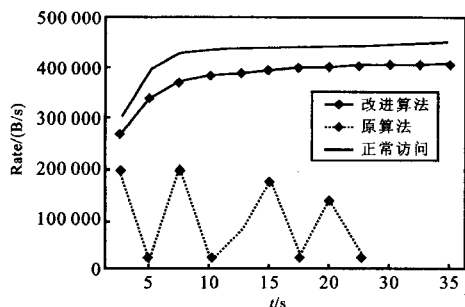


图7 实验结果

5 结束语

DDoS 攻击是当前因特网主要的攻击方式,随着网络环境的日益复杂,传统的防御方法对其检测防御的效率不高.基于因特网自治系统路由器上流量认证技术的 DDoS 检测防御方法,是一种对其攻击进行检测防御的技术,能在网络骨干传输节点上对攻击行为实施有效的控制.本文在其基础上对原算法的一些不足进行了改进和完善,引入了两级认证体制,满足数据传输效率和安全性的要求,并同时扩展了检测防御的攻击范围,解决了原算法不能防御半开式连接攻击的问题,实验表明该方法对 DDoS 的检测防御具有一定的实用性和可用性.

参考文献:

- [1] 张明猛,赵天福. DDOS 攻击检测技术研究[J]. 计算机与信息技术,2007(4):58-61.
- [2] 孙知信,姜举良,焦琳. DDoS 攻击检测和防御模型[J].

软件学报,2007,18(9):2245-2258.

- [3] Kim Y, Lau W C, Chuah M C, et al. Packet score: statistics-based overload control against distributed denial-of-service attacks[J]. IEEE Transactions Dependable and Secure Computing, 2006, 3(2):141-155.
- [4] Jian Kang, Yuan Zhang, Jiu Bin Ju. Classifying DDoS attacks by hierarchical clustering based on similarity[C]// Proceeding of Fifth International Conference on Machine Learning and Cybernetics. Dalian, 2006.
- [5] Yaar A, Perrig A, Song D. StackPi: new packet marking and filtering mechanisms for DDoS and IP spoofing Defense [J]. IEEE Journal on Selected Areas in Communications, 2006, 24(10):1853-1863.
- [6] Khan, Traora. Queue-based analysis of DoS attacks[C]// Proc of IEEE Information Assurance workshop. Japan, 2005:266-273.
- [7] Sun H, Zhaung Y, Chao H J. A principal components analysis-based robust DDoS defense system[C]// IEEE International Conference Communications. Scotland, 2008: 1663-1669.

作者简介:

胡滨 男, (1977-), 硕士, 讲师, 布依族. 研究方向为计算机网络安全.

代昆玉 女, (1979-), 硕士, 讲师, 土家族. 研究方向为数据挖掘、网络安全.

涂孝颖 男, (1977-), 硕士, 讲师, 土家族. 研究方向为计算机网络安全.

(上接第 52 页)

- [2] 尚勇, 吴顺君, 项海格. 并行延时 LMS 算法[J]. 中国科学: E 辑, 2002, 32(4):523-529.
- [3] 李博, 李哲英, 刘媛媛. 流水线 ADC 功耗优化算法及其硬件实现[J]. 微电子学与计算机, 2008, 25(4):131-135.
- [4] 周珍, 郭立. 固定延迟的流水线双精度浮点除法电路[J]. 微电子学与计算机, 2008, 25(5):84-87.
- [5] Dai I Kim, De P, Wilde. Performance analysis of signed self-orthogonalizing adaptive lattice filter [J]. IEEE Transactions on circuits and systems: analog and digital signal processing, 2000, 47(9):1227-1237.

- [6] Haibing Qi. Analysis and application of gradient adaptive lattice filtering algorithm[C]//International conference on computer and electrical engineering 2008. Phuket, IEEE CS, 2008: 744-747.

- [7] Keshab K Parhi. VLSI digital signal processing systems: design and implementation[M]. New York: John Wiley and Sons, 1999

作者简介:

齐海兵 男, (1969-), 博士研究生, 高级工程师. 研究方向为光、电信号与信息处理、光电器件等.