

支持短向量的 32 位快速加法器设计

刘学政, 张盛兵, 黄小平

(西北工业大学 航空微电子中心, 陕西 西安 710065)

摘 要: 研究和设计了一种面向多媒体应用的 32 位短向量快速加法器, 该加法器以 SK 型并行前缀加法器为基础, 通过有效控制进位链, 实现了同时执行 4 个基于字节的加法, 或者 2 个基于半字的加法, 或者 1 个基于字的加法, 或者 1 个基于单精度浮点数的比较运算. 综合结果表明, 此设计方法同传统的设计方法相比, 电路面积接近, 时序提高了 10%, 总体性能较优.

关键词: 短向量; 加法器; 并行前缀; 进位链; 时序

中图分类号: TP303

文献标识码: A

文章编号: 1000-7180(2010)09-0040-05

Design of a 32-bit Fast Adder for Short Vectors

LIU Xue-zheng, ZHANG Sheng-bing, HUANG Xiao-ping

(Aviation Microelectronics Center, Northwestern Polytechnical University, Xi'an 710065, China)

Abstract: This paper studies and designs a novel 32-bit short vectors fast adder for multimedia application. The adder, which is based on Sklansky Parallel-Prefix adder, by controlling the carry chain, realizes both of four and two paralleled addition operations, with 8-bit and 16-bit addends respectively. It also supports one addition operation with 32-bit addends, as well as the comparison operation between single-precision floating-point data. Synthesis shows that, compared with traditional design, the overall performance of our novel adder is better, with a circuit area approach and a timing improved by 10 percent.

Key words: short vector; adder; Parallel-Prefix; carry chain; timing

1 引言

视频处理与传输、音频处理与传输、交互式学习、建筑设计、美术设计等多媒体技术产品改善了人类的工作和生活, 随着多媒体技术应用的日益广泛, 低成本的解决方案变得十分迫切. 所以在通用处理器内增加相应的支持单元成为一种新的趋势. 各大处理器厂商都先后对自己的处理器进行了多媒体扩展. 例如: Intel 的 MMX、SSE、SSE2 技术, AMD 的 3DNow! 技术, Motorola 公司的 AltiVec 技术等^[1].

为了满足航空领域嵌入式处理器对支持多媒体处理能力的需求, 本文在已开发出的“龙腾 R2”微处理器基础上研究多媒体技术, 准备在下一代“龙腾”R 系列处理器中集成向量处理单元, 增加对多媒体

的处理能力.

2 短向量加法的数据结构

短向量加法需要满足同时执行 4 个基于字节的加法, 或者 2 个基于半字的加法, 或者 1 个基于字的加法, 或者 1 个基于单精度浮点数的比较运算. 除此之外, 还必须保证能够选择低位进位, 以完成带低位进位的加法. 其功能是为向量定点加/减、向量定点比较、向量定点平均值、向量定点极值、向量浮点比较提供所需的运算结果. 该运算的数据格式如图 1 所示.

按照传统的设计, 较优的设计方法是把操作数进行位扩展^[2], 通过对扩展位的设置, 来实现基于字节的, 基于半字的, 基于字的和基于单精度浮点数

收稿日期: 2009-08-10; 修回日期: 2009-10-10

基金项目: 国家自然科学基金项目(60736012); 国家自然科学基金项目(60773223)

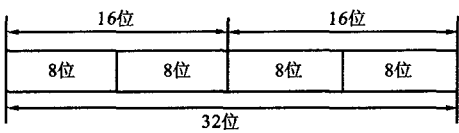


图 1 短向量加法的数据格式

的运算之间的转换.

本文提出了一种新的设计方法,以 32 位 SK 型并行前缀加法器为基础,通过有效控制进位链,来实现基于字节的,基于半字的,基于字的和基于单精度浮点数的运算之间的转换.

3 传统的短向量加法器设计

在短向量加法运算过程中,可能所有的字节相加均产生高位进位,传统的设计方法为了实现字节间进位的控制,每个字节扩展一位.此外,因为存在减法类的操作,所以还需控制低位进位,在末尾又添加一位.其扩展后的数据格式如图 2 所示.

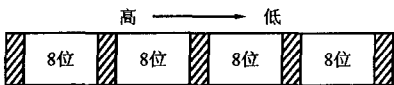


图 2 位扩展后的数据格式

扩展方法如下:

(1) 基于字节的加法类运算

因为没有低位进位,所以两个操作数的所有扩展位全部置 0.如图 3 所示.

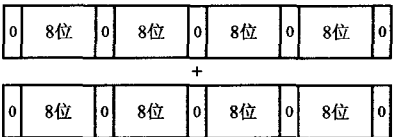


图 3 基于字节加法类运算的操作数扩展

(2) 基于字节的减法类运算

因为有低位进位,所以两个操作数除最高扩展位置 0 外,其他的所有扩展位全部置 1.如图 4 所示.

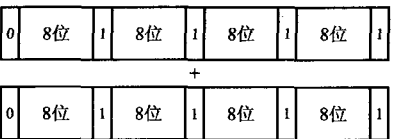


图 4 基于字节减法类运算的操作数扩展

(3) 基于半字的加法类运算

因为半字内部的进位能够传输,且没有低位进位.所以第 1 个操作数的扩展位设置为 00000,第 2 个设置为 01010.如图 5 所示.

(4) 基于半字的减法类运算

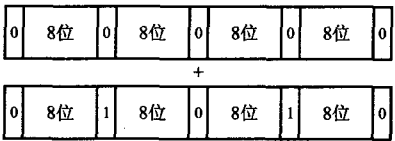


图 5 基于半字加法类运算的操作数扩展

因为半字内部的进位能够传输,且有低位进位.所以第 1 个操作数的扩展位设置为 00101,第 2 个设置为 01111.如图 6 所示.

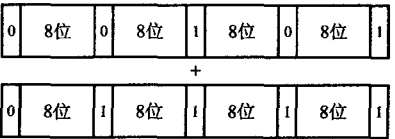


图 6 基于半字减法类运算的操作数扩展

(5) 基于字的加法类运算

因为字内部的进位能够传输,且没有低位进位,所以第 1 个操作数的扩展位设置为 00000,第 2 个设置为 01110.如图 7 所示.

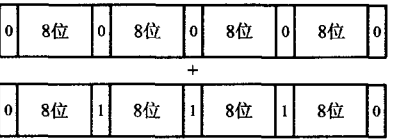


图 7 基于字加法类运算的操作数扩展

(6) 基于字的减法类运算

因为字内部的进位能够传输,且有低位进位,所以第 1 个操作数的扩展位设置为 00001,第 2 个设置为 01111.如图 8 所示.

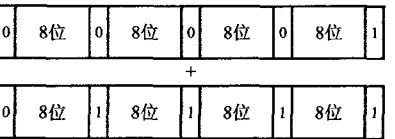


图 8 基于字减法类运算的操作数扩展

(7) 基于单精度浮点数的比较运算

单精度浮点数的高 8 位为指数位,后 23 位为尾数位.因为单精度浮点数只有 31 位,所以在末尾加一位扩展成 32 位数据.又因为指数和尾数内部的进位能够传输,且有低位进位,所以第 1 个操作数的扩展位设置为 010010,第 2 个设置为 011110.如图 9 所示.

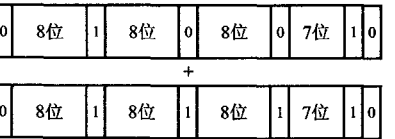


图 9 基于单精度浮点数比较运算的操作数扩展

通过上述设置,32 位的数据扩展成为 37 位的

数据,选取一个 37 位的加法器模型完成加法操作. 加法完成后,还需对运算结果进行提取,从 37 位的运算结果中,提取出 32 位的加法结果和最高位的进位. 则支持短向量的位扩展加法器设计完毕. 该加法器可以同时执行 4 个基于字节的加法,或者 2 个基于半字的加法,或者 1 个基于字的加法,或者 1 个基于单精度浮点数的比较运算.

4 支持短向量的快速加法器设计

4.1 并行前缀加法器介绍

并行前缀加法器是一种快速加法器,可以减少进位传输所消耗的时间,提高计算速度. 而且,它采用了简单的标准单元和规则的内部连接,非常适合于 VLSI 的实现.

对于并行前缀加法运算,有如下定义^[3]:

设操作数 $A = a_0 a_1 \cdots a_i \cdots a_{n-1}$, $B = b_0 b_1 \cdots b_i \cdots b_{n-1}$, 传输(低位)进位为 $C = c_0 c_1 \cdots c_i \cdots c_{n-1}$, 加法运算结果为 $D = d_0 d_1 \cdots d_i \cdots d_{n-1}$. 进位产生函数为

$$G_{n-1}^m = \begin{bmatrix} g_0^0 g_1^0 \cdots g_i^0 \cdots g_{n-1}^0 \\ \cdots \cdots \\ g_0^j g_1^j \cdots g_i^j \cdots g_{n-1}^j \\ \cdots \cdots \\ g_0^{m-1} g_1^{m-1} \cdots g_i^{m-1} \cdots g_{n-1}^{m-1} \end{bmatrix},$$

进位传输函数为

$$P_{n-1}^m = \begin{bmatrix} p_0^0 p_1^0 \cdots p_i^0 \cdots p_{n-1}^0 \\ \cdots \cdots \\ p_0^j p_1^j \cdots p_i^j \cdots p_{n-1}^j \\ \cdots \cdots \\ p_0^{m-1} p_1^{m-1} \cdots p_i^{m-1} \cdots p_{n-1}^{m-1} \end{bmatrix},$$

式中,上标为逻辑深度,下标为位数, $0 < i < n-1$, $0 < j < m-1$. 则有^[4]

$$g^0 = AB; p^0 = A + B;$$

$$c_{n-1} = g_{n-2}^{m-1} + p_{n-2}^{m-1} c_0;$$

$$D = g^0 \oplus p^0 \oplus C;$$

对于前缀操作“ $\cdot$ ”,有如下定义:

$$(g_i^j, p_i^j) = (g_{i-1}^{j-1}, p_{i-1}^{j-1}) \cdot (g_{i-1}^{j-1}, p_{i-1}^{j-1}) = (g_{i-1}^{j-1} + p_{i-1}^{j-1} g_{i-1}^{j-1}, p_{i-1}^{j-1} p_{i-1}^{j-1});$$

根据以上公式可以得知,并行前缀加法的每一位的进位只与初始进位有关,不存在进位传输的现象,从而减少了进位传输所消耗的时间,提高了计算速度.

并行前缀加法器有多种结构,例如: BK 型

(Brent-Kung Parallel-Prefix adder)、KS 型 (Kogge-Stone Parallel-Prefix adder)、HC 型 (Han-Carlson Parallel-Prefix adder) 等等^[5].

其中,SK 型并行前缀加法器 (Sklansky Parallel-Prefix adder) 运算速度较快,运算结构规整,并且其 (g, p) 运算链对于字节来说容易被打断,易于实现基于字节的,基于半字的,基于字的和基于单精度浮点数的运算之间的转换. 16 位的 SK 型并行前缀加法器的 (g, p) 运算网络如图 10 所示.

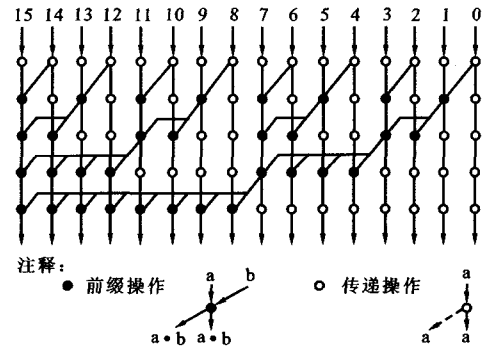


图 10 16 位 SK 型并行前缀加法器的 (g, p) 网络

根据以上特点,以 32 位的 SK 型并行前缀加法器为基础,设计一个支持短向量的快速加法器.

4.2 设计方案

因为所要设计的加法器可以同时实现 4 个基于字节的加法,或者 2 个基于半字的加法,或者 1 个基于字的加法,或者 1 个基于单精度浮点数的比较运算,所以对于一个 32 位的 SK 型并行前缀加法器,应该以字节为基本单位添加二选一选择器,从而决定其 (g, p) 运算是继续传输还是被打断. 二选一选择器的插入位置以及设置如图 11 所示.

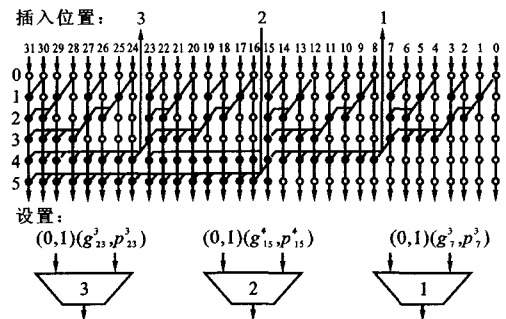


图 11 二选一选择器的插入位置及设置

(g, p) 运算链打断的设置方法如下:

(1) 基于字节的运算

3 个二选一选择器均选择值 $(0, 1)$, (g, p) 运算链被打断. 打断后 (g, p) 的网络如图 12 所示.

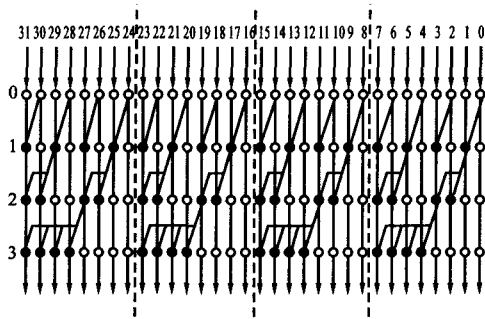


图 12 基于字节运算的 (g, p) 网络

(g, p) 运算链被打断后, 32 位加法的 (g, p) 网络分成 4 个并行 8 位加法的 (g, p) 网络, 每个网络的 (g, p) 值独立运算. 根据并行前缀加法公式可知, $c_8 = 0 + c_0 = c_0$, 同理, c_{16} 、 c_{24} 的值均为 c_0 . 每个网络的进位重新计算. 从而实现了 4 个 8 位加法的并行运算.

(2) 基于半字的运算

1 号二选一选择器选择值 (g_7^3, p_7^3) , 3 号二选一选择器选择值 (g_{23}^3, p_{23}^3) , 2 号二选一选择器选择值 $(0, 1)$, (g, p) 链被打断. 打断后的 (g, p) 网络如图 13 所示.

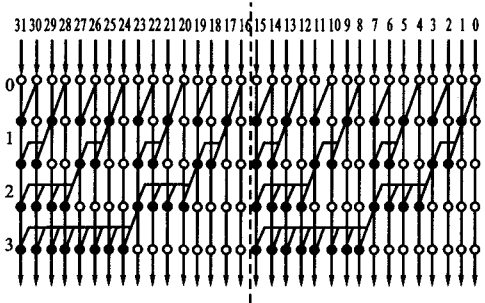


图 13 基于半字运算的 (g, p) 网络

(g, p) 运算链被打断后, 32 位加法的 (g, p) 网络分成 2 个并行 16 位加法的 (g, p) 网络, 每个网络中的 (g, p) 值单独计算. c_{16} 的值被重新计算为 c_0 , 每个网络的进位重新计算. 实现了 2 个 16 位加法的并行运算.

(3) 基于字的运算

1 号二选一选择器选择值 (g_7^3, p_7^3) , 2 号二选一选择器选择值 (g_{15}^4, p_{15}^4) , 3 号二选一选择器选择值 (g_{23}^3, p_{23}^3) , (g, p) 运算链不被打断, 实现了 1 个 32 位加法的运算.

(4) 基于单精度浮点数的比较运算

为保持低位进位, 首先在单精度浮点操作数的末尾加一位 1, 使其扩展成 32 位的数据. 又因为单精度浮点数的高 8 位为指数位, 后 23 位为尾数位, 所

以 1 号二选一选择器选择值 (g_7^3, p_7^3) , 2 号二选一选择器选择值 (g_{15}^4, p_{15}^4) , 3 号二选一选择器选择值 $(0, 1)$, (g, p) 链被打断. 打断后的 (g, p) 网络如图 14 所示.

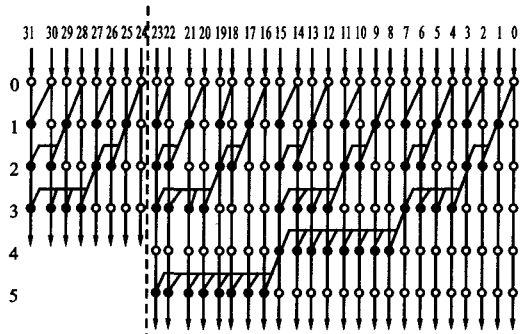


图 14 基于浮点运算的 (g, p) 网络

(g, p) 运算链被打断后, 32 位加法的 (g, p) 网络分成 1 个 8 位加法的 (g, p) 网络和 1 个 24 位加法的 (g, p) 网络, 每个网络的 (g, p) 值单独运算. c_{24} 的值被重新计算为 c_0 , 每个网络的进位重新计算. 实现了一个 8 位加法和一个 24 位加法的并行运算.

除了 (g, p) 运算链打断的设置外, 对初始进位 c_0 也要进行简单的设置, 设置方法如下:

当进行基于加法类的运算时, 因为没有低位进位, c_0 值设为 0;

当进行基于减法类的运算时, 因为有低位进位, c_0 值设为 1.

通过控制进位的传输, 以 SK 型并行前缀加法器为基础, 完成了一个 32 位的短向量快速加法器设计. 根据不同的配置, 该加法器可执行 4 个基于字节的加法, 或者 2 个基于半字的加法, 或者 1 个基于字的加法, 或者 1 个基于单精度浮点数的比较运算.

5 加法器的性能比较

传统的位扩展加法器设计方案也选取 SK 型并行前缀加法器模型作为基本的加法单元. 两种设计方法均使用 Verilog 语言进行可综合性的逻辑编码, 然后在 SIMC 0.18 μm 的工艺下, 采用 Synopsys 公司的综合工具 Design Compile 进行逻辑综合. 其时序和面积的对比如表 1 所示.

表 1 性能比较

方案	电路面积	时序
传统的位扩展设计	19 073.576 172	2.16ns
新设计	19 738.871 094	1.94ns

根据表 1 可以得知, 新的加法器设计与传统的

位扩展加法器设计相比,电路面积接近,时序提高了 10%,总体性能较优.

分析新设计方法的电路面积,虽然采用的是 32 位的 SK 型加法器,比传统设计中 37 位的 SK 型加法器少了一级深度,但是由于对进位链的控制复杂,部分运算达不到满深度(例如,基于字节的运算只达到了深度 3,而满深度为 5),电路面积上出现冗余,所以电路面积上与传统设计接近,不存在优势.

分析新设计方法的关键路径,虽然增加了 3 个二选一选择器,但因为是在并行执行的,所以只增加了一级时延.同时,又因为加法结果和最高位进位不用提取,所以时序上较优.

6 结束语

通过与传统设计比较,可知该快速加法器的设计在维持电路面积基本不变的情况下,时序提高了 10%.如果设计对加法器的时序有严格的要求,则可以采用这种设计方法.

参考文献:

- [1] 庄伟.基于 AltiVec 技术的向量处理单元 VALU 设计与实现[D].西安:西北工业大学,2006:1-3.
- [2] 黄小平.支持 AltiVec 技术的可分裂式加法器研究与设计[J].计算机工程与应用,2009,45(12):63-65.
- [3] 靳战鹏.并行前缀加法器的研究与实现[J].微电子学与计算机,2005,22(12):92-95.
- [4] 胡铮浩.超前进位原理研究和逻辑设计改进[J].科技通报,1992,8(1):16-19.
- [5] Reto Zimmermann. Binary adder architectures for cell-based VLSI and their synthesis[D]. Flensburg: University of Rostock, 1997.

作者简介:

刘学政 男,(1983-),硕士研究生.研究方向为计算机系统结构、专用集成电路设计.

张盛兵 男,(1968-),教授,博士生导师.研究方向为 VLSI 系统设计、计算机系统结构、电子设计自动化.

黄小平 男,(1979-),博士研究生.研究方向为计算机系统结构、专用集成电路设计.

(上接第 39 页)

- [7] Daubechies I, Sweldens W. Factoring wavelet transforms into lifting steps[J]. Journal of Fourier Analysis, 1998, 4 (3): 245-267.
- [8] Calderbank R, Daubechies I, Sweldens W, et al. Wavelet transforms that map integers to integers[J]. Journal of Applied and Computational Harmonic Analysis, 1998(5):332

- 369.

作者简介:

吴晓云 男,(1972-),博士,讲师.研究方向为多媒体信息安全、信息隐藏、数字水印.

胡建军 男,(1970-),博士,副教授.研究方向为商务智能、智能信息处理、数据库与知识工程.