

考虑多字长环境的高层次测试综合方法

王冠军¹, 李光顺², 赵 莹³

(1 中国矿业大学 计算机学院信息科学系, 江苏 徐州 221116; 2 曲阜师范大学 计算机学院, 山东 日照 276826;
3 哈尔滨工程大学 计算机科学与技术学院, 黑龙江 哈尔滨 150001)

摘 要: 提出了考虑多字长环境下的集成测试综合算法. 在前期可测性分析工作的基础上, 消去循环和冗余, 并且考虑后期时序深度和自循环消除等工作的需要, 进行多字长环境下的综合优化. 最后给出了集成的测试综合的框架, 讨论了综合结果到库单元映射过程中考虑字长的树高度缩减技术. 实验结果说明了本方法的有效性.

关键词: 高层次测试综合; 多字长; 可测性; 树高度缩减; Gröbner 基

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2010)09-0045-04

The High Level Test Synthesis Approach Considering Multiple Word Length Environment

WANG Guan-jun¹, LI Guang-Shun², ZHAO Ying³

(1 College of Computer Science and Technology, China University of Mining and Technology, Xuzhou 221116, China;
2 College of Computer Science and Technology, Qufu Normal University, Rizhao 276826, China;
3 College of Computer Science and Technology, Harbin Engineering University, Harbin 150001, China)

Abstract: Propose the integrated high level test synthesis algorithm which considering multiple word length. Based on the work of testability analysis, to eliminate the loops and redundancy, in the mean time consider the need of sequential depth and self loop elimination, to synthesis and optimize under multiple word length environment. The test synthesis framework is presented at last, the tree height reduction technique considering word length is also discussed. The experiment shows the efficiency of our method.

Key words: high level test synthesis; multiple word length; testability; tree height reduction; Gröbner bases

1 引言

高层次测试领域文献[1]提出了测试系统应包含内容:(1)与高层次设计环境集成在一起,达到综合、模拟、测试综合考虑,提高设计的整体效果;(2)能支持按设计规范要求或自动地完成完全扫描、部分扫描,以及边界扫描的设计插入;(3)应具有可测试性规则的检查、分析和反馈的功能,并能与 ATPG 结合,保证足够高的故障覆盖率,且与测试设备具有

好的接口协议;(4)在界面上,对原理图应能亮化显示扫描通路、违规则等,以便于检查和修改;(5)具有优化设计的性能、面积、可测性的设计,使代价最小的功能.文献[2]对高层测试综合做了有益的探索,它通过有权图着色算法在寄存器分配阶段考虑可测性,减少 ATPG 时间,增强了可控性和可观察性,消除了自循环.在最近几年里出现了许多基于字长优化的设计和综合方法^[3-6].以前的研究均没有考虑将字长优化集成到测试综合方法中,本文对此

收稿日期: 2009-06-16; 修回日期: 2009-08-16

基金项目: 国家自然科学基金(60273081); 山东省高等学校科技计划项目(J09LG34); 中国矿业大学青年科研基金(2009A051)

做出了有益尝试,这种方法和传统方法相比在可测性提高的同时也大大减少了延迟和面积消耗.最后本文还对考虑字长的树高度缩减技术进行了探讨.

2 多字长系统综合流程

初期多字长设计方法的引入是为了解决 DSP 中的计算精确性问题,多字长的设计方法继承了传统方法在速度,面积和功耗优化方面的优点,而且它的设计自由度得到了显著增强.一个多字长方法的示例如图 1 所示,其中 S 表示信号位, n_s 表示字长, p_s 代表扩展性.

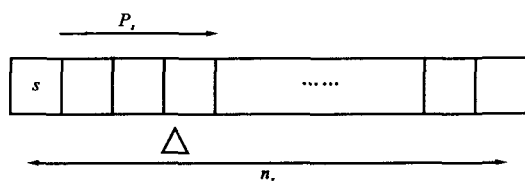


图 1 多字长范例

一个考虑多字长环境的综合流程如图 2 所示,从图中可以看到,高层次测试综合接受系统功能级描述,然后考虑可测性分析和进行多字长的优化,高层次测试综合的三个任务为:调度、分配和绑定.在字长优化之前也需要有两个任务,即首先做系统适应性分析来得到大体的字长范围,然后进行受字长影响的参数如面积、延迟等定界分析,在字长优化中用的符号代数模型和工具.这样就形成了一个完整的考虑可测性和多字长环境下的高层次测试综合算法框架.

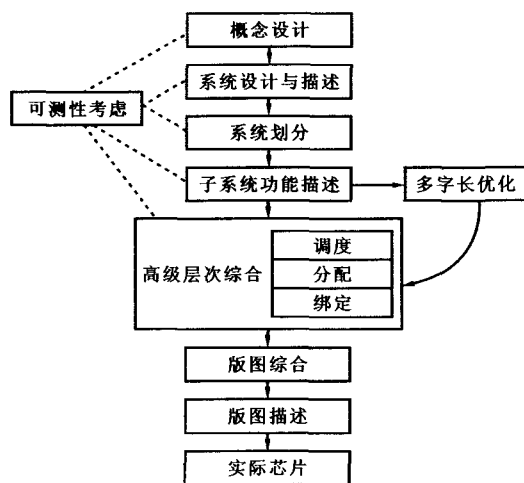


图 2 考虑多字长优化的高层次测试综合流程

3 可测性参数

除可测性分析用到的参数以外,在考虑可测性

的调度/分配方法中还需要用到以下的可测性参数.

时序深度:当调度与资源分配结束以后,就可以得到一个数据路径电路图.在图中结点表示寄存器,而边表示两寄存器之间的组合路径.在数据路径电路图中的一条时序路径表示了电路实现中的两个寄存器之间的连接.弧的数目表示了两寄存器间时序深度,时序路径深度对自动测试向量生成(ATPG)有重要影响.

时序循环:如果路径中源结点和目的结点是相同的,则称一个时序路径是非自循环的(其中路径长度须大于 1 并且路径中没有输入输出寄存器,如果路径长度等于 1 则称为自循环),时序深度同样对 ATPG 有重要影响.

因此在调度/分配算法中需要做的工作主要有可控性和可观察性的增强,同时要考虑调度/分配结果对后续工作如时序深度和循环缩减、自循环的消除等的影响.

4 考虑多字长环境的集成测试综合算法

4.1 考虑多字长环境的集成高层次测试综合算法

高级综合的调度和分配工作是 NP 问题,调度可以先于分配进行,也可在分配后进行,为了进行有效的高层综合和建模,考虑字长信息非常重要.一个字长为 m 的位向量表示的整数值范围为 0 到 $2^m - 1$.本文在前面工作的基础上,提出一种考虑多字长环境的可测性集成测试综合算法,它接受一个非调度的可测电路多项式描述(带初始的字长信息),产生一个易测的网表表示,在综合过程中同时考虑了电路的可测性,应用高层次测试综合算法来进行调度和分配,算法基于模拟退火的迭代优化策略,先初始一个调度/分配方案,然后依据基于 HLTA-PSA 的可测性分析方法,找出需要改进的结构,进行优化,消除掉电路中的循环和冗余,其间还要进行增强可观察性和可控性的重调度,直到不能继续改进为止.然后依据调度结果进行分配和绑定工作,其间进行字长选择,基本的算法流程如下:

步骤 1:非调度的可测电路多项式描述,初始的字长(Word-length)信息;

步骤 2:进行初始的简单调度和可测性分析;

步骤 3:对于电路的多项式描述重复进行电路可测性改进;

步骤 4:对于(冗余和循环)执行冗余和循环消去算法;

步骤 5:进行变量的生命期分析;

步骤6:基于电路的可控性和可观察性增强进行数据路径综合的重调度,直到没有新的改进获得;

步骤7:根据调度结果,计算所有操作的延迟上界 $L_{up-bound}$, 然后进行初步分配;

步骤8:按分配结果,进行绑定和字长选择,如果违反延迟约束,进行重新提取字长信息操作,否则记录新解,转下一步骤;

步骤9:判断上一步的绑定结果是否满足资源和面积约束,如不能满足则进行调整后转步骤8,如满足约束,则得到优化解,算法结束。

字长的重提取工作主要是寻找能减少整体延迟的节点集,全部替换为新延迟字长的组件,看是否满足延迟约束,如不满足,按延迟大小排序,进行逐步递减替换操作,达到约束即告结束。

绑定过程本文巧妙的应用图划分的方法进行解决. 因此问题可定义为:将多字长调度结果字长兼容图^[7]映射为无向权图 $G(V, E)$, $V = O \cup R$ 其中 O 代表操作单元, R 代表资源字长类型. $E = C \cup H$ 其中 $H = \{o, r\}$ 代表操作 o 可在资源 r 上执行, $C = \{o_1, o_2\}$ 代表操作 o_1 在操作 o_2 前执行. 这也决定了绑定过程是个递归的过程, 这个问题就是著名的图 K 路平衡划分问题. 由此本文就把测试综合中的绑定问题转化成 K 路平衡图划分问题. 它已经被证明为 NP 完全问题, 人们研究了多种启发式算法解决该问题. 实现中, 选用了利用了 Gröbner 基图划分方法, 并且在 Maple10 中实现了子图的划分, 主要使用图网络和 Gröbner 基的 Gröbner 软件包, 取得了较好的效果。

算法的优点在于它集成了调度和分配过程, 基于多项式的可测描述, 精确的字长选择使综合结果具有较小的延迟和面积, 都是比传统的调度和分配算法有优势的地方. 可测性分析和冗余消除也都有较成熟的算法, 因此就不详细阐述。

4.2 考虑字长的树高度缩减

高层次测试综合完成以后就要将数据流的表示映射为库单元的组成, 其中较重要的工作为树高度缩减. 树高度缩减(tree-height reduction)技术是一种缩减算术表达式树高度的传统技术, 树的高度是计算表达式需要的步数. 在最好情况下, 有 n 个操作的表达式可以达到 $O(\log n)$ 的树高. 树高度缩减技术使用加法、减法、乘法的交换性, 结合性和分配性. 在传统情况下, 使用树高度缩减是以增加更多资源匹配表达式的最大并行度为代价. 在以前的硬件综合工作中, THR 在高级综合中是广泛使用的技术,

它可以最小化关键路径的延迟和面积. 下面给出了一个树高度缩减的例子: 图 3(b) 是对图 3(a) 使用 THR 缩减后的结果。

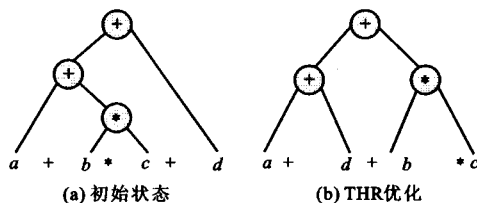


图3 初始状态与 THR 优化

THR 技术经常使用连接性、分配性和交换性来转换表达式, 可以利用多项式的操作(分解、最大公因式提取等)来简化树表达式, 例如 $a * b + a * c + d$ 可简化为 $a * (b + c) + d$, $a + b + b + c$ 可简化为 $a + 2b + c$. 在此基础上继续探讨多字长操作数情况下的 THR 技术. 由于资源约束已不是主要困难, 因此本文的优化目标集中于执行时间和时延上, 主要是采用字长匹配方法和常量表达式预计算来达到减少计算执行时间和缩短关键路径延迟的目的. 给出一个示例如图 4 所示。

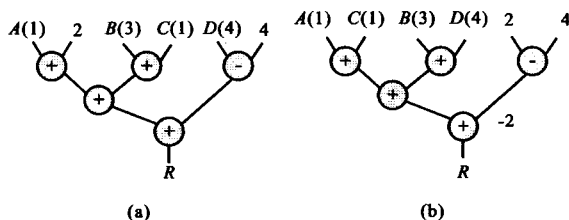


图4 多字长操作数的 THR 优化

$$R(4) = A(1) + 2 + B(3) + C(1) - 4 + D(4)$$

图 4(a) 给出的是未进行任何优化的表达式树, 在优化中, 选择操作数递增匹配方法, 减少表达式树中的字长反复变化. 由于一般综合工具并不将常量及常量表达式单独处理, 造成不必要的耗费, 因此将常量及常量表达式进行分组预计算处理, 为了保证能得到优化结果, 给出两条准则如下:

准则 1 如果只有一个常量操作, 将它做最后处理。

准则 2 对于多个常量及其运算, 将它们单独分组处理。

最后得到的优化结果如图 4(b) 所示, 这样就降低了计算表达式所用的时间, 同时也降低了关键路径的时延. 未来可以做的扩展是考虑输入的到达时间及关键路径时延的缩减。

5 实验分析

为了验证集成的可测性集成综合算法, 利用 C

++ 语言在 P4 主机(1.0GB RAM, 3.0GHz CPU, Windows XP)上进行了验证. 程序分别使用高级综合中的 FDS 算法和 LEA 算法执行调度和分配工作. 采用集成的调度/分配算法在不增加硬件资源的前提下提高可测性. 为此选取了一些典型的实验电路, 其中包含数字信号处理中的电路 Polynom1、Polynom2、Tseng, 其他的如 DiffEq 用于求解微分方程, Elliptic 为椭圆滤波器, Wave 为小波变换的例子. 故障模拟使用 AT&T 的 GENTEST 故障模拟器, 最后得到的结果如表 1 所示, 字长优化的结果如图 5 和图 6 所示.

表 1 考虑可测性的集成调度分配实验结果

电路名称	故障覆盖率(可测性 插入前后)/%	综合 时间	硬件资源 消耗/%
Polynom1	96.3 97.1	350	11.45
Polynom2	98.0 98.4	800	6.32
DiffEq	98.2 98.9	300	11.26
Elliptic	97.8 98	350	9.47
Wave	89.3 91.2	400	11.24
Tseng	93.2 94.4	500	7.46

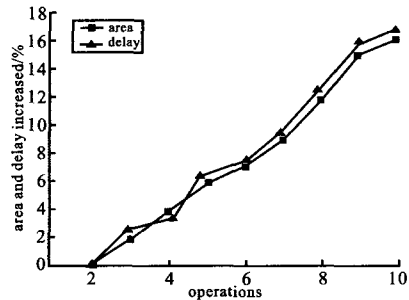


图 5 面积和延迟优化效果(固定字长)

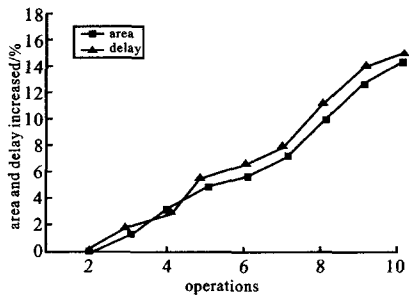


图 6 面积和延迟优化效果(多字长)

从表 1 中可以看出电路故障覆盖率有了显著提高, 综合时间和硬件消耗得到了降低. 从图 5 和图 6 的对比中可以看出面积和延迟随着操作数增加(多字长方法)的增长比传统方法(固定字长方法)增速

明显降低. 由此可看出集成的测试综合方法在提高电路字长优化方面的效果^[7].

6 结束语

本文提出的方法改善了电路的可测性, 故障覆盖率也有了提升, 而且考虑了多字长环境, 能够无缝地嵌入到当前的设计工具中, 在实际的工业电路中也可应用. 本方法结合后综合 DFT 工具使用时将获得比直接使用后综合 DFT 工具更好的结果. 文中还给出了考虑字长的树高度缩减技术, 提高了表达式映射的并行度. 未来的工作将集中于考虑多字长环境下的功耗优化, 此外字长信息自动提取也是值得注意的方向.

参考文献:

[1] Ren J T, Y E C. The high level design technology of digital systems and its development[J]. Systems Engineering and Electronics, 1999, 21(9): 22 - 24.

[2] Safari S, Esnaeizadeh H, Amir - Hossein J. A novel improvement technique for high - level test synthesis[J]// 2003 International Symposium on Circuits and System. USA, 2003: 609 - 612.

[3] Carreras C, Lopez J A, Nieto - Taladriz O. Bit - width selection for data - path implement - tations[J]//Proc. International Symposium on Circuits and System Synthesis. San Jose, CA, 1999: 114 - 119.

[4] Kum K I, Sung W. Combined word - length optimization and high level synthesis of digital signal processing systems [J]. IEEE Trans. Comput. - Aided Design Integr. Circuits, 2001, 20(8): 921 - 930.

[5] Constantinides G A, Luk P Y K, Luk W. Wordlength optimization for linear digital signal processing [J]. IEEE Trans. Comput. - Aided Design Integr. Circuits, 2003 (22): 1432 - 1442.

[6] Caffarena G, Fernandez A, Carreras C, et al. Fixedpoint refinement of OFDM - based adaptive equalizers: a heuristic approach[J]//Proc. Eur. Signal Processing Conf. Vienna, Austria, 2004: 1353 - 1356.

[7] Constantinides G A, Cheung P Y K, Luk W. Heuristic datapath allocation for multiple wordlength systems [J]. Design Automation and Test in Europe, 2001: 791 - 796.

作者简介:

王冠军 男, (1981 -), 博士, 讲师. 研究方向为 SoC 设计与验证、高级综合与测试技术.