

埋部分 P+ 层背栅 SOI 高压器件新结构

阳小明, 李天倩

(西华大学 电气信息学院, 四川 成都 610039)

摘 要: 提出了一种埋部分 P+ 层的背栅 SOI (Buried Partial P+ layer SOI, BPP+SOI) 高压器件新结构. 部分 P+ 层的引入不仅有效地增强了源端埋氧层电场, 而且还降低了源端 PN 结表面电场, 使器件击穿电压随背栅压的增加而大幅增加, 比导通电阻也显著降低. 仿真结果表明, 在漂移区长度为 $150\mu\text{m}$, 背栅压为 650V 时, BPP+SOI 的耐压较常规结构提高了 84.9%; 在漂移区为 $120\mu\text{m}$, 耐压相同的情况下, BPP+SOI 的比导通电阻较常规结构降低了 31%.

关键词: 重掺杂 P 型层; 背栅; 击穿电压; 比导通电阻

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2010)04-0054-04

A Novel Buried Partial P+ Layer SOI High Voltage Device Structure with a Back Gate

YANG Xiao-ming, LI Tian-qian

(School of Electrical and Information Engineering, Xihua University, Chengdu 610039, China)

Abstract: A Novel Buried Partial P+ Layer SOI High Voltage Device Structure with a Back Gate (BPP+SOI) is proposed. At the source side, the vertical electric field of the buried layer is increased and the surface electric field of PN junction is reduced due to the Partial P+ layer on the buried oxide of this structure; therefore, the breakdown voltage of the structure is greatly increased when the back gate bias is increased. Moreover, the specific on-resistance is reduced significantly. The simulation results show that the breakdown voltage of the BPP+SOI increases by 84.9 % at the 650V back gate bias and $150\mu\text{m}$ drift region length while the specific on-resistance decreases by 31 % at the same breakdown voltage and $120\mu\text{m}$ drift region length.

Key words: P+ layer; back gate; breakdown voltage; specific on-resistance

1 引言

SOI-LDMOS 器件具有开关速度快、泄漏电流小和抗辐照等优点, 非常适合于智能功率集成领域的应用^[1-2]. 但常规 SOI 器件受到顶层硅、埋氧层厚度的限制, 击穿电压很难超过 600V, 纵向击穿电压已成为提高耐压的瓶颈. 目前通过提高 SOI 纵向耐压来提高器件击穿电压的结构主要有: 增强埋氧层电场^[3], 让衬底也参与耐压^[4], 以及将两者相结合的结构^[5]. 以上这些器件结构要么工艺上实现较难, 要么以牺牲 SOI 器件某些优点为代价. 而利用背栅效应, 可以突破常规 SOI 器件纵向耐压极限,

大幅提高击穿电压^[6]. 文献[7]中建立的 SINGLE RESURF SOI-LDMOS (S-RESURF) 器件背栅压与耐压关系的解析模型表明, 利用背栅效应, 提高器件的耐压是可行的. 文献[6]中也提出利用背栅效应, 提高 DOUBLE RESURF SOI-LDMOS (D-RESURF) 器件耐压的全新思路. 但是由于当背栅压增加时, S/D-RESURF 栅场板边缘硅层电场迅速增加, 造成器件耐压难以进一步提高, 而且按耐压优化后的漂移区掺杂浓度太低, 造成比导通电阻过大.

为了进一步提高背栅压下 SOI 器件的耐压和降低比导通电阻, 提出了在 D-RESURF 器件的源端埋氧层上界面, 引入两阶重掺杂 P 型层 (P+ 层) 的

耐压新结构(BPP+SOI). P+层使器件源端硅层表面电场有效减弱,埋氧层电场增强,从而提高了器件承受背栅压的能力;另外,P+层末端对漂移区中部电场具有调制作用,使BPP+SOI的体内电场比常规器件更加均匀,提高了横向耐压,降低了比导通电阻.利用二维器件仿真软件MEDICI对BPP+SOI器件的耐压特性进行了分析,结果表明BPP+SOI在大大提高耐压的同时降低了比导通电阻.

2 器件结构和耐压机理

由文献[7]中给出的解析模型可以看出,要利用背栅效应来提高耐压,就应让器件工作在B区,即当器件全耗尽时,耐压曲线以较低斜率,随正背栅压增加而线性增加;而应避免进入C区,即当正背栅压继续增加时,器件纵向难以耗尽,使RESURF效应迅速减弱,器件耐压随背栅压增加而急剧下降.器件的最大击穿电压为背栅压与漏端纵向耐压极限之和.因此,在不提高纵向耐压极限的情况下,要提高器件耐压就只能能够在器件全耗尽下,提高背栅压.如果在D-RESURF器件靠源端埋氧上界面处,引入P+型层,就会使器件在更大背栅压下也处于全耗尽,大大延长了B区曲线,从而进一步提高了器件的耐压.图1为BPP+SOI器件结构, t_s 、 t_{ox} 、 t_p 和 t_{dp} 分别表示顶层硅、埋氧层、P型顶层硅和两阶P+层的厚度, L_d 、 L_p 分别表示漂移区和两阶P+型层的长度, N_d 、 N_p 、 P_1 和 P_2 分别表示漂移区、P型顶层硅和两阶P+层的两区浓度.衬底掺杂浓度为 P_{sub} .为了方便与文献[6]的仿真结果比较,漂移区长度 L_d 取 $150\mu\text{m}$,其余参数根据耐压优化为: $N_d = 1 \times 10^{15} \text{ cm}^{-3}$, $N_p = 6.4 \times 10^{15} \text{ cm}^{-3}$, $P_{sub} = 7 \times 10^{14} \text{ cm}^{-3}$, $p_1 = 6.6 \times 10^{16} \text{ cm}^{-3}$, $p_2 = 4.8 \times 10^{16} \text{ cm}^{-3}$, $t_p = 3\mu\text{m}$, $t_{dp} = 1\mu\text{m}$, $t_{ox} = 4\mu\text{m}$, $t_s = 20\mu\text{m}$, $L_p = 80\mu\text{m}$.

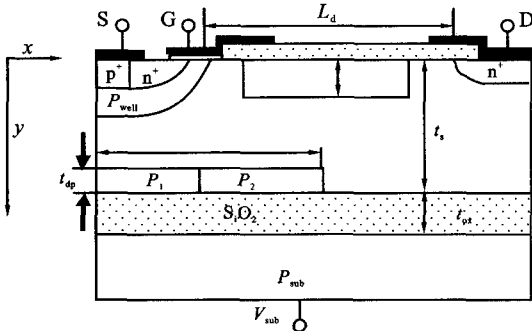


图1 BPP+SOI 剖面图

图2为BPP+SOI与D-RESURF器件在不同背栅压下,达到最大耐压时的二维电势分布图,相邻

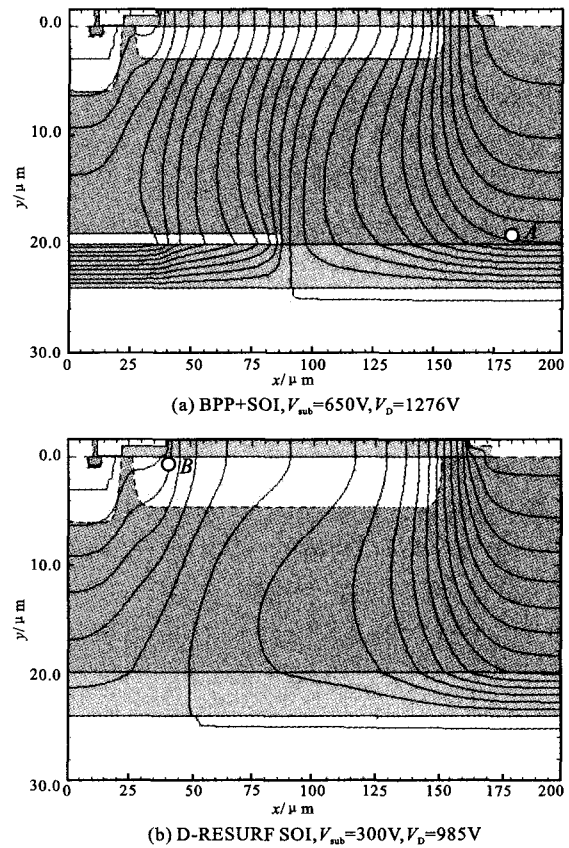


图2 器件击穿时的二维电势分布

两条等势线间的电势差为50V. BPP+SOI的背栅压和击穿电压分别为 $V_{sub} = 650\text{V}$ 和 $V_D = 1276\text{V}$, 击穿点位于漏端埋氧层/硅界面硅侧A处,而D-RESURF器件则为 $V_{sub} = 300\text{V}$ 和 $V_D = 985\text{V}$, 击穿点位于栅场板末端硅表面B处.对比图2(a)、图2(b)可以看出,BPP+SOI与D-RESURF器件一样,受背栅效应影响有部分等势线从漏端分配到源端使体内电场分布更均匀[6].不同之处在于,BPP+SOI的源端 P_{well} 、P型顶层硅、两阶P+层与N型漂移区形成三个PN结,共享漂移区内耗尽层电荷使得源端电场峰值进一步减弱.另外,由图2(a)、图2(b)两图源端埋氧层等势线密度可以看出,BPP+SOI源端埋氧层电场强度明显高于D-RESURF器件.这是因为BPP+SOI的两阶P+型层耗尽后,在源侧埋氧层上表面形成高密度负面电荷,与埋氧层下表面空穴正电荷一起增强了源端埋氧层电场,提高了BPP+SOI器件承受正背栅压的能力.从图2(a)还可以看到,埋氧层上表面的两阶P+型层末端等势线集中,存在一个电场峰值,使体内电场分布更均匀,符合REBULF(降低体内电场)原理有利于耐压的提高.

图 3 给出了背栅压 $V_{\text{sub}} = 650 \text{ V}$ 的 BPP + SOI 和背栅压为 $V_{\text{sub}} = 300 \text{ V}, 0 \text{ V}$ 的 D-RESURF 击穿时的横向表面与源端纵向一维电场分布. 由图 3(a) 可以看出, $V_{\text{sub}} = 300 \text{ V}$ 的 D-RESURF 源端表面电场比 $V_{\text{sub}} = 0 \text{ V}$ 的高, 漂移区电场强度也相应抬高, 因此加正背栅压的 D-RESURF 器件有更高的耐压. 而 BPP + SOI 在源端埋氧层上表面引入两阶 P+ 层有效降低了源端表面电场, 同时还在漂移区引入了一个电场峰值, 使 BPP + SOI 的表面电场分布比前两者更加均匀, 耐压比 $V_{\text{sub}} = 0 \text{ V}$ 时的 D-RESURF 器件提高了 84.9%. 由图 3(b) 给出三者源端纵向一维电场分布可以看出, BPP + SOI 的埋氧层电场强度远远高于另两者的埋氧层电场, 能承受更高的正背栅压. 由前面分析可得, BPP + SOI 由于能承受比 D-RESURF 器件更高的正背栅压, 其耐压必定高于 D-RESURF, 提高的电压值约为所增加的背栅压值.

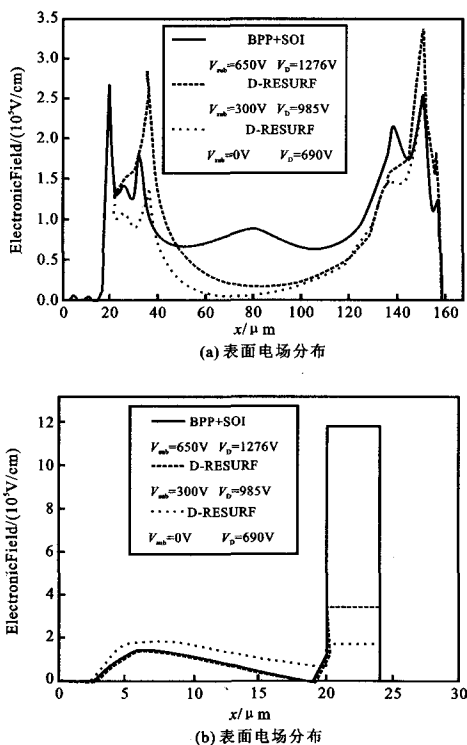


图 3 BPP + SOI、D-RESURF 器件击穿时的电场分布

3 结果与分析

P+ 层均匀掺杂浓度较高, 器件易在 P+ 层末端击穿, 掺杂浓度较低则对源端表面降低电场作用不明显. 而采用多阶掺杂可以很好地解决这一问题, 考虑工艺实现难度 P+ 层取两阶掺杂为宜, 掺杂浓度 $p_1 > p_2$. BPP + SOI 器件耐压与两阶 P+ 层参数的关系由图 4 给出. 从图 4(a) 可以看出, 在三组不同

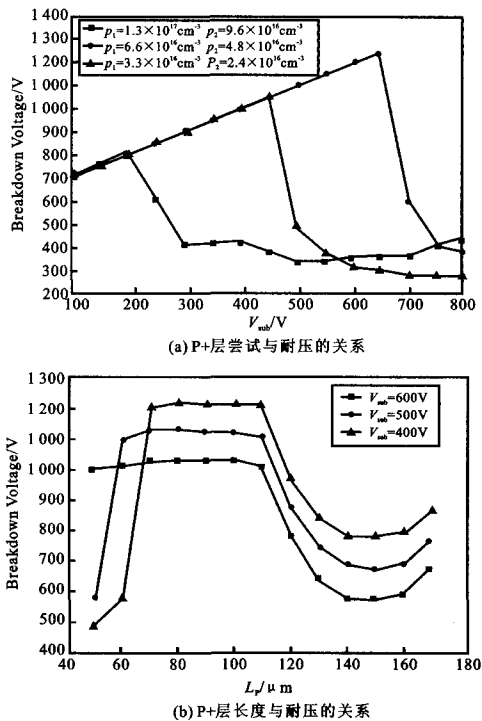


图 4 P+ 层参数与耐压的关系

两阶掺杂浓度下, 器件耐压随背栅压增加先线性增加, 三条曲线几乎重合在一起. 当背栅压大于 200V 时, 两阶掺杂浓度最大的器件耐压迅速下降, 并在 400V 左右饱和, 器件击穿点由漏端埋氧层/硅界面硅侧变为两阶掺杂 P+ 层末端; 当背栅压继续增加到 500V 时, 两阶掺杂浓度为 $p_1 = 3.3 \times 10^{16} \text{ cm}^{-3}$, $p_2 = 2.4 \times 10^{16} \text{ cm}^{-3}$ 的器件耐压由 1 080V 陡降为 494V, 当背栅压继续增加时, 耐压在接近 300V 处饱和, 器件击穿点变为源端 PN 结表面处; 当背栅压增加到 700V 时, 两阶掺杂浓度为 $p_1 = 6.6 \times 10^{16} \text{ cm}^{-3}$, $p_2 = 4.8 \times 10^{16} \text{ cm}^{-3}$ 的器件耐压由 1 276V 陡降为 614V, 击穿点也变为源端表面 PN 结处. 由以上仿真结果可以得出: 两阶掺杂浓度过高, 会引起两阶掺杂 P 型层末端首先被击穿, 不利于耐压的提高; 而掺杂浓度较低时, 随背栅压的增加, 源端 PN 结表面首先被击穿, 也不利于耐压的提高, 因此存在一组最优掺杂浓度值, 可以获得最大击穿电压. 从图 4(a) 可以看出当 $p_1 = 6.6 \times 10^{16} \text{ cm}^{-3}$, $p_2 = 4.8 \times 10^{16} \text{ cm}^{-3}$, 背栅压为 650V 时, 器件击穿电压达到最大值 1 276V. 图 4(b) 给出了 P+ 层长度 L_p 与耐压的关系. 当背栅压为 400V, L_p 从 50μm 开始增加, 器件全耗尽, 击穿点在漏端埋氧层/硅界面硅侧, 纵向耐压几乎达到极限, 耐压变化不大, 形成一个“平台”区; 当 L_p 大于等于 110μm, 器件不完全耗尽, 击穿点出现在两阶掺杂 P+ 层末端, 此时随 L_p 增加,

电力线更易集中于P+层末端,因此耐压大幅下降;当 L_p 等于140~160 μm ,耐压约为580V达到饱和;当 L_p 等于170 μm ,器件全耗尽,耐压有一定提高,但由于埋氧层电场降低,造成纵向耐压降低,耐压值明显低于“平台”区电压值.背栅压为500V、600V的耐压曲线形状与400V相似,不同之处在于 L_p 刚开始增加时,耐压值较低,然后出现一个跃升.这是由于背栅压较高且 L_p 较短,器件不完全耗尽,易在源端PN结表面过早击穿,造成耐压较低;当 L_p 较长时击穿点转移到漏端埋氧层/硅界面硅侧,耐压进入“平台”区.另外,还可以看出,背栅压越大“平台”区耐压值就越高,“平台”区宽度就越窄.图4(b)的仿真成果表明BPP+SOI器件 L_p 设计应在平台区内,这样不仅可以获得最大耐压值,而且有很大的容差,有利于工艺实现.

表1给出了BPP+SOI和D-RESURF在相同漂移区长度和击穿电压下的比导通电阻.为了方便比较,相同击穿电压是指在漂移区长度为120 μm 的情况下,以D-RESURF加300V背栅压能达到最大耐压值为准.从表中可以看出,耐压几乎相同的情况下,加360V背栅压的BPP+SOI比加300V背栅压的D-RESURF比导通电阻低31%,甚至比加0V背栅压的D-RESURF还低.原因在于BPP+SOI源端三个PN结共享漂移区耗尽层电荷,使源端表面电场大幅降低,优化后浓度显著提高.

表1 BPP+SOI和D-RESURF的比导通电阻

Structure	BPP+SOI	D-RESURF	D-RESURF
背栅电压/V	360	300	0
击穿电压/V	961	960	660
漂移区浓度/ cm^{-3}	1.1×10^{15}	5.6×10^{14}	7.2×10^{14}
比导通电阻/ $\Omega \cdot \text{mm}^2$	51.1	74.1	63.2

4 结束语

通过在D-RESURF器件的源侧埋氧层上界面引入两阶P+层,有效地增强了源侧埋氧层电场,降

低了源端表面电场,提高了器件承受正背栅压的能力,同时对漂移区中部体内电场进行了调制,使体内电场更加均匀.仿真结果表明,在漂移区为150 μm ,背栅压为650V时,BPP+SOI耐压达到1276V,较常规结构提高了84.9%;在漂移区为120 μm ,耐压相同的情况下,比导通电阻较加300V背栅压的D-RESURF低31%.可以看出,新结构较常规SOI LDMOS有更高的耐压和更低的比导通电阻,工艺上也易于实现.

参考文献:

- [1] 吴秀龙,陈军宁,柯导明,等.高压LDMOSI-V特性宏模型的建立[J].微电子学与计算机,2007,24(8):11-13.
- [2] 吴秀龙,陈军宁,柯导明.全耗尽SOI LDMOS阈值电压的解析模型[J].微电子学与计算机,2007,24(11):17-20.
- [3] 罗小蓉,李肇基,张波,等.屏蔽槽SOI高压器件新结构和耐压机理[J].半导体学报,2005,26(11):2154-2158.
- [4] Tadikonda R, Hardikar S, Narayanan E M S. Realizing high breakdown voltages (>600V) in partial SOI Technology[J]. Solid-State Electronics, 2004(48):1655-1660.
- [5] Luo X R, Li Z J, Zhang B. New high-voltage (>1200 V) MOSFET with the charge trenches on partial SOI[J]. IEEE Trans Electron Device, 2008,55(7):1756-1761.
- [6] 乔明,张波,李肇基,等.背栅效应对SOI横向高压器件击穿特性的影响[J].物理学报,2007,56(7):3990-3995.
- [7] Schwantes S, Florian T, Dietz F, et al. Analysis of the back-gate effect on the breakdown behaviour of SOI LDMOS transistors[C]//ESSCIRC 2004 - Proceedings of the 34th European Solid-State Device Research Conference. New York: Institute of Electrical and Electronics Engineers Inc, 2004:253-256.

作者简介:

阳小明 男,(1972-),博士研究生.研究方向为SOI功率器件.