

基于 CostarII 的异构多核 DSP 设计与实现

敖天勇^{1,2}, 陈 杰¹, 刘 建¹, 许汉荆¹, 奚 杰¹, 张伟风²

(1 中国科学院 微电子研究所, 北京 100029; 2 河南大学 物理与电子学院, 河南 开封 475001)

摘 要: 基于 CostarII DSP 内核设计并实现了一种高性能的嵌入式异构多核 DSP. 该设计集成了四个 DSP 内核和一个 RISC 处理器内核; 每个内核均拥有自己的私有存储器; 所有内核共享具有多体并行存储结构的数据存储器; 四个 DSP 内核使用可配置的共享程序存储器; 各内核之间拥有邮箱、信号量及中断等多种同步与通信机制. 为了验证该设计, 在该系统上测试了 JPEG 解码算法, 并通过了 FPGA 验证. 测试结果表明, 该设计具有编程模式简洁, 易于提高任务执行的并行度的优点.

关键词: 多核 DSP; CostarII; 共享存储; RISC

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2010)03-0059-04

Design and Implementation of Heterogeneous Multi-Core DSP Based on CostarII

AO Tian-yong^{1,2}, CHEN Jie¹, LIU Jian¹, XU Han-jing¹, XI Jie¹, ZHANG Wei-feng²

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 School of Physics and Electronics, Henan University, Kaifeng 475001, China)

Abstract: In this paper, a high-performance heterogeneous multi-core DSP architecture is proposed and implemented based on CostarII core. The multi-core DSP architecture integrates four DSP cores and a RISC core, each core of which has its own local memory. All the cores can access data shared-memory with parallel multi-bank structure, and the four DSP cores can use program shared-memory. Furthermore, all the cores hold several synchronization and communication mechanisms, such as mailbox, semaphore and interruptions. To verify the multi-core DSP architecture, the JPEG parallel decoding is implemented in the system and verified in FPGA validation platform. The results show that the design is easy to program and efficient for parallel tasks.

Key words: multi-core DSP; CostarII; shared-memory; RISC

1 引言

随着通信与多媒体技术的发展, 嵌入式应用对处理器的性能也提出了更高的要求. 但是单核处理器已经越来越难以满足应用的需求. 相比传统的单核处理器, 多核处理器具有更高的并行处理能力. 同时集成电路制造工艺水平的迅猛提高及计算机微体系结构设计技术的发展与创新, 为多核处理器的发展提供了坚实的基础, 因此处理器的设计已经迈入了多核的时代^[1-3]. 多核数字信号处理器(DSP)是近

年来为了满足高性能嵌入式应用的需求而出现的一类多核微处理器^[4]. 目前, 多核 DSP 已经成为 DSP 设计与研究的重点^[5]. 各 DSP 厂家纷纷推出自己的多核 DSP, 如 TI 的 TMS320VC5441 与 TMS320C80, ADI 的 BF561, freescale 的 MSC8144 与 QorIQ P4080 及 picoChip 的 PC20x 系列多核 DSP 阵列等. 但是目前国内对多核 DSP 的研究还相对较少, 因此研究具有自主知识产权的多核 DSP 有重要的意义.

文中基于 CostarII DSP 内核设计并实现了一种

高性能的嵌入式异构多核 DSP.

2 系统设计

异构结构处理器中各处理器有着不同的结构和处理能力,可以根据应用程序本身的特点,将其不同的任务分配给不同处理器去执行,从而大幅度提高执行效率^[6].文中实现的异构多核 DSP 的总体结构如图 1 所示.它由四个 16 位 DSP 内核及一个 32 位的 RISC 内核构成. DSP 内核为自主研发的“Costar II”DSP 的精简内核.该内核采用改进型哈佛结构,有两套独立的 24 比特地址总线:程序存储器地址总线(PMA)和数据存储器地址总线(DMA);具有六级流水线;指令位宽为 24 比特,数据位宽为 16 比特. RISC 核为自主研发的兼容 MIPS 指令集的 32 位通用处理器.

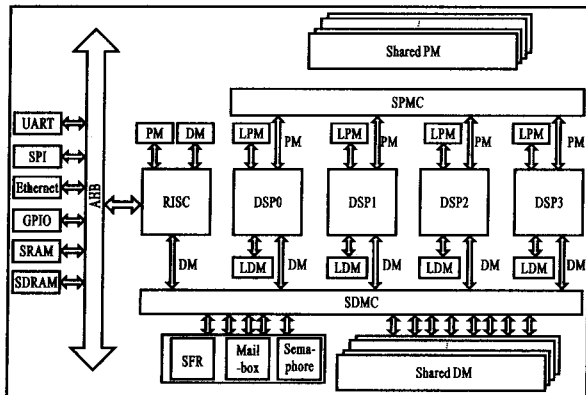


图 1 系统结构图

该系统的片上存储器可以分为私有和共享两大类.每个 DSP 核拥有 24kB 私有程序存储器(LPM)和 16kB 的私有数据存储器(LDM).四个 DSP 核共享 96kB 的可动态分配的程序存储器(Shared PM). RISC 核与四个 DSP 核共享 64kB 的多体并行存储结构的数据存储器(Shared DM).除共享存储器外,各内核之间还拥有邮箱、信号量及中断等多种通信与同步机制.

该系统的任务处理基本思想是 RISC 作为任务队列管理系统分析等待处理的任务的构成,然后把任务分解发送到各内核;各内核完成相应任务后,将运算结果提交 RISC 进行收集与汇总.任务队列管理系统设计合理、效率高,可保证系统的稳定运行,提升运算效率.同时使用 RISC 进行结果收集与汇总,将保证运算结果同普通处理器处理的结果一致,增强兼容性.

下面具体介绍共享存储器、邮箱、信号量、中断及特殊功能寄存器堆等部分的设计.

2.1 共享存储器

共享存储器分为共享程序存储器和共享数据存储器两种.共享程序存储器可以按需分配给各 DSP 核使用.四个 DSP 核任意一个均可以动态使用 96kB 共享存储器中的一部分或全部.根据程序的编译结果, RISC 可以修改系统的特殊功能寄存器堆(SFR)中的共享存储器地址偏移寄存器的值,从而实现动态分配共享程序存储器供各 DSP 核使用.单个 DSP 核最大可以使用的片上 PM 为 120kB.为提高流水线时钟频率,文中将 Shared PM 分成了 8 片,通过共享程序存储器控制单元(SPMC)实现灵活的配置.同时又可以保证各 DSP 核间访问共享程序存储器时不会发生冲突.对每个 DSP 核而言,其所使用的共享存储器的逻辑地址与其私有程序存储器的地址是连续的.这样既满足了程序代码大小的多样性需求,又简化了 DSP 核的编程.

四个 DSP 核及 RISC 核共享 64kB 的多体并行存储结构的共享数据存储器(Shared DM).利用该共享数据存储器可以实现各内核之间的数据快速交互及同步.文中将共享数据存储器分成八块,采用多体并行的存储结构.分成八块保证每个 DSP 核至少可以同时占用两块共享数据存储器块,从而可以实现交叉访问及乒乓操作,避免访问冲突,提高并行效率.

当多个内核同时访问同一片共享数据存储器时会产生访存冲突.此时共享数据存储器控制单元(SDMC)会自动控制各内核间的访存顺序. RISC 始终具有最高的访问优先级.各 DSP 核之间的优先级具有固定优先级和轮循优先级两种类型,由特殊功能寄存器堆中的优先级配置寄存器决定,它可以由 RISC 修改.系统复位后默认优先级轮循类型.

2.2 邮箱

各 DSP 核之间以及 DSP 核与 RISC 核之间均拥有一对用于消息传递及同步通道的阻塞式邮箱:发送邮箱和接收邮箱.每个邮箱拥有四个寄存器,分别对应数据寄存器、满标志寄存器、空标志寄存器及有效数据个数寄存器.为了简化说明,文中将从邮箱中读数据的内核称为读者,将往邮箱中写数据的内核称为写者.为了保证数据的正确传递,通常是先查询邮箱是否为空或满.如果为空,此时读者不能读该邮箱;如果写者发现邮箱已经满,此时写者应当等待邮箱中出现空位时才能往邮箱中写数据.针对上述情况,系统为内核提供了两种访问方法.一是查询式访问.当读者发现邮箱为空或写者发现邮箱已满时,它们可以先去执行其他任务,完毕后再次查询直到

可以访问邮箱.该方法可以提高程序运行的并行性.二是阻塞式访问.有时候内核必须等从邮箱中读到特定的数据或写者必须把当前数据写入邮箱后才能执行后续的任务.此时可以使用带阻塞功能的读写邮箱操作.它既可以省去查询邮箱所占的周期数又可以实现数据同步功能.在该方法中,读者不需先查询所读邮箱是否为空,而是直接读其数据寄存器.如果邮箱中已经有数据,则顺利读到数据;如果邮箱为空,则读者进行读时会自动被阻塞,即读者的流水线自动停止,直到该邮箱中出现数据.同样写者也不需先查询邮箱是否已满,而是直接将数据写入邮箱.如果邮箱未满,则数据被写入邮箱;如果邮箱已满,则写者进行写时会自动被阻塞,即写者的流水线自动停止,直到有数据从该邮箱中读出.利用邮箱可以有效地实现内核间的小批量数据交互及任务同步.

2.3 信号量

信号量是一种用于任务同步及数据保护的常用方法.用软件方法实现信号量时,一般需要设置一个整数变量作为计数器,并提供用函数方法实现的 P 和 V 两个原子操作.而硬件信号量将计数器用硬件实现,并直接提供这两个原子操作.相比软件方法实现的信号量,硬件信号量简化了程序设计.本系统中一共设计了 16 组硬件信号量供各内核使用.

2.4 中断

中断通常是系统中重要的通信及任务交互的手段.本系统中各内核之间均相互拥有一个中断通道,用于任务切换及同步.

2.5 特殊功能寄存器堆

文中将系统的可配置特殊功能寄存器集中于同一个页面中构成特殊功能寄存器堆. RISC 可以读写特殊功能寄存器堆中的任何单元,实现动态配置整个系统工作模式.

3 JPEG 解码在该系统上的实现

文中利用该系统实现了多通道 JPEG 码流的解码和单通道 JPEG 码流的并行解码这两种算法.

3.1 多通道 JPEG 码流的解码

首先利用该系统实现了四通道 JPEG 码流的解码.在该算法中各 DSP 核独立完成各通道的熵解码、反量化、IDCT 及 RGB 转换等工作, RISC 负责加载各 DSP 核解码所需的 JPEG 码流并取出各 DSP 核解码后的数据.其解码的基本流程如图 2 所示.其中每个 DSP 核均使用两块共享数据存储器,一块用于存放待解码的 JPEG 码流,一块用于存放解码后的 RGB 数据.利用该系统可以快速地实现图

像的各种组合形式.只需修改 RISC 在收集各 DSP 核解码所得数据时的算法即可实现诸如画中画或多幅图片拼接成各种形式的图片.

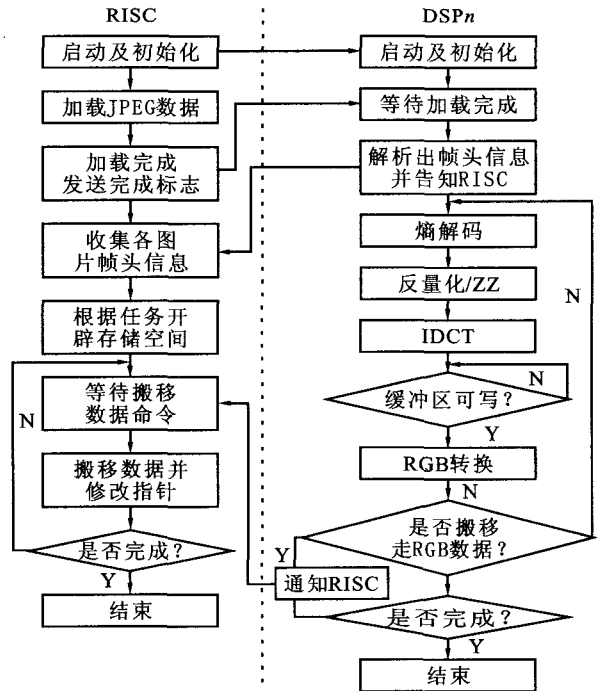


图 2 多通道 JPEG 码流解码流程图

3.2 单通道 JPEG 码流的并行解码

根据 JPEG 解码原理可知,熵解码生成的 MCU 是可以并行解码的最小单元.文中实现了 MCU 级并行的解码算法.各内核的任务分配如图 3 所示.

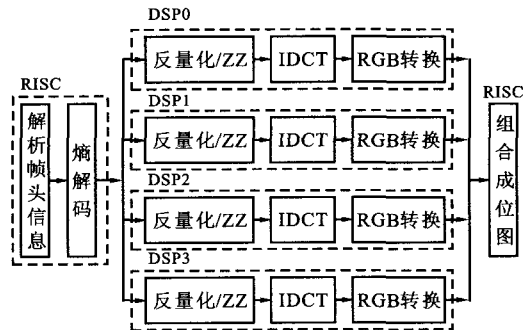


图 3 JPEG 并行解码任务分配图

RISC 进行 JPEG 码流的解析,获知帧头信息并通知各 DSP 核其需要处理 MCU 的个数,然后负责熵解码. DSP_n ($n=0,1,2,3$) 使用 Shared DM 中的第 $2n$ 、第 $2n+1$ 号存储块作为反量化/ZZ 的数据输入与 RGB 转换的数据输出口. RISC 将 MCU 熵解码得到的数据块,依次循环存放于共享数据存储器 (Shared DM) 的某一偶数号存储块中,供各 DSP 核作后续处理.即 RISC 将第一个 MCU 熵解码得到

数据块存放于共享数据存储块的第 0 号存储块,第二个存放于第 2 号存储块,第三个存放于第 4 号存储块,第四个存放于第 6 号存储块,第五个又存放于第 0 号存储块,依次类推. RISC 在进行一个 MCU 的熵解码时,会先检查对应的偶数号存储块是否可用. RISC 解完一个 MCU 后,就向对应的 RISC-DSP_n 邮箱中发送一个 MCU 熵解码完成标志. DSP 核在收到该标志后就到对应的偶数存储块中取 MCU 熵解码后的数据进行反量化/ZZ 处理,处理结果存放于其私有数据存储块(LDM)中,并向对应的 DSP_n-RISC 邮箱中发送反量化/ZZ 处理完成标志,表示对应偶数存储块中的数据已经无效, RISC 可以使用该存储块. DSP 核接着对反量化/ZZ 后的数据进行 IDCT 及 RGB 转换处理. RGB 转换后的数据存放于 Shared DM 中的奇数存储块中. 当整个码流解码完成或该奇数存储块写满时, DSP 向 RISC 发出中断请求, RISC 根据帧头信息收集各奇数存储块中 RGB 数据,组合成完整的位图^[7].

4 测试及电路综合结果

经测试分析,利用本系统进行四通道 JPEG 码流解码所用的时间与单个 DSP 核完成相同任务所需的时间比约为 1:3.7. 利用本系统完成单通道 JPEG 码流并行解码所用的时间与单个 DSP 核完成相同任务所用的时间比约为 1:4.1. 在多通道 JPEG 码流解码算法中, DSP 核有时需要等待 RISC 进行数据加载和取出,因此没有达到单核的四倍效率. 而在单通道 JPEG 码流并行解码算法中, RISC 也参与了解码,减轻了 DSP 核的负担,因此加速比超过了单核的四倍.

文中将该异构多核 DSP 在 Altera 公司的 Stratix II EP2S180 型 FPGA 开发板上进行了综合与实现,结果如表 1 所示. 该异构多核 DSP 基于 SMIC 0.18 μ m CMOS 工艺库进行的 DC 综合结果如表 2 所示.

表 1 FPGA 综合结果

性能指标	设计结果
工作频率	50MHz
ALUT	41 312
register	26 378
Memory	4 304 640 bits

表 2 DC 综合结果

性能指标	设计结果
工作频率	150MHz
电路规模	约 300 万门

5 结束语

文中实现的异构多核 DSP 系统软件编程简洁,易于进行任务的并行开发. 该系统存储器结构采用“私有+共享+多体并行”的设计思想,减少了存储器的访问冲突,提高了各内核间的数据交换效率. 软件编程时结合邮箱、信号量及中断等多种同步与通信机制,会使得系统开发变得更加简便,且易于实现任务的并行化处理,能充分地利用线程级并行度,使性能显著提升.

参考文献:

- [1] Pulley D. Multicore DSP for base stations: large and small [C]// Design Automation Conference. Asia and South Pacific, 2008: 389-391.
- [2] Pawel Gepner, Michal F Kowalik. Multicore processors: new way to achieve high system performance[C]// Proceedings of the International Symposium on Parallel Computing in Electrical Engineering. Blalystok, 2006: 9-13.
- [3] Patrick P. Gelsinger. Microprocessors for the new millennium: challenges, opportunities, and new frontiers[C]// IEEE International Solid - State Circuits Conference. USA: San Francisco, 2001:22-25.
- [4] 陈书明,汪东,陈小文,等. 一种面向多核 DSP 的小容量紧耦合快速共享数据池[J]. 计算机学报, 2008, 31(10):1737-1744.
- [5] 孟思远,刘建,奚杰,等. 一种多核 DSP 的动态存储器分配设计方法[J]. 微电子学与计算机, 2008, 25(11):21-24.
- [6] 林明亮,朱永新. 基于 SimpleScalar 的异构多核仿真器[J]. 微电子学与计算机, 2007, 24(7): 204-208.
- [7] Hiroaki Shikano, Masaki Ito. Heterogeneous multi-core architecture that enables 54x AAC-LC stereo encoding [J]. IEEE Journal of Solid - State Circuits, 2008, 43(4): 902-910.

作者简介:

- 敖天勇 男, (1981-), 硕士研究生. 研究方向为多核 DSP.
- 陈杰 男, (1963-), 博士生导师. 研究方向为通信、多媒体处理、VLSI 设计.
- 刘建 男, (1981-), 博士研究生. 研究方向为多核 DSP 及片上网络.
- 许汉荆 男, (1981-), 硕士研究生. 研究方向为多核 DSP.
- 奚杰 男, (1982-), 博士研究生. 研究方向为多核 DSP.
- 张伟风 男, (1965-), 博士生导师. 研究方向为非易性存储器.