

基于 GALS 的 SOC 异步接口研究

曾永红, 叶旭鸣

(航天科工集团三院八三五七研究所, 天津 300141)

摘 要: 基于 MOUSETRAP 异步流水线结构提出了一种全局异步局部同步方式下的片上系统的异步互连接口架构. 为实现异步接口电路的低功耗, 对其进行了晶体管级的功耗优化设计. 同时, 利用基于多级供电电压控制下的延时可调机制, 以缓解该异步互连中匹配延时链设计困难带来工艺可移植性差的问题. 该接口适用于对数据传输率和功耗有较高要求的多电压供电片上系统设计.

关键词: 异步流水线; 全局异步局部同步; 片上系统; 低功耗; 延时可调机制

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)05-0061-05

Research on a SOC Asynchronous Interface of GALS

ZENG Yong-hong, YE Xu-ming

(Institute 8357, Third Academy of China Aerospace Science and Industry Corporation, Tianjin 300141, China)

Abstract: A low-power system-on-chip (SOC) asynchronous interface in global asynchronous local synchronous (GALS) style, which based on MOUSETRAP asynchronous pipelines architecture, is presented. A transistor-level method is introduced to optimize the circuits' power-performance. A tunable delay mechanism based on multi-delay's power supply is used to improve the process portability of the asynchronous interface circuits. This asynchronous interface architecture can be applied to the multi-supply SOC design of which the high-speed data rate and low-power are mandatory.

Key words: asynchronous pipelines; global asynchronous local synchronous (GALS); SOC; low-power; tunable delay mechanism

1 引言

随着 SOC 的复杂度越来越大, 其系统功耗不断上升. SOC 的低功耗设计已经成为重大的挑战之一, 在特定领域, 功耗指标甚至已经成为第一要素^[1]. 对基于同步设计方法的 SOC 设计中, 如何处理时钟树已变成一项越来越复杂的工作, 其功耗在系统功耗中的比重也越来越大. 所以, 如何对时钟树进行功耗优化, 已经成为 SOC 设计是否成功的关键^[2-3].

异步电路设计与同步电路设计方法相比, 有功耗低、速度性能提升潜力大和抗干扰能力强等优点. 但由于异步设计技术缺乏成熟的 EDA 工具, 因此难以实现大规模系统设计. 另外考虑到现有的 IP 核绝

大部分是基于同步技术设计的, 所以, 在 SOC 中引入异步电路设计技术只能从全局出发, 通过异步接口将各个同步 IP 模块互连, 即全局异步局部同步 (GALS) 方式, 来进行 SOC 设计^[4]. 文中将基于 SOC 中的 GALS 技术, 对一种异步互连接口架构及其具体实现进行讨论.

2 GALS 的接口设计思想

GALS 系统的基本设计思想如图 1 所示. SOC 中的各个功能模块采用同步方式设计, 以充分利用同步 EDA 设计工具来提高设计效率. 然后, 用同步/异步 (或者是异步/同步) 转换接口将各同步模块封装, 以异步方式完成各模块间的通讯. GALS 中的异步接口按延时模型来分可采用 self-timed 或 bun-

dled-data 模型. 采用 self-timed 模型可以使电路功能和连线延时无关, 在布局布线时几乎不需要迭代, 这大大缩短了设计周期. 另外, 由于 self-timed 异步电路是数据流驱动的, 所以性能一般比较高. 但是 self-timed 异步电路在编码方式上采用双轨编码或 N 轨编码, 这与单轨编码的同步模块是不兼容的, 所以会增加同步/异步和异/步同步转换接口模块的设计难度, 加之 self-timed 异步电路的硬件实现代价较大, 所以其功耗特性较差^[5]. 反之 bundled-data 异步电路在数据编码上采用单轨编码, 其异步状态机通过在输出到输入端的反馈环中引入匹配延时单元来实现. 所以, bundled-data 异步电路的功耗、硬件实现代价都很不错, 实现方法基本和同步电路设计方法是兼容的. 但是, 如何匹配延时单元则需要做大量的验证, 且严重依赖工艺实现, bundled-data 异步电路的工艺可移植性不强^[6-7]. 所以, 要在 GALS 系统中成功采用 bundled-data 异步接口, 解决好延时单元的匹配设计是十分关键的, 这也是文中需要讨论的问题之一. 文中提出的 SOC 异步接口解决方案包括:

- 异步接口采用基于 bundled-data 模型的 MOUSETRAP 异步流水线架构^[8];
- 在晶体管级对 MOUSETRAP 的实现进行功耗优化设计;
- 引入多电压供电下的延时可调机制, 来实现可变的匹配延时链设计.

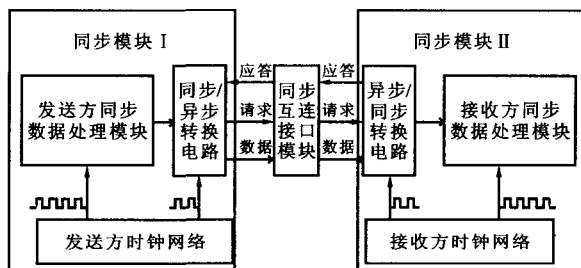


图1 GALS接口互连通讯方案

2.1 MOUSETRAP 异步接口架构

基于 MOUSETRAP 异步流水线的 GALS 接口框图如图 2 所示, 各个同步模块由图中虚线标注的异步锁存模块来连接, 各同步模块的数据传输由异步接口间的“请求”(req)和“应答”(ack)信号完成. 其中, 锁存器组由“透明的”锁存器组成. 为提高接口性能, 在通常状态下锁存器“常开”. req_N 表示第 N 级异步接口模块中有新数据输入, 为保证其正常工作, req_N 要在第 N 级接口模块的数据输入完全稳定后到达; 一旦新数据被锁存, 就会向对应的锁存控制

器(2 输入同或单元 XNOR)发送一个 $done_N$ 信号. XNOR 单元类似于“状态转换器”: 将 done 和 ack 信号转换成电平锁存控制信号. 为保证接口的正常工作, 需要对接口进行必要的局部时序约束. 由于在 $done_N$ 上的信号会在 ack_{N-1} 上产生一个同样的信号阶跃; 这样, “关断”第 N 级锁存器和“接收”第 N-1 级流水线的新数据会存在“竞争”. 于是为确保 N 级流水线中的数据不被破坏, 应尽可能快地“关断”该级锁存器, 以确保该过程在第 N-1 级流水线提供新数据之前就已完成. 所以, 要在不同的异步接口间的 req 信号上插入匹配延时单元.

异步接口模块的操作如下: 初始状态下, 各级流水线为空, 所有的锁存器都处于“透明”状态, 且所有 done、req 和 ack 信号都为“低”. 当第一个数据陆续通过各级流水线, 会使上述信号发生翻转. 随后的数据又会使上述信号翻转为“低”. 在流水线中, 无论“上升”还是“下跳”都表示一个明确的事件——有新数据到达. 当数据通过 N 级流水线的锁存器时, 将并行发生如下动作:

- (1) 数据和 req_{N+1} 传输到 N+1 级流水线.
- (2) 向 N-1 级流水线回送应答 ack_{N-1} , 允许该级流水处理新的数据.
- (3) 第 N 级流水的锁存器快速变为“不透明”, 防止当前数据被 N-1 级流水中的数据改写; 在接收到 ack_N 信号后, 才重新“开启”锁存器.

所以, MOUSETRAP 采用的是一种混合协议: 握手信号采用二相阶跃信号, 锁存器采用四相电平信号. 一方面, 利用阶跃信号控制数据流动, 每个数据的传送都会引起“done/req/ack”信号的跳变. 另一方面, 在锁存器中完成数据锁存需要两个阶跃信号: 一个用来“捕捉”(使锁存器“不透明”, 通过 done 信号产生); 一个用来“释放”(使锁存器“透明”, 通过 ack 信号产生).

在 SOC 中, 基于 MOUSETRAP 的若干同步模块的复杂互连结构可利用如图 3 所示的 Fork 和 Join 这两种非线性组合方式来实现. 在实现 Fork 功能时, 数据和相应的 Req 信号经过简单的分叉, 直接流向对应流水线的同步 IP 模块中; 通过 Muller C 单元完成需要互连的 IP 块的 ack 信号的“同步”. 而 Join 结构, 输入的不同数据经过简单混合后被锁存器保存, 至于 ack 信号利用一个叉状互连线与各发送 IP 块中的 ack 相连; Req 则用带使能控制的 Muller C 单元“同步”.

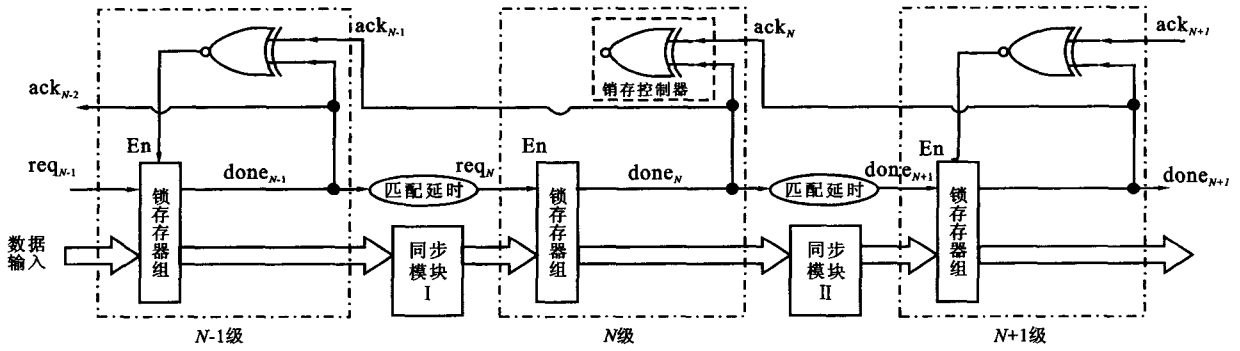


图2 基于MOUSETRAP的GALS异步接口框图

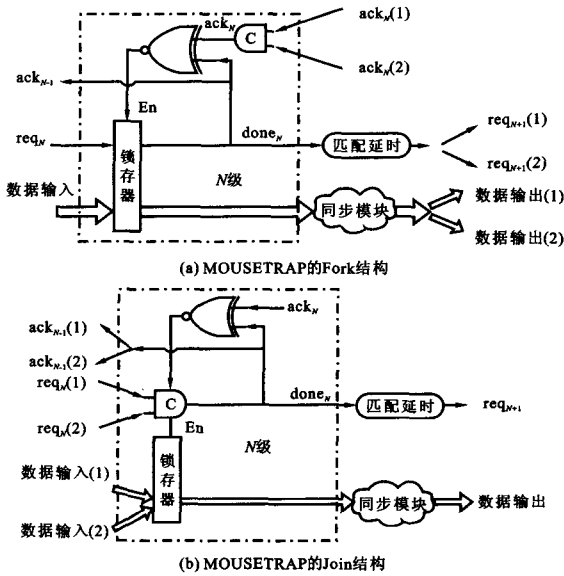


图3 MOUSETRAP的GALS多模块互连方案

2.2 延时可调机制

MOUSETRAP接口采用有限延时(bounded delay)模型,该延时模型是一种固定的延时模型。一旦功能单元的延时超过有限延时,就会导致接口失效。所以,在接口设计过程中,确定握手通道中和数据通道匹配的延时链要占用大量的时间。为了降低MOUSETRAP接口对于工艺的依赖,提出一种基于可变供电电压下的延时可调机制,在一定程度能解决上述问题。该机制主要基于CMOS电路延时大概和供电电压成比例,可对延时单元和数据通道采取不同的供电电压的方法来调节时序裕度。

延时可调机制的基本原理如图4所示:数据通道工作在正常电压 V_{DD} 下,而匹配延时通道由额外的电压 V_{DD1} 供电。根据时间裕度要求,电压 V_{DD1} 可以高于或低于正常电压 V_{DD} 。由于电压的按比例降低会引起时延的增加,降低延时模块的供电电压可以增大延时裕度;反之,就会减小延时裕度。正常工作条件下,延时模块的匹配延时和数据通道延时是

一样的,这时延时模块的供电电压 V_{DD1} 等于 V_{DD} 。如果延时裕度设定得过于保守, V_{DD1} 就会调整得比 V_{DD} 高,使得握手控制通道的路径延时减小,以提高系统的性能。如果由于匹配延时过短,使 V_{DD1} 比 V_{DD} 低些,以降低握手控制通道路径的速度。这种延时可调机制的缺点主要在于系统必须提供额外的供电电压。但是在当前的SOC设计中,一般使用基于模块的设计,所以在对SOC进行功耗优化中,系统一般都会考虑采用多电压技术。所以,在SOC的GALS的异步接口设计中,引入电压可变的延时机制并不需要专门对延时单元重新设计供电模块。所以,这种简单、柔性的延时控制机制可在很大程度上缓解MOUSETRAP接口对于工艺的依赖性,十分有助于实现规模较大、复杂的GALS的异步接口。

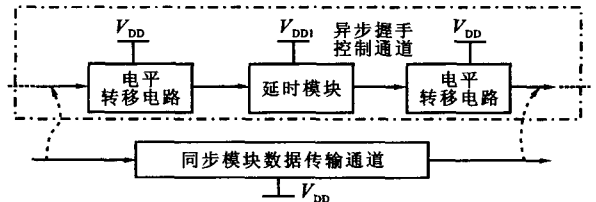


图4 延时可调机制的原理图

3 GALS异步接口设计与验证

3.1 MOUSETRAP异步接口的功耗优化

MOUSETRAP流水线的基本电路实现如图5所示。同或单元XNOR的一个输入与反相器b的输出端相连,这样原有的XNOR单元完成的是“异或”(XOR)功能,在XOR的输出端接一个由反相器h和PMOS管i(必须是一个强度很弱的晶体管)组成的电平转移电路,既能保证逻辑关系,提高带负载能力,还能补偿XOR单元的阈值损失。

在MOUSETRAP架构中,作为锁存控制器的XNOR单元对于流水线的性能和功耗有着很大的影响。所以,从XNOR单元着手,对接口进行优化设计。将图5中所示的4管XNOR单元用图6所示的

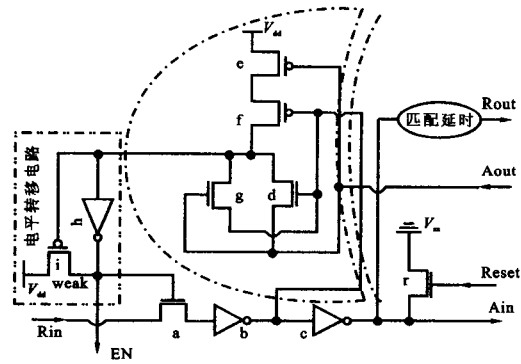


图5 MOUSETRAP 异步控制器电路结构

5管 XNOR 单元代替(包括产生互补输入所需的一个反相器). 尽管新的 XNOR 单元的晶体管数要比原有的设计多 1 个晶体管,但是从两种 XNOR 的功耗和性能仿真结果可见(如图 7 所示,测试结果是基于 0.25 μm 工艺的 SPICE 仿真,晶体管尺寸的选择为: $(W/L)_n = 0.34\mu\text{m}/0.24\mu\text{m}$ 、 $(W/L)_p = 0.68\mu\text{m}/0.24\mu\text{m}$),5 管 XNOR 单元的能耗特性要好很多.

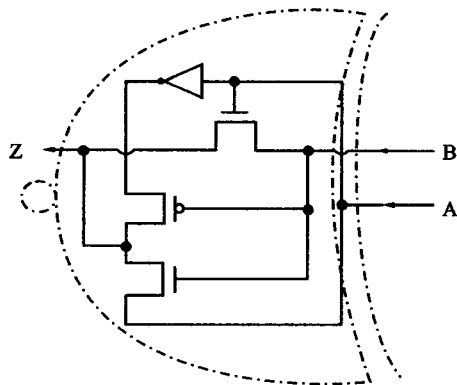


图6 5 管 XNOR 单元原理图

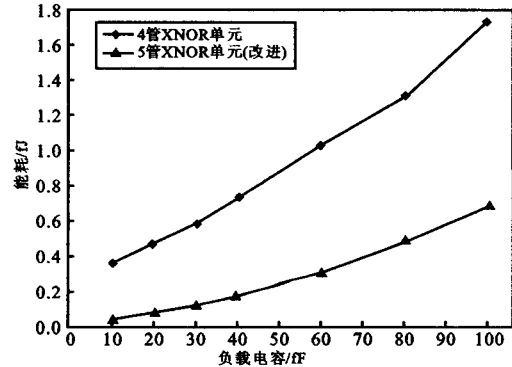


图7 两种 XNOR 单元的能特性

利用改进前/后的两种 MOUSETRAP 架构实现 4 $\times$ 4 异步接口电路(参照图 2 所示的结构,相关晶体管参数的选择也遵循同样的原则),测试得到的结果如表 1 所示.改进后的 MOUSETRAP 接口的功耗性能改善很多,相应的 DET(能耗延时积)参数

也要好不少(两者的吞吐时间相等,都是 625ps). 每级流水线的 DET 性能提高约 14.6%. 考虑到锁存器组的功耗(平均功耗为 203 μW)在异步接口的功耗中占很大比重. 所以,优化后的异步握手控制电路的功耗特性要更好些(改善约 19.5%).

表 1 两种 MOUSETRAP 电路实现的相关参数对比

异步架构	晶体 管数	Power/ μW	Energy/ pJ	DET/ $\text{pJ}\cdot\text{ns}$
MOUSETRAP ^①	224	772	0.483	0.302
MOUSETRAP ^②	216	661	0.413	0.258

3.2 延时可调机制的设计实现

实际电路中很难实现延时模块间的无级可调. 因为针对不同的工作电压,电路设计一般需要参照最高的工作电压设计,同时兼顾考虑若干较低工作电压下的正常工作要求;这不仅会导致很大的硬件实现代价,同时也在具体实现上也存在一定的难度. 另外,给无级可调的延时模块提供不同的供电电压对电源设计也是一个很大的挑战. 考虑到在 MOUSE-TRAP 接口电路中,为了保证其能正常工作,必须保证匹配的延时模块所能提供的时延不小于相关数据处理电路的最坏情况下的最大延时. 为此,在具体实现上采用如图 8 所示的折衷方案.

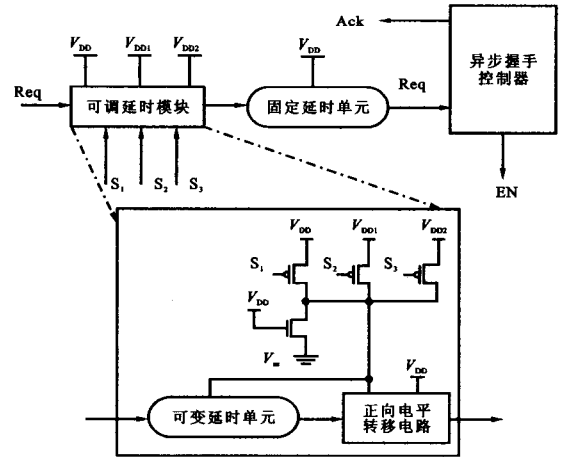


图8 延时可调机制的实现

延时模块由固定延时单元、可变延时单元和正向电平转移电路(低压转高压)构成. 系统为延时模块提供三级供电电压 $V_{DD} > V_{DD1} > V_{DD2}$; 所以,该延时机制只能提供比正常工作电压条件下所能获得的更长延时. 通过设定 S1、S2 和 S3(在系统中设定一个延时管理寄存器来确定)来选择延时模块工作在何种电压下.

为确保经过可变延时单元的信号能恢复到正常工作电压 V_{DD} ,加入图 9 所示的正向电平转移电路.

这样,无论 N1 和 N2 管中的哪个开启,该“下拉”动作都足以使放大器中的 P1 或 P2 管中的一个打开,并使另一个管子关闭.在电平转移电路稳定工作时,是不会有静态工作电流产生的. P4 和 P5 则是为能够保证 P1(或 P2)导通前, P4(或 P5)预先关断,以缩短电路翻转产生的短路电流的导通时间,进而达到降低动态功耗的目的. 但为能够保证电路的各个管子能够正常“开启”和“关断”,电压 V_{DD1} 必须低于 V_{DD} . 由于互连架构中的采用的电平转移电路只需完成升压功能以保证电路不失效,所以只需采用正向电平转移电路就可以满足要求.

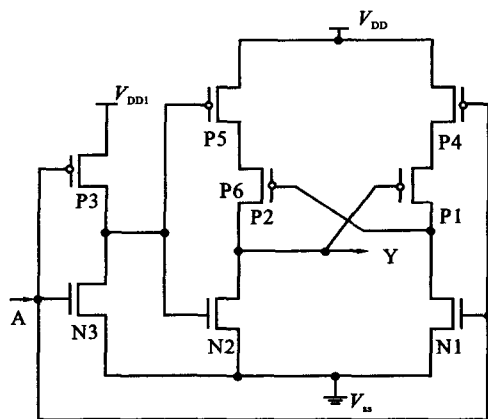


图9 正向电平转移电路

4 结束语

文中提出了一种 GALS 异步互连实现方案,采用 MOUSETRAP 异步流水线作为互连的基本结构,在保证其性能的前提下,对架构的具体实现进行了晶体管级功耗优化设计并进行了仿真验证测试.另外,考虑到异步接口架构固有的对工艺依赖性较强及设计灵活性不足的缺点,结合 SOC 系统的多电压供电的特点,提出了一种利用多电压下的延时可调机制,并给出了相关电路的具体实现.该架构适合

于对高速数据流通讯和功耗有同样要求的 SOC 芯片的内部互连.

参考文献:

- [1] 徐阳扬,周端,杨银堂,等. 非对称 GALS 系统异步接口设计[J]. 西安电子科技大学学报:自然科学版, 2007, 34(2): 294-297.
- [2] Martin A J, Nystrom M, Wong C G. Three generations of asynchronous microprocessors[J]. IEEE Design & Test of Computers, special issue on Clockless VLSI Design, 2003, 20(6):9-17.
- [3] 黄志正,杨樟,高茁. 高速低功耗传输电路的时钟系统设计[J]. 微电子学与计算机, 2008, 25(1): 108-111.
- [4] Zhuang S X, Li W D, Carlsson J. A asynchronous data communication with low power for GALS systems[C]// Electronics, Circuits and Systems, 9th International Conference. New York: IEEE, 2002: 753-756.
- [5] 潘海祥,居水荣. 异步零协议算术逻辑单元的设计[J]. 微电子学与计算机, 2008, 25(8): 48-51.
- [6] Shimizu M, ABE K. A cost-effective handshake protocol and its implementation for bundled-data asynchronous circuits[J]. IEICE Transactions on Fundamentals of Electronics, Communications and Computer Science, 2006, E89-A(1): 280-287.
- [7] Myers C J. Asynchronous circuit design[M]. New York: John Wiley & Sons, Inc., 2001.
- [8] Singh M, Nowick S M. MOUSETRAP: high-speed transition-signaling asynchronous pipelines[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2007, 15(6): 684-698.

作者简介:

曾永红 男,(1974-),博士.研究方向为低功耗异步集成电路设计、片上系统(SOC)及可编程片上系统(SOPC)技术等.

叶旭鸣 男,(1971-),高级工程师.研究方向为计算机应用及硬件设计等.

(上接第 60 页)

作者简介:

王 雷 男,(1983-),硕士研究生.研究方向为专用集成电

路设计.

魏廷存 男,(1960-),博士,教授.研究方向为数模混合信号集成电路设计技术以及平板显示驱动芯片技术.