

VLSI 互联线的延时优化研究

孔 昕, 吴武臣, 侯立刚, 彭晓宏

(北京工业大学 电控学院 集成电路与系统集成实验室, 北京 100124)

摘 要: 首先对互连线模型进行了分析, 介绍了插入缓冲器来减小长线延时的方法, 然后通过具体计算分析了缓冲器插入的位置、数量, 以及尺寸对连线延迟的影响, 得出了理论上最理想的优化方案, 并给出了结合实际物理设计的优化方案和算法. 最后, 对一条长互联线的延迟进行了仿真计算, 结果证明所给出的算法可有效地减小延时.

关键词: VLSI; 互连线延时; 缓冲器; 优化

中图分类号: TN47; TN305.96

文献标识码: A

文章编号: 1000-7180(2010)04-0066-03

Optimization for Interconnect Delay of VLSI's

KONG Xin, WU Wu-chen, HOU Li-gang, PENG Xiao-hong

(VLSI & System Laboratory, College of Electronic Information
and Control Engineering, Beijing University of Technology, Beijing 100124, China)

Abstract: In this paper, interconnect delay mode is analyzed and the method of buffer insertion to reduce the long wire delay is introduced. After the impact of position, amount and size of the buffer is analyzed, the best way to reduce the interconnect delay on theory and the best way on reality are gained. At last, through simulate and calculate of a long wire delay, the algorithm is proved to be effective in reducing the delay.

Key words: VLSI; interconnect delay; buffers; optimization

1 引言

随着集成电路的不断发展, 深亚微米工艺的出现, 连线所产生的各种影响已经变得越来越重要.

在集成电路的设计中, 常常会有长连线的存在. 随着连线长度的增长, 电阻会随着长度的增加急剧增大, 到达一定长度的时候会超过门的延时影响, 以致影响时序, 发生功能性错误, 同时还会对电路的电压降和功耗分布产生影响^[1-2].

文中首先引入了互联线的分析模型和长线延时的计算方法, 研究了插入优化缓冲器尺寸、位置和数量对延时的影响. 然后, 对一段长线延时理论上的最佳优化方法进行了探讨. 接着通过分析一个实际的互联线延时计算说明了实际情况下由于实际物理设计条件的限制, 不可能用最理想的方案进行优化. 进而编辑了一套算法, 对不同情况下的长线延时给出了最优的优化方案. 最后使用所提出的算法对互联线进

行了优化, 并与优化前长线的延时进行了比较, 结果证明所提出的算法可有效地减小互联线的延时.

2 缓冲器模型

2.1 集总模型

对长线进行分析, 首先要对其建立一个分析的模型. 因为一条导线的寄生(电容、电阻)参数是沿它的长度分布的, 而不是集中在一点. 因此, 对于一段较长的导线, 可以把他表示成一个集总的 n 段 RC 结构^[3-4], 如图 1 所示.

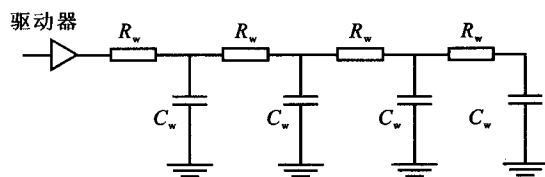


图 1 RC 连线模型

其中:

$$R_{\text{wire}} = nR_w, C_{\text{wire}} = nC_w$$

R_{wire} 为长线的等效电阻, C_w 为长线的等效电容.

集总的 RC 模型主要有 3 种, 如图 2 所示. 而对一个长线的分步式 RC 连线进行延时计算来说, 通过分析^[5] 可知 π 模型是最合适的集总模型, 这也是本文进行优化所用模型.

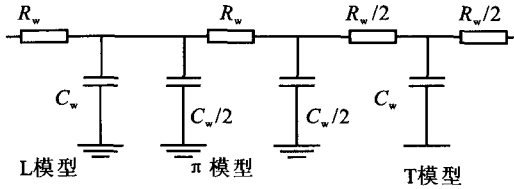


图2 三种 RC 模型

2.2 艾蒙延时

在计算长线延时的时候, 最常用的是艾蒙延时的计算方法. 在节点 i 处的艾蒙延时可以由下式给出:

$$\tau_i = \sum_{k=1}^N C_k R_{ik}$$

因此, 对于一个如图 3 所示的长线网络来说, 可以计算艾蒙延时为

$$\tau = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2 + R_3) C_3$$

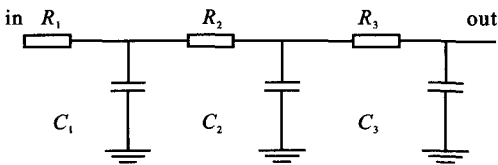


图3 典型网络艾蒙延时计算模型

对于一段长导线, 如果把它平均分成 n 份, 每段长为 ΔL , 设 R_{int} 为导线单位长度的电阻, C_{int} 为导线单位长度的电容, 则导线总的艾蒙延时为

$$\begin{aligned} \tau_{\text{total}} &= (R_{\text{int}} \Delta L)(C_{\text{int}} \Delta L) + \\ &\quad 2(R_{\text{int}} \Delta L)(C_{\text{int}} \Delta L) + \dots + \\ &\quad n(R_{\text{int}} \Delta L)(C_{\text{int}} \Delta L) \\ &= (\Delta L)^2 R_{\text{int}} C_{\text{int}} (1 + 2 + \dots + n) \\ &= L^2 R_{\text{int}} C_{\text{int}} / 2 \\ &= R_{\text{wire}} C_{\text{wire}} / 2 \end{aligned}$$

3 缓冲器的插入

3.1 减少长线延时

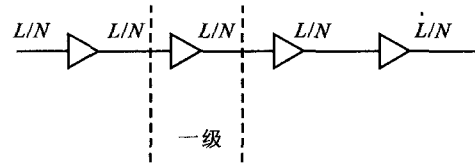
在集成电路里常常会有长线存在, 如果这些连

线过长, 往往会产生时序上的影响, 造成 hold time 的违例, 影响时序.

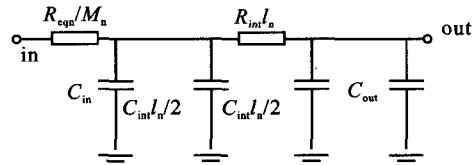
由前面的公式可以看出, 长线的延时和导线的总长度 L 成平方关系. 常用的减小延时的解决方法是在长线中合适的位置插入缓冲器, 这样就把一段长线分成了若干段, 把总延时和 L 的平方关系变得更加线性, 从而达到减少总延时的目的.

3.2 理想方案

假设有一段长度为 L 的互联线, 为了减小其延时, 把它分成 N 段进行优化, 即在互联线中加入 N 个缓冲器, 如图 4 所示. 在此使用前面介绍的 π 模型进行计算.



(a) 长线插入 n 个缓冲器



(b) 每一段的 π 模型

图4 缓冲器插入

对以一个比 1X 大 M 倍的缓冲器来说, 它的等效电阻 R_{eff} 、输入电容 C_{in} 和输出电容 C_{out} 分别为

$$R_{\text{eff}} = R_{\text{eqn}} / M$$

$$C_{\text{out}} = C_{\text{eff}} W_n (1 + \beta) = C_j (1 + \beta)$$

$$C_{\text{in}} = C_g W_n (1 + \beta) = C_G (1 + \beta)$$

式中, M 为插入的缓冲器的尺寸, C_{int} 为缓冲器的输入电容, C_{eff} 为单位宽度有小电容, β 为 PMOS 与 NMOS 器件的尺寸比, W_n 是 1X 反相器 NMOS 的器件尺寸.

由图 4(b) 可知, 每一段的艾蒙延时为

$$\begin{aligned} \tau_{\text{segment}} &= \frac{R_{\text{eqn}}}{M} \left(C_{\text{in}} + \frac{C_{\text{int}} L}{2N} \right) + \\ &\quad \left(\frac{R_{\text{eqn}}}{M} + \frac{R_{\text{int}} L}{N} \right) \left(\frac{C_{\text{int}} L}{2N} + C_{\text{out}} \right) \\ &= \frac{R_{\text{eqn}}}{M} \left(C_j M (1 + \beta) + \frac{C_{\text{int}} L}{2N} \right) + \\ &\quad \left(\frac{R_{\text{eqn}}}{M} + \frac{R_{\text{int}} L}{N} \right) \left(\frac{C_{\text{int}} L}{2N} + C_G M (1 + \beta) \right) \end{aligned}$$

因此, 优化后长线总的艾蒙延时为

$$\begin{aligned}\tau_{\text{total}} &= N * \tau_{\text{segment}} \\ &= N(C_G + C_J)R_{\text{eqn}}(1 + \beta) + \\ &\quad \left(C_G(1 + \beta)R_{\text{int}}M + \frac{C_{\text{int}}R_{\text{eqn}}}{M}\right)L \\ &\quad + \left(\frac{C_{\text{int}}R_{\text{int}}}{2N}\right)L^2\end{aligned}$$

上式中只有两项包括 M , 即 $\frac{C_{\text{int}}R_{\text{eqn}}}{M}$ 和 $C_G(1 + \beta)R_{\text{int}}M$, 然而:

$$\begin{aligned}C_G(1 + \beta)R_{\text{int}}M + \frac{C_{\text{int}}R_{\text{eqn}}}{M} &\geq \\ 2\sqrt{C_G(1 + \beta)R_{\text{int}}M * \frac{C_{\text{int}}R_{\text{eqn}}}{M}}\end{aligned}$$

要使上式成立, 即延时达到最小, 则需要

$$C_G(1 + \beta)R_{\text{int}}M = \frac{C_{\text{int}}R_{\text{eqn}}}{M}$$

即插入缓冲器的最优值:

$$M = \sqrt{\frac{C_{\text{int}}R_{\text{eqn}}}{C_G(1 + \beta)R_{\text{int}}}}$$

同理 N 的最优值为

$$N = \sqrt{\frac{L^2 C_{\text{int}} R_{\text{int}}}{2(C_G + C_J)R_{\text{eqn}}(1 + \beta)}}$$

可见, 随着所分的段数 N 增大, 延时是一个先减后增的趋势. 这是因为当所分的段数过多, 缓冲器所造成的延时已经超过了它所优化掉的长线延时.

使用以上的计算方法就可以得到理论上最优的 M 和 N 值来插入缓冲器, 从而减小长线延时. 然而当以一个实际的例子来分析时, 就会发现问题.

例如, 一段 20mm 长的第 5 层金属铝线,

$$R_{\text{int}} = 54\text{m}\Omega/\mu\text{m}, C_{\text{int}} = 0.1\text{fF}/\mu\text{m},$$

$$L = 20000\mu\text{m}, R_{\text{eqn}} = 12.5\text{k}\Omega/\square,$$

$$C_g = 2\text{fF}/\mu\text{m}, C_{\text{eff}} = 1\text{fF}/\mu\text{m},$$

$$W = 0.2\mu\text{m}, \beta = 2$$

通过计算可以得到, 不进行插入缓冲器的优化, 而以一个 20X 的缓冲器驱动这条长线的时候, 总的延时为 2.3ns. 使用前面推导的优化计算方法, 得到 $N = 7, M = 140, \tau_{\text{total}} = 0.67\text{ns}$, 延时较优化前减少了 70%.

但是, 在实际的数字集成电路设计中, 各厂家所提供的库文件中并没有 140X 的缓冲器, 而一般只提供了 20X、16X、12X、8X、4X、3X、2X、1X, 8 种缓冲器. 而且一条长线一般是由一个具有驱动能力的反相器或缓冲器所驱动的, 而这个驱动缓冲器的驱动能力又是根据长线前的电路而定的, 这就使寻找缓冲器的最佳值变得更加复杂.

3.3 结合实际物理设计的方案

由于前面提到过, 插入缓冲器的比例 M 和所分的段数 N 都是先增后减的趋势, 而且在长线的起始端已经存在了一个驱动长线的缓冲器. 那么假设这个驱动缓冲器和新加入的第一个优化缓冲之间的距离为 L_1 , 则需要优化的长线为 $L - L_1$, 即所需要优化的长线距离小于等于原长线的总距离 L , 因此所分的段数也应小于等于 N .

结合以上的实际情况, 所编写的算法如下:

(1) 输入已知的初值 ($C_G, C_J, R_{\text{eqn}}, \beta, R_{\text{int}}, C_{\text{int}}, L$ 、驱动缓冲器的大小 M);

(2) 计算优化所需要分段数 N ;

(3) 设优化缓冲器的尺寸为 M , 设驱动缓冲器后的距离为 L_1 , 每个优化缓冲器后面的距离的 L_n , 则总的长线距离 $L = L_1 + N * L_n$;

(4) 循环计算 M 和 L_1 的最优化值, 并输出.

此算法通过 matlab 进行了计算分析, 并且只需要改变初始值(由不同工艺和实际设计而定), 便可用于实际的延时计算和优化计算.

4 优化结果

通过使用第 3 节所给的例子运用所提出的算法进行优化计算, 得到的结果如表 1 所示.

表 1 优化前后的长线延迟对照

驱动缓冲器尺寸	所分段数 N	驱动缓冲器后距离 L_1	优化缓冲器尺寸	优化前延迟/ns	优化后延迟/ns
1X	8	1	20X	26.10	1.611
2X	8	1	20X	13.61	1.611
3X	8	1	20X	9.44	1.611
4X	8	1	20X	7.36	1.610
8X	8	1	20X	4.24	1.610
12X	8	1	20X	3.20	1.610
16X	8	10	20X	2.69	1.610
20X	7	2857	20X	2.38	1.588

可见, 当驱动缓冲器为 1X 时, 最终延迟仅为优化前的 6.1%. 当驱动缓冲器为 20X 时, 也优化掉了 33% 的延迟.

通过对仿真计算的分析可见, 插入缓冲器明显减小了长线的延迟, 因此文中所给出的优化算法非常有效.

5 结束语

文中以 RC 集总模型和艾蒙延时算法为基础, 深入研究了插入缓冲器的尺寸、位置和数量对长线

(下转第 74 页)

目标特征点,这些点的存在也会对仿射模型的准确性产生影响.从检测得到的角点中去除这部分角点.

参考文献:

- [1] Comaniciu D, Ramesh V, Meer P. Real - Time tracking of non - rigid objects using mean shift[C]// IEEE International Proceeding on Computer Vision and Pattern Recognition. Stoughton: Printing House, 2000(2):142 - 149.
- [2] Comaniciu D, Ramesh V, Meer P. Kernel - based object tracking[J]. IEEE Transaction on Pattern Analysis and Machine Intelligence, 2003, 25(5):64 - 575.
- [3] Bradski G R. Real time face and object tracking as a component of a perceptual for user interface[C]// IEEE Workshop on Applications of Computer Vision. Princeton, 1998:214 - 219.
- [4] 钱惠敏,茅耀斌,王执铨. 自动选择跟踪窗尺度的 Mean - Shift 算法[J]. 中国图像图形学报,2005,12(2):245 - 249.
- [5] 彭宁嵩,杨杰,刘志,等. Mean - Shift 跟踪算法中核函数

带宽的自动选取[J]. 软件学报,2005,16(9):1542 - 1550.

- [6] 王长军,朱善安. 融合梯度特征的灰度目标跟踪[J]. 微电子学与计算机,2009,26(2):69 - 71.
- [7] 柯海峰,刘伟宁. 基于变形模板技术的目标轮廓跟踪算法[J]. 微电子学与计算机,2008, 25(6):197 - 200.
- [8] Comaniciu D,Meer P. Mean shift:a robust approach toward feature space analysis[J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 1999, 24(5): 603 - 619.

作者简介:

何小城 男,(1974 -),博士后. 研究方向为视频处理和分析.

黄 凯 男,(1982 -),硕士研究生. 研究方向为目标检测和跟踪.

谭毅华 男,(1975 -),博士,副教授. 研究方向为遥感图像处理和分析、计算机视觉.

田金文 男,(1960 -),博士,教授. 研究方向为图像处理和分、制导与导航.

(上接第 68 页)

延时优化的影响,给出了理论上最佳的优化方案,并结合实际的物理设计条件得出了切实可行的优化方案,进而提出了优化算法.经过证明,所给出的算法可有效的解决长互联线的延时问题.

参考文献:

- [1] 郝冬艳,张明,郑伟.低功耗 VLSI 芯片的设计方法[J]. 微电子学与计算机,2007,24(6):137 - 142.
- [2] 王伟,冯哲,侯立刚,等.深亚微米 VLSI 物理设计中天线效应的预防及修复[J]. 微电子学与计算机,2007,24(8):42 - 48.
- [3] Jan M Rabaey, Anantha chandrakasan, Borivoje Nikolic.

Digital integrated circuits - a design perspective[M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2004.

- [4] David A Hodges, Horace G Jackson, Resve A Saleh. Analysis and design of digital integrated circuit - In deep submicron technology[M]. 3rd ed. Beijing: Publishing House of Electronics Industry, 2005.
- [5] E v. The transient response of damped liner networks with particular regard to wideband amplifiers[J]. Journal of Applied Physics, 1948: 55 - 63.

作者简介:

孔 昕 男,(1985 -),硕士研究生. 研究方向为集成电路与系统集成、VLSI 物理设计.