

基于固态硬盘的闪存阵列并行结构设计

李佳琦¹, 李 健¹, 党相甫², 冯 伟²

(1 天津大学 精密仪器与光电子工程学院 精密仪器工程系, 天津 300072; 2 泰科源科技有限责任公司, 北京 100080)

摘 要: 闪存存储器是固态硬盘的主要存储介质, 但是其较低的写入速度无法满足系统对数据的高速传输要求, 从而影响到固态硬盘的整体性能. 为提高闪存阵列的写入带宽, 在分析 Flash 器件的工作原理、流水线技术及并行总线技术的基础上, 提出了一种可行的并行结构, 估算并验证了采用此方案后的带宽提高情况.

关键词: 固态硬盘; 闪存存储器; 写入带宽; 流水线技术; 并行结构

中图分类号: TP302.1

文献标识码: A

文章编号: 1000-7180(2010)04-0085-04

Design of Parallel Structure of Flash Memory Array Based on Solid State Disk

LI Jia-qi¹, LI Jian¹, DANG Xiang-fu², FENG Wei²

(1 Dept. of Precision Instrument Engineering, College of Precision Instrument and Opto-Electronics Engineering,
Tianjin University, Tianjin 300072, China;

2 Techtronics Co., Ltd., Beijing 100080, China)

Abstract: Flash Memory is the main storage medium of Solid State Disk, but its lower write speed can not meet the high-speed data transmission requirements of the system, thus affecting the overall performance of Solid State Disk. To improve the write bandwidth of flash memory array, this paper designed a viable structure based on the analysis of working principle of Flash device, pipelining technology and high band-width buses technology. At last, it estimated and verified the improvement of bandwidth after adopting this solution.

Key words: solid state disk; flash memory; write bandwidth; pipelining technology; parallel structure

1 引言

固态硬盘(Solid State Disk, SSD)是近几年出现的最有希望代替传统硬盘成为主流存储设备的新型存储设备. 它使用通用的 ATA/SATA/SCSI 等外部接口, 利用 NAND 型闪存作为存储介质, 在行为上与传统硬盘完全一致. 所不同的是, 固态硬盘不需要精密伺服系统来实现诸如寻道、定位等复杂的机械操作, 仅通过数字信号的控制就能实现对存储器的操作, 因此, 它具有存取速度快、耗电量低、防震性好、数据安全性高等明显优势^[1]. 目前, 英特尔、三星电子等国外厂商已经推出固态硬盘产品以及配置有固态硬盘的便携式个人电脑, 朗科也于 2008 年发

布了国内首块闪存固态硬盘. 固态存储技术将具有非常广阔的发展前景和空间^[2-3].

2 固态硬盘硬件系统结构

固态硬盘的对外功能是通过 ATA 接口完成与主机的数据交换, 而对闪存芯片的读/写操作由系统内部自动完成. 为方便解决传输协议的转换以及管理问题, 系统使用高速缓存(Cache)将 ATA 接口部分的操作和闪存芯片控制端的操作分离开来, 这样可以解决两端数据传输速度不匹配的问题.

通常固态硬盘的系统结构是基于 NiosII 的 FPGA 片上系统, 包括 ATA 控制器、高速缓存管理器、NAND Flash 控制器等模块以及其他辅助组件等, 可

以实现 ATA 协议的解析、数据流的控制、以及各模块功能实现的操作. 其硬件结构框图如图 1 所示.

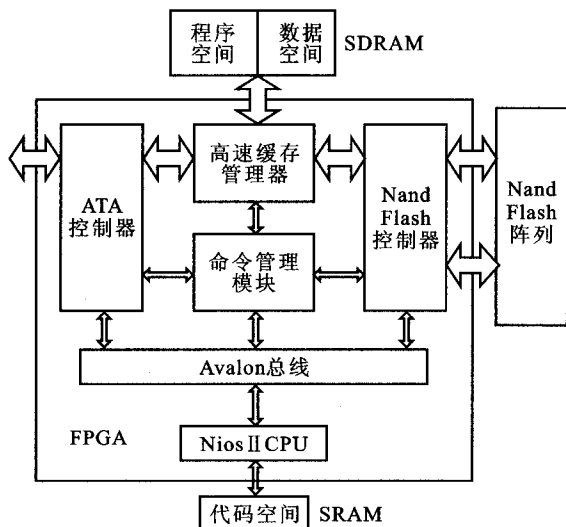


图 1 固态硬盘硬件系统结构

系统中 ATA 控制器主要完成 ATA 协议的解析以及与主机的数据交换; 高速缓存管理器与片外的缓存芯片 SDRAM 相连, 控制 SDRAM 的读写及刷新等操作; Nand Flash 控制器是通用的接口控制器, 提供 Flash 芯片的读、写、擦除操作; 命令管理模块主要完成 ATA 命令、SDRAM 命令与 Flash 命令的转换和翻译工作^[4].

闪存阵列的结构设计即是基于上述固态硬盘系统进行的.

3 闪存应用过程中的问题

闪存在系统中是作为最终的数据存储载体, 它的工作质量高低直接影响到整个产品的性能表现. 在工作过程中 Flash 器件只进行三种操作, 即读、写(编程)和擦除. 以三星公司的 K9LBG08U0M^[5] 型 NAND Flash 为例详细比较这三种操作的不同表现.

该芯片的基本情况为: 总容量为 $4\text{G} \times 8\text{bit}$, 由 8192 个块组成, 每块有 128 个页, 每页的存储容量是 $4\text{kB} + 128\text{B}$, 其中 4kB 用来存放数据, 128 字节的备用空间用来存储 ECC 校验或坏块标志等信息. 需要强调的是, Flash 的读、写(编程)操作均以页为单位, 而擦除操作则是以块为单位, 重新写入时需要先擦除原数据.

芯片的读取数据的速度较快, 可以达到约 24MB/s , 但写入速度并不理想, 只有不到 5MB/s . 这样的写入速度显然无法满足 ATA 接口的高速数据传输要求, 必将影响固态硬盘的整体速度.

在通常情况下写操作可分为以下三个步骤:

(1) 加载操作, 主要完成编程命令、地址和数据的载入工作. 在片选信号和命令锁存信号 CLE 开启后, 输入命令字 80h, 随后的若干周期用来加载地址信息及所需数据, 并以命令字 10h 结束. 所加载数据均存入页寄存器中;

(2) 自动编程操作, 由 Flash 存储器自动将页寄存器中的数据转移到内部存储单元, 其典型时间为 $800\mu\text{s}$, 最长 3ms . 在此阶段, 芯片不能进行其他操作, 只能通过不断查询 R/B 端口来确定编程操作是否结束;

(3) 状态查询操作, 自动编程结束后, 需要检查写入的数据是否编程正确. 输入命令字 70h 并检查返回值, 如果为“0”, 表明编程正确; 如果为“1”, 表明编程错误, 且该块为坏块, 不能继续使用, 应对其进行标示并进行坏块替换操作.

根据上述原理和数据手册提供的时间参数, 可以比较精确地计算出一个页编程操作周期所耗费的时间为 906067ns , 从而可以得出最大写入速度即写入带宽的值 $BW_1 = 35.57\text{Mb/s} = 4.45\text{MB/s}$.

由计算结果可知, Flash 存储器的写入带宽很低, 而造成这一问题的原因是其自动编程的时间过长, 占到整个操作时间的 88% 以上.

4 提高写入带宽的具体方案

4.1 双片编程与交替双片编程

从 Flash 器件本身出发, 双片编程和交替双片编程不但可以提高芯片的写入带宽, 而且是下文提出并行结构设计的思想基础.

芯片 K9LBG08U0M 的封装内共包含 4 个容量为 8Gb 的存储片 (Memory plane), 分别命名为片 0、片 1、片 2 和片 3, 每个存储片上均含有 2048 个“块”和一个容量为 4224 字节的页寄存器. 经过某种特定的块地址映射机制, 4 个存储片被分成两个阵列, 其中片 0、1 为一阵列, 片 2、3 为另一阵列. 同一阵列内部相对统一且各片中的“页”具有相同的块内地址, 而属于不同阵列的存储片 (如片 0 和片 2) 则相对独立. 由于各存储片上均包含页寄存器, 那么, 先将两组数据先后载入然后再同步进行自动编程操作的方式将节省大量的编程时间. 在实际操作中, 第一组数据加载至第一片页寄存器后输入的不是确认命令 10h, 而是伪确认命令 11h, 此后芯片进入虚拟编程时间 (t_{DBSY}), 该过程不进行真正的自动编程, 只作短暂停顿, 典型时长只有 500ns 、最长 $1\mu\text{s}$. 随后加载第二组内容, 并以命令字 10h 开启两存储片的同步

自动编程操作。

采用双片同步编程的方法可以将2倍的 t_{PROG} 时间压缩至 $t_{\text{DBSY}} + t_{\text{PROG}}$,缩短了将近一半.在这种情况下Flash存储器的写入带宽为 $BW_2 = 63.65 \text{ Mb/s} = 7.96 \text{ MB/s}$,比单片编程时的带宽提高了78.9%.

Flash存储器可以有一个或多个片选CE资源.芯片K9LBG08U0M中的只有一个CE资源,所以4个存储片最多只能有2片同时工作.而其同系列的K9HCG08U1M^[4]不但在容量上大了一倍(64Gb),且拥有2个CE资源,相当于共用I/O的2片K9LBG08U0M的集合,它们内部分离、互不干扰,当其中一片由于自动编程而片选失效时,并不影响另一片进行其他操作,利用这一优势,可以有效提高编程效率.其编程过程如图2所示.

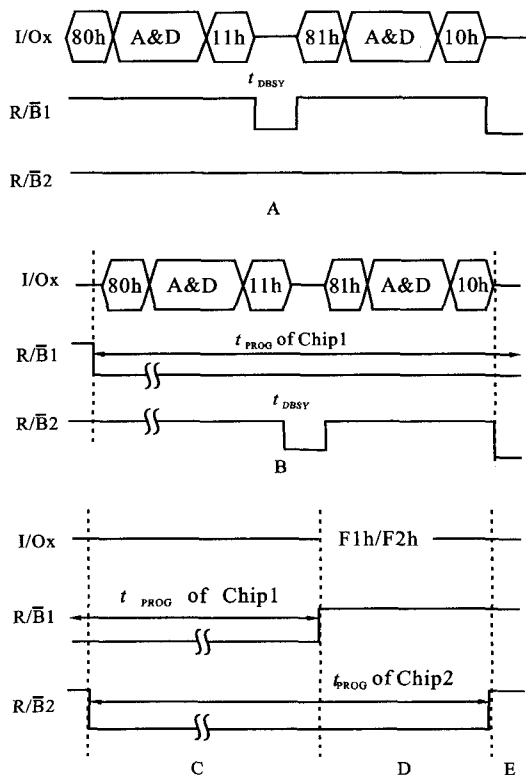


图2 交替双片编程的执行过程

图2中A阶段是Chip1中两组内容的加载过程,与上述双片编程的加载过程相同;B阶段中,Chip1执行编程操作,Chip2处于准备状态,此时主机向Chip2发出编程命令,并进行编程内容的加载;在C阶段Chip1和Chip2都处在自动编程过程中,芯片表现为两个 $\overline{\text{CE}}$ 均无效;在D阶段,Chip1结束自动编程进入准备状态,Chip2仍在进行自动编程,此阶段可以输入命令F1h或F2h查询Chip1或Chip2的状态;最后的E阶段,Chip1和Chip2都完

成自己的操作进入准备状态.综合整个过程可以发现,芯片用了2倍双片编程时的加载时间和1倍的自动编程时间实现了最多16896字节(4页)数据的写入.

对此种方案下Flash的写入带宽进行计算,得到结果为 $BW_3 = 105.24 \text{ Mb/s} = 13.15 \text{ MB/s}$,是单片编程带宽的2.96倍.

4.2 闪存阵列中流水线技术的应用

交替双片编程的方法为提高Flash的写入速度提供了一种宏观上的思路,即采用多片Flash芯片构建一个大的阵列,使其在编程过程中并行进行加载等子操作,以达到尽可能多的复用自动编程时间的目的.

将高性能计算机的流水线操作(Pipelining)的思想引入Flash的编程操作,流水线操作的基本原理是把一个重复的过程分解为若干个子过程,并连续不断地输入流水线,使每个子过程可以与其他子过程同时进行^[6].由于Flash的编程操作可分为加载、自动编程和状态查询三个子过程,那么其进行多通道流水线编程操作的示意图如图3所示.

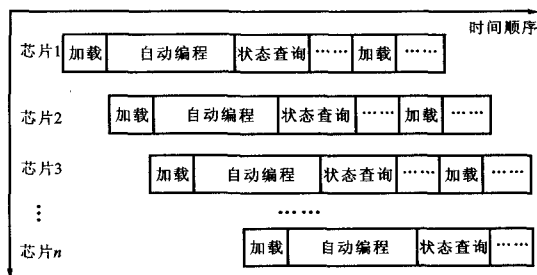


图3 流水线编程操作示意图

由图3可以看到,当流水线运转起来后,在任一时间段上,总有若干子过程在同时进行,实现了时间上的复用,故而从整体上来看速度将会有大幅度提高.但是为了使流水线稳定地运行起来,必须有严格的控制逻辑加以保证,不仅要给出恰当的控制信号使各通道有条不紊地运作,还要给每级流水提供正确的命令、地址和数据,同时记录操作完成情况等状态信息.这些控制逻辑实现起来较为复杂,应该由专门的FPGA(现场可编程逻辑阵列)来完成^[7].

4.3 并行结构的分析及设计

根据Flash多通道流水线编程方案,对闪存阵列的结构进行设计.由于当前计算机普遍是32位机,即总线的数据宽度是32位,而Flash芯片的数据宽度仅8位,为避免总线带宽的浪费,采用并行总线技术进行处理.并行总线技术也可称宽带总线技

术(High Band-width Buses),即通过拓宽数据总线的带宽,实现数据宏观上的并行操作.文中的具体实现方式是将四片 K9HCG08U1M 芯片并联为一个位宽为 32、容量为 256Gb 的 Flash 模块,32 个 I/O 端口与 32 位的数据总线相接.由于 K9HCG08U1M 拥有 2 个 CE 资源,内部可分且互不干扰,所以可再将模块划分为 2 个位宽 32 位、容量 128Gb 的子模块作为流水线的两级使用,子模块内部使用相同的片选 $\overline{CE}$ 、命令信号及内部地址等,被看作一个整体.

根据上述方案以及芯片的各时间参数,可以对采用并行结构和流水线技术处理后的写入带宽做进一步的计算,整个流水操作完成所需的时间应以最后一级完成的时间为准.令芯片中一页的数据量为 m ,则双片编程时一次写入数据量为 $2m$,并行操作的芯片数为 n ,流水线总级数为 N ,命令、地址和数据的加载时间为 t_{AD} ,芯片自动编程的时间为 t_{PROG} ,状态查询时间为 t_{SR} ,则写入带宽 $BW = N \cdot 2m \cdot n / (N \cdot t_{AD} + t_{PROG} + t_{SR})$.当芯片确定后,只有总级数 N 可变,其与带宽 BW 之间的关系如图 4 所示.

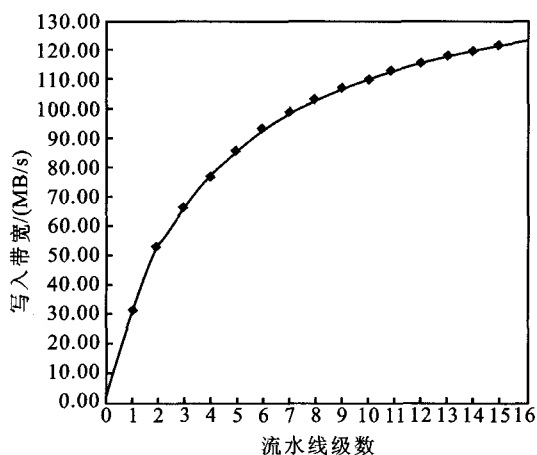


图4 写入带宽性能曲线

显而易见,增加流水线的总级数能够有效提高带宽,可通过两条途径实现:一是增加芯片的数量,二是选择 CE 资源多的芯片.而固态硬盘作为计算机外部存储设备有体积大小的限制,标准尺寸有3.5英寸、2.5英寸、1.8英寸等,一块2.5英寸的固态硬盘最多可排列16片Flash(正反面各8片),所以不能完全依靠扩大芯片数量的方式提高流水线级数.这就对芯片本身的性能提出了更高的要求,如三星的固态硬盘产品 MCCOE64G5MPP-0VA(2.5英寸,容量为64GB)中采用的 K9NCG08U5M 芯片每片拥有4个CE资源,其内部只排列了8片Flash就可以实现8通道流水线,但是这样的芯片价格昂贵

且数量有限,无疑将使开发成本大幅上升.从图中曲线可以看出,8级流水线时的写入带宽完全可以达到16级时最大带宽的84%,理论值可达103.14MB/s.而从8级提升到16级带宽将提高20MB/s左右,但必须使用单CE交替编程的方式(详见技术手册),逻辑复杂程度将大大增加,对整体性能的提升意义不大.所以综合上述原因,文中选择了相对廉价的2个CE资源的K9HCG08U1M芯片,划分8个流水级,形成的固态硬盘容量为128GB,可满足一般台式机和大部分便携计算机的配置要求.闪存阵列的并行结构设计如图5所示.

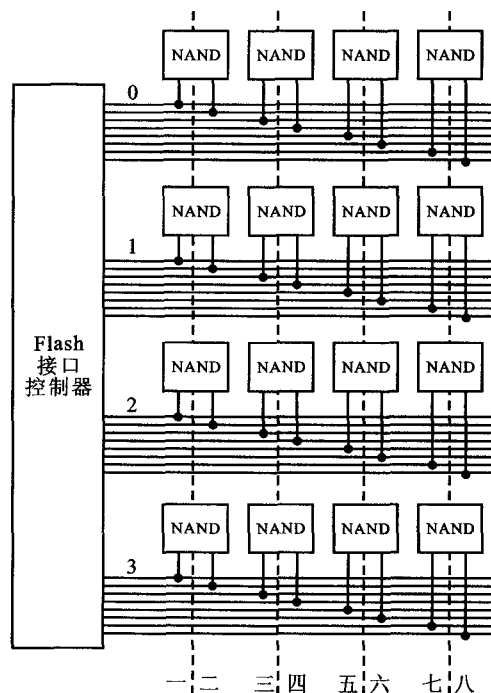


图5 Flash阵列并行结构示意图

在采用并行结构和8级流水线操作的情况下,写入带宽可达103.14MB/s,实现了质的飞跃.经过实际验证,基本达到预期的效果.

将不同方案下的写入带宽进行总结对比,如表1所示.可以看出,采用并行结构和流水线技术后的速率有了大幅度的提高.即使增加了硬软件的延迟及其他一些影响因素,这个速率的提升仍然是比较可观的.

表1 不同方案下的写入带宽对比 (MB/s)

不同方案	单片编程	双片编程	交替双片编程	并行结构流水线式编程
写入带宽	4.45	7.96	13.15	103.14

(下转第94页)

数字签名等,实现网络认证,确保网络安全运行.

参考文献:

- [1] Haixin Wang, Yao Yue, Chunming Zhang, et al. A novel unified control architecture for a high - performance network security accelerator[C]// Proceedings of the International Conference on Security and Management(SAM'07). Hongkong, 2007(6):538 - 544.
- [2] FIPS PUB 180 - 1. Secure hash standard(SHA - 1)[S]. National Institute of Standards and Technology(NIST), 1995.
- [3] American Bankers Association, Keyed Hash Message Authentication Code[S]. ANSI X9. 71, Washington, D C, 2000.
- [4] William Stallings. 密码编码学与网络安全:原理与实践[M]. 4 版. 北京:电子工业出版社,2006:266 - 270.
- [5] Frier A, Karlton P, Kocher P. The SSL protocol version

3.0[EB/OL]. (1996 - 11 - 10)[2009 - 04 - 10]. <http://wp.netscape.com/eng/ssl3/draft302.txt>. Netscape.

- [6] Rescorla, SSL E. TLS:designing and building secure systems[M]. Reading, MA:Addison - Wesley,2001.
- [7] William Stallings. 密码编码学与网络安全:原理与实践[M]. 3 版. 北京:电子工业出版社,2004:391 - 400.
- [8] Yu Mingyan, Zhou Tong. An efficient ASIC implementation of SHA - 1 enging for TPM[C]// The 2004 IEEE Asia - Pacific Conference on Circuits and Systems. Taiwan, 2004.

作者简介:

陈英杰 女,(1978 -),硕士研究生.研究方向为散列函数在网络安全处理器中的应用及实现.

王海欣 男,博士研究生.研究方向为网络安全处理器设计.

白国强 男,副教授.研究方向为信息安全芯片.

陈弘毅 男,教授.研究方向为集成电路(IC)设计.

(上接第 88 页)

5 结束语

随着固态硬盘原材料价格的不断下降和系统结构以及相关算法的不断更新,逐步取代传统硬盘将是一种趋势.对于闪存器件本身的缺点,也可以通过工艺技术的不断发展以及引入其他技术手段加以改善,文中提出的流水线技术和并行结构设计就能很好解决这个问题.

参考文献:

- [1] 杨鑫,刑小地,徐伟俊,等. 用 NiosII 搭建的固态硬盘设备系统[J]. 单片机与嵌入式系统应用,2008(4):55 - 58.
- [2] 吴东坡. Flash 存储器技术与应用[J]. 微电子学与计算机,1998,15(6):55 - 56.

[3] Ray Weiss. Flash memory takes over[J]. Electronic Design, 2001,49(17):56 - 64.

[4] 周钦,钱松,程君侠. 适用于 Flash Memory 的负高压泵的实现[J]. 微电子学与计算机,2007,24(1):21 - 24.

[5] Samsung Electronics. NAND flash memory data sheets [EB/OL]. (2008 - 05 - 18)[2009 - 01 - 10]. <http://www.samsung.com/>.

[6] William Stallings. Computer organization and architecture: designing for performance[M]. 张昆藏,译. 7 版. 北京:清华大学出版社,2006:352 - 356.

[7] 高怡祯. 基于闪存的星载大容量存储器的研究和实现[J]. 电子技术应用,2003,29(8):75 - 78.

作者简介:

李佳琦 女,(1986 -),硕士研究生.研究方向为精密仪器设计.