

IBIS 建模和 PCB 信号完整性分析

周 博 远, 于 立 新, 褚 军 舰
(北京微电子技术研究所, 北京 100076)

摘 要: 随着数字系统中时钟频率的提高, PCB 上的信号完整性也日益成为设计过程中不可忽略的问题. 文中通过阐述 IBIS 模型的建立和 PCB 板上信号完整性的分析, 介绍了一种必要的基于 IBIS 模型建立的信号完整性仿真及分析方法, 例举了时钟网络设计的反射仿真结果对比.

关键词: PCB; 信号完整性; 行为级模型; IBIS 建模

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)10-0111-03

Method of IBIS Modeling and PCB Signal Integrity Analysis

ZHOU Bo-yuan, YU Li-xin, CHU Jun-jian

(Beijing Microelectron Technology Institute, Beijing 100076, China)

Abstract: As the clock rate of digital system increases, the PCB signal integrity (SI) problem becomes unignorable. By taking advantage of IBIS model and analyzing the SI issues on PCB, a necessary SI analysis and simulation method based on the IBIS modeling is presented in this paper. Finally the reflection simulation results of the method on a clock net are introduced as an example.

Key words: PCB; Signal Integrity (SI); behavior model; I/O Buffer Information Specification (IBIS) modeling

1 引言

随着 IC 产业的发展, 无论是时钟频率或者是系统的密度都大幅提升, 对系统 PCB 的设计提出了更高的要求. 在高速数字电路设计中, 信号完整性问题 (SI) 是其中最严重的问题之一^[1]. 进行信号完整性仿真则必须有仿真模型的支持, 目前使用比较广泛的 SI 仿真模型是 IBIS 模型.

信号完整性问题主要有反射、串扰、地弹等方面, 文中以自产研发的通用 CPU 开发板设计为例, 介绍 CPU 的 IBIS 建模和对板上系统时钟网络反射仿真过程, 仿真结果的对比和应用.

2 IBIS 模型介绍

IBIS 模型最初是由 Intel 公司开发专用于 PCB 板级和系统级的数字信号完整性分析的模型. IBIS 模型无需描述 I/O 单元的内部设计和晶体管制造参数, 有利于保护知识产权, 因而得到了半导体厂商

的欢迎和支持. 此外, IBIS 模型的仿真速度一般比 SPICE 模型高 20 倍, 非常适合于系统级的仿真. 基于这些优点, IBIS 模型得以迅速的发展和广泛应用于 PCB 系统设计中, 1999 年被认定为美国正式的工业标准 (EIA/ANSI 656-A)^[2].

IBIS 模型的输出缓冲器的基本等效结构由六个部分构成 (图 1), 即上拉管 Pullup, 下拉管 Pull-down, 电源箝位 Power _ Clamp, 地箝位 GND _ Clamp, 伴随电容 C _ comp 和封装 R _ pkf, C _ pkg, L _ pkg 参数.

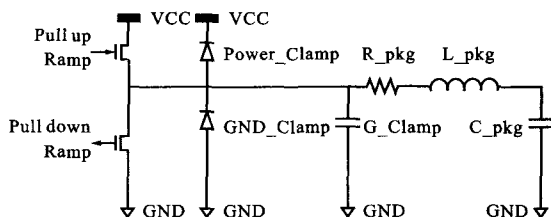


图 1 IBIS 模型输出端结构

输入缓冲器的基本等效结构和输出相比,没有上拉和下拉器件,由四个部分构成.如图2所示.

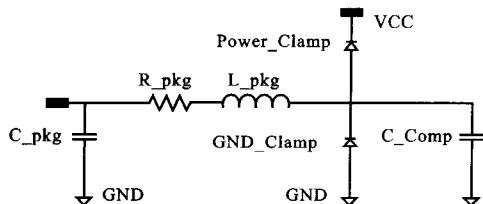


图2 IBIS模型输入端结构

IBIS模型使用数据表格的形式来记录所要描述的电路的行为.其中,上拉IV曲线表格,记录当激励为逻辑“0”时,对应输出端在不同电压值时流出输出端口的电流值.相同的,下拉IV曲线表格,记录当激励为逻辑“1”时,输出端电压对应的输出电流. IBIS模型用以上的两组数据对缓冲器稳态行为进行描述.

在IBIS模型中使用Voltage-Time(VT)曲线表格来记录器件的瞬态行为.其中,对于非反向逻辑的缓冲器,上拉VT曲线rising waveform记录了曲线对一个在0时刻幅值由逻辑“0”跳变至逻辑“1”的阶跃函数激励的响应.下拉VT,曲线falling waveform记录了曲线对一个在0时刻幅值由逻辑“1”跃迁至逻辑“0”的阶跃函数激励的响应.根据不同的负载情况,一个IBIS驱动器模型可能有两组VT曲线或者四组VT曲线.在最初版本的IBIS模型标准中,不记录VT曲线,只是记录VT曲线的平均斜率,称为RAMP.为了提高仿真精度,文中主要介绍一种工程中普遍适用的建模和仿真方法.

3 IBIS模型的建立

目前大多数厂商都免费提供产品的IBIS模型,为用户仿真和辅助设计使用.对于一些暂时没有可用的IBIS模型的电路,如果能得到SPICE模型,也可以通过仿真的方法建立其IBIS模型^[3-5],但大部分厂商因为知识产权的原因,一般不愿提供SPICE模型. IBIS模型也可以通过测试的方法得到,但是测试方法对结果的精确度影响很大,并且用测试的方法建立IBIS模型仅限于比较简单的元件.本课题中的CPU为自主研发,因此可以通过SPICE仿真建立IBIS模型,流程如图3所示.

以输出缓冲器上拉仿真为例,将以一个内部不可见的子电路来代替实际的加密的SPICE模型,如图4所示,其余的部分可以通过调整激励和扫描方式得到.

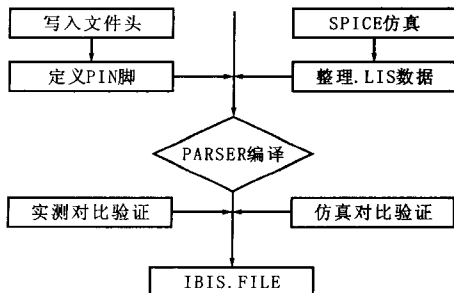


图3 通过SPICE仿真建立IBIS的流程

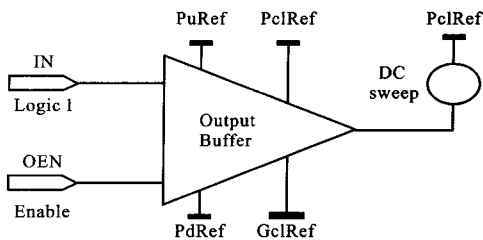


图4 Pull up 仿真电路

为得到IBIS模型中描述器件上拉行为的V-I数据,将输入置为逻辑高电平,在输出端加上一个直流电压源,考虑到过冲的理论最大值,进行从 $-V_{CC}$ 到 $2V_{CC}$ 的直流电压扫描.

此时仿真还未得到Pull up的准确稳态行为,为了得到上拉曲线的准确值,需要从以上仿真得到的电流值中减去箝位二极管电流,箝位数据可以通过将OEN设置为Disable后用同样的仿真得到.整理后得到输出缓冲器的Pull up V-I曲线和LIS文件.整理LIS文件中的数据,并修改格式后可填入IBIS模型中.对于Pull down及地箝位曲线只要将扫描位置改为对地即可.rising waveform和falling waveform则通过瞬态仿真完成.

4 IBIS仿真和结果分析

对信号完整性效应敏感的网络称为“关键网络”,一般来说,可能是时钟线,或是一些高速总线.文中选择以时钟网络为例,介绍对系统中时钟信号网络的反射进行仿真和分析^[6].完成系统原理图后,可以提取布线前网络拓扑,时钟网络拓扑如图5所示.

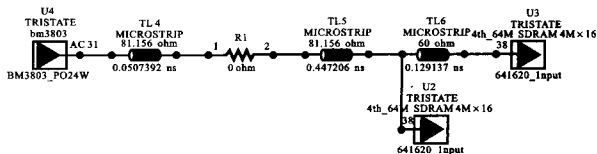


图5 前仿真时钟网络拓扑

为进行对比,对该网络分别进行工作于65MHz

和 133MHz 状态,不加端接电阻,即图中 R1 为 0Ω 时的反射仿真,仿真结果如图 6、图 7 所示。

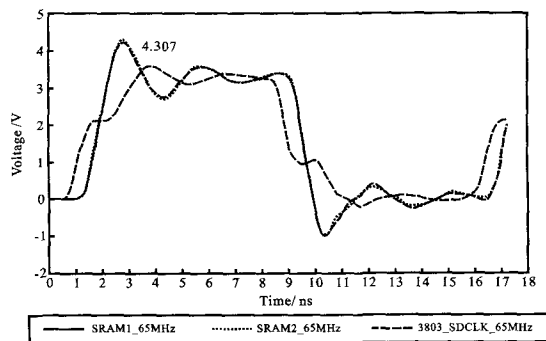


图 6 在 65MHz 的工作状态

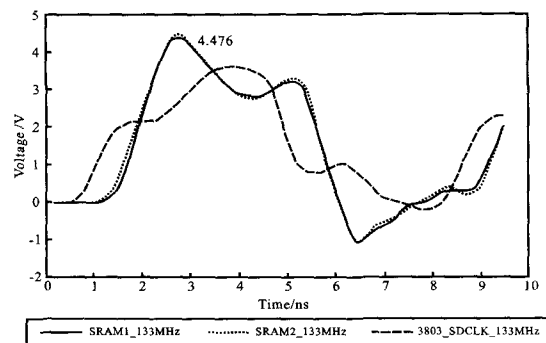


图 7 在 133MHz 的工作状态

从仿真结果对比可以看出,未进行阻抗匹配的网络由于阻抗不连续,信号的反射在信号边沿造成了较大的过冲,过冲的峰值达到 4.28V,超过 3.3V 近 1V,会对元件内部造成较大的干扰甚至损害。在布线中添加端接电阻并进行布线后仿真,传输线阻抗值可由仿真工具得到,而反射系数可以通过计算得出:

$$\rho = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

其中, Z_1 为传输线前段阻抗, Z_2 为传输线后段阻抗。反射不可能被完全消除,但可以根据反射最小的原则得到一个最佳的选择。实际设计中,根据公式,并通过 R1 进行 30~50Ω 阻值扫描,选择 37Ω 电阻进行布线后如图 8 所示。

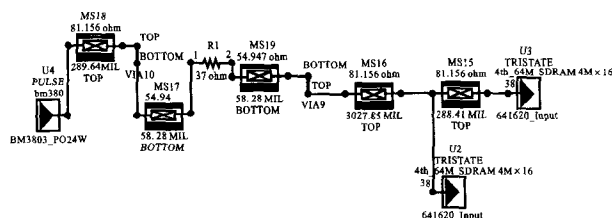


图 8 布线后时钟网络拓扑

仿真结果与未加前对比可以看出,37Ω 端接电阻的较好地消除了反射和其引起的过冲,过冲峰值

从原 4.476V 减小 990.855mV,如图 9 所示。文中还通过调整网络走线优化了阻抗特性,开发板完成设计装焊后工作良好。

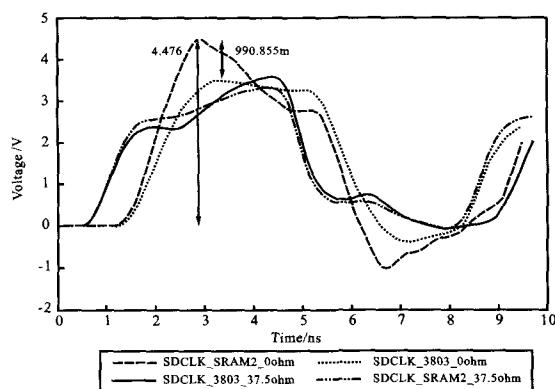


图 9 加端接电阻前后 133MHz 的过冲对比

5 结束语

文中建立了特定 CPU 的 IBIS 模型,并基于模型,对系统 PCB 时钟网络进行了反射仿真,为优化网络的反射性能、SI 分析进行高速 PCB 设计提供了一种设计方法。

参考文献:

- [1] Eric Bogatin. Signal integrity: simplified[M]. New Jersey: Pearson Education Prentice Hall, 2005.
- [2] EIA Standard. ANSI/EIA - 656 - A - 1999, I/O buffer information specification (IBIS) version 3.2[S]. The IBIS Open Forum, 1999.
- [3] Tim Coyle. An engineer's guide to hacking IBIS models [EB/OL]. [2009 - 08 - 21]. Signal Consulting Group. http://www.siconsultant.com/press_kit/hspice_ibis_seminar.pdf.
- [4] Ambrish Kant Varma. Improved behavioral modeling based on the input output buffer information specification[D]. North Carolina: North Carolina State University, 2007.
- [5] 王骥. 非理想逻辑输入对 IBIS 仿真的影响及改进方法[J]. 微电子学与计算机, 2008, 25(6): 82 - 85.
- [6] 周润景, 袁伟亭. Cadence 高速电路板设计与仿真[M]. 2 版. 北京: 电子工业出版社, 2007.

作者简介:

周博远 男, (1984 -), 硕士研究生. 研究方向为微电子与固体电子学。

于立新 男, (1967 -), 研究员. 研究方向为 SOC 开发及应用。

褚军舰 男, (1980 -), 高级工程师. 研究方向为 SOC 开发及应用。