

一种宽电源电压的高精度带隙基准电路的设计

周庆波, 龚 敏, 邬齐荣

(四川大学 物理科学与技术学院 微电子技术四川省重点实验室, 四川 成都 610064)

摘 要: 设计了一种宽电源电压的高精度带隙基准电路. 在综合考虑精度、电源抑制比(PSRR)、宽电源电压要求和功耗等因素的基础上, 采用了一种由基准电压偏置的, 增益和电源抑制比大小相近的运算放大器解决方案. 设计采用 CSMC 0.5 μ m CMOS 工艺, 电源为 3.3V. Cadence Spectre 仿真表明, 当温度在 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$, 电源电压在 2.56V~8V 时, 输出基准电压平均值为 1.290V, 变化 0.793mV, 有效温度系数为 3.72ppm/ $^{\circ}\text{C}$; 室温下, 在低频时具有 -97dB 的 PSRR, 在 100kHz 时为 -69dB , 功耗为 180 μ W.

关键词: 带隙基准; 运算放大器; 宽电源电压; 电源抑制比(PSRR); 温度系数

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2010)10-0128-04

Design of a High Precision Bandgap Voltage Reference with Wide Range of Supply Voltage

ZHOU Qing-bo, GONG Min, WU Qi-rong

(Microelectronics Technology Sichuan Key Laboratory,

School of Physical Science and Technology, Sichuan University, Chengdu 610064, China)

Abstract: A bandgap voltage reference circuit with wide range of supply voltage and high precision was designed in this paper. Based on the consideration of accuracy, power supply rejection ratio (PSRR), wide-range supply voltage and power dissipation, a method, in which a reference-voltage-biased operational amplifier had similar open-loop gain and PSRR, was proposed. The circuit was implemented in CSMC 0.5 μ m CMOS technology and operated with 3.3V supply voltage. The Cadence Spectre simulation results showed that the circuit had a V_{ref} of about 1.290V, a voltage swing of 0.793mV, a temperature coefficient of 3.72 ppm/ $^{\circ}\text{C}$ at 2.56V to 8V supply voltage from -40°C to 125°C , a PSRR of -97dB at low frequencies and -69dB at 100kHz at room temperature, and a power dissipation of 180 μ W.

Key words: bandgap reference; operational amplifier; wide range of supply voltage; power supply rejection ratio (PSRR); temperature coefficient

1 引言

随着集成电路的不断发展, 电路对精度的要求越来越高, 由于带隙基准电压源的输出电压与电源电压, 工艺参数和温度的关系很小, 所以被广泛应用于为电路提供稳定的参考电压. 在数模混合电路中, 噪声干扰使得电路必须具有高电源抑制比的能力, 特别是 DC-DC 电源芯片的输入电压在一个比较宽的范围, 要求 DC-DC 电源芯片中的基准需要在宽电源电压范围内精确和稳定.

目前许多文献[1-7]都提出了一些高精度, 高电源抑制比的参考电压的设计方案. 但是都没有同时考虑温度和电源电压变化时的基准电压的变化情况.

文中采用 V_{EB} 线性化技术实现温度补偿, 用 PMOS 电流源作调整管提高基准的 PSRR, 综合考虑精度、PSRR、宽电源电压要求和功耗等因素后, 采用了一种由基准电压偏置的, 增益和电源抑制比大小相近的运算放大器解决方案, 实现了一种宽电源电压的高精度带隙基准电压源.

2 带隙基准源的基本原理

带隙基准源的工作原理是采用正负两种温度系数的电压加权和来得到零温度系数的输出电压.图1给出了传统的带隙基准电压源的实现结构^[1],基准电压 V_{ref} 的表达式为

$$V_{ref} = V_{EB3} + \frac{R_2}{R_1} V_T \ln N \quad (1)$$

式中, V_T 是热电压, $V_T = KT/q$, N 是 Q_2 、 Q_1 发射极面积之比.

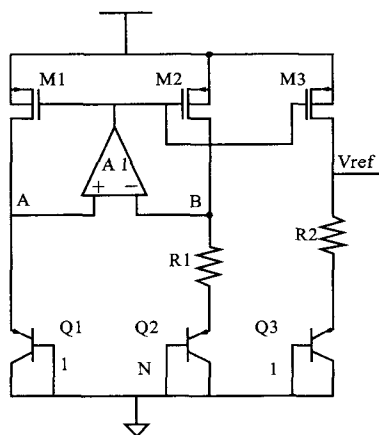


图1 传统的带隙基准电压源结构

传统的带隙基准有几个缺点:(1)精度不高。 V_{EB} 与 T 成非线性关系,而 ΔV_{EB} 与 T 是线性关系,两者的加权和只能抵消 V_{EB} 温度系数的线性部分,非线性部分依然存在,因此输出基准电压精度不高.目前可以通过基于不同温度系数的电阻实现二阶补偿, V_{EB} 线性化技术和双相时钟控制消除失调等方法来提高精度.(2)传统的带隙基准抑制电源的干扰能力较差.可以通过反馈技术,共源共栅电流镜和利用亚阈值 MOS 的栅源电压等方法来改善 PSRR.

本次设计,综合了 V_{EB} 线性化技术和反馈技术,通过基准电压偏置的运放,实现了一款宽电源电压的高精度带隙基准源.

3 电路设计

基于上面的考虑,文中提出图2所示的电路结构.其设计思想是,同时考虑温度和电源电压变化时,输出基准电压很稳定.

虚线框 a 中是调整管 M5,通过其栅压跟随电源电压变化来改善 PSRR^[3];虚线框 b 中是启动电路^[4];虚线框 c 中是 V_{EB} 线性化技术^[5]的实现电路,提高基准精度.运放 A1 由基准输出 V_{ref} 提供偏置,可以使基准在较宽的电源范围内都稳定.电流镜

M1~M4 要求有很好的电流复制作用,因此,通过大尺寸来减少沟道调制效应,通过精心设计版图使其完全匹配.

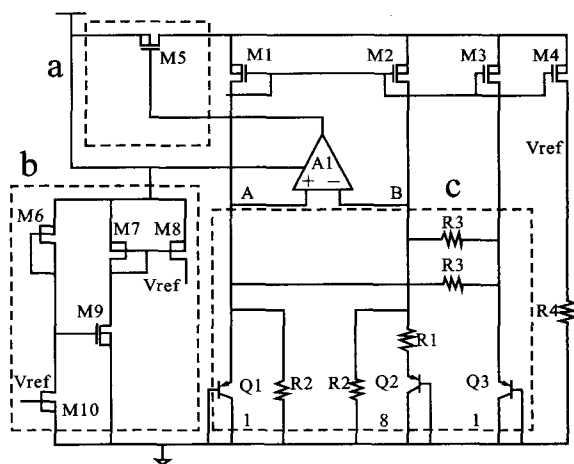


图2 本次设计的带隙基准源电路结构

3.1 PSRR 的改善

文献[3]提出,加入调整管后,如果运放的开环增益足够高,调整管的电流不随电源电压变化,从而实现高的电源抑制比.

本次设计也用了调整管,假设电源 V_{DD} 上有电压扰动 v_{dd} ,会导致运放 A1 的输出端(M5 的栅压)发生变化,从而调节流经 M5 管的电流.最终反馈电流将抵消 V_{DD} 上的电压变化.M5 管的电流变化可以表示为:

$$\begin{aligned} i_{m5} &= (v_{dd} - v_{dd} A_{V1} / pssr_1) g_{m5} \\ &= (1 - A_{V1} / pssr_1) v_{dd} g_{m5} \end{aligned} \quad (2)$$

其中 $pssr_1$ 是运放的电源抑制比, A_{V1} 是运放的小信号开环增益.

根据表达式(2),若 $A_{V1} = pssr_1$,则 $i_{m5} = 0$.即运放的开环增益和电源抑制比数值相等时,M5 管的电流会保持相对稳定而不随着电源电压的变化而变化,从而实现了高的电源抑制.相比文献[3],不只是要求运放的增益大,而且要和其电源抑制比相等.电路实现时不可能做到完全相等,因此,在保证宽电源电压的要求下,尽量使两者数值上接近.

3.2 宽电源电压的运算放大器

为了实现上述分析的运放,采用图3所示的运放结构,通过两级放大来提高开环增益,通过优化管子参数来使运放的开环增益和电源抑制比数值上尽可能相等.

考虑到差分放大器的共模输入电压为 0.7V 左右,所以第一级采用 PMOS 管输入的折叠式共源共栅运算放大器.第二级采用的是电流漏做负载的共

源级,来提高输出摆幅. 调零电阻 R_z 和补偿电容 C_m 用来改善运放的相位裕度. 图 3 中左边部分为偏置电路,由于运放采用的共源共栅结构,为了使电流有着非常好的镜像,偏置电路也采用这种结构. 其中

M21 的栅压 V_{b1} 为 M13 提供偏置; M18、M22 的栅压 V_{b2} 为 M7、M8 提供偏置; M31、M34 的栅压 V_{b3} 为 M5、M6 提供偏置; M35 的栅压 V_{b4} 为 M3、M4、M11 提供偏置.

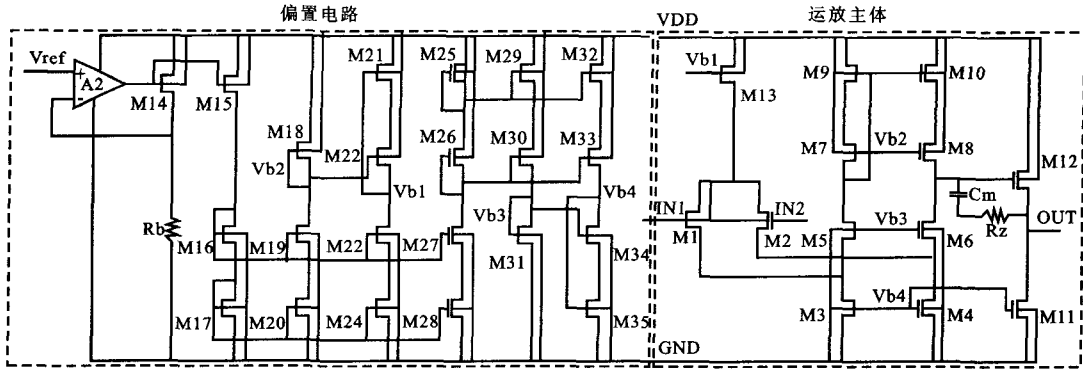


图 3 两级差分输入单端输出运算放大器

宽电源电压的基准通过宽电源电压的运放来实现. 其实现方法是增加一个电流产生电路,它由一个简单的运算放大器 A2,电阻 R_b 和 PMOS 管 M14 组成,产生的电流等于 V_{ref}/R_b . 电阻 R_b 采用多晶电阻,为了克服多晶电阻的工艺偏差, R_b 可以采用开关电容电阻,这可以使电阻做得非常精确. 这样整个运放和偏置电路的电流就由 V_{ref} 和 R_b 来决定. 输出基准 V_{ref} 随电源电压和温度的变化很小, 偏置电流 V_{ref}/R_b 可在较宽的电源电压范围内对运放提供稳定的偏置,因此带隙基准能工作在较宽的电源电压范围内.

电流产生电路结构简单,通过较少的面积和功耗,使得基准可以工作在较宽的电源电压范围内.

表 1 给出了不同电源电压下运放的性能参数. 可以看出,电源电压在 2.56V~8V 之间变化时,运放的开环增益和电源抑制比都足够高,且数值上很接近,满足本次设计对运放的要求.

表 1 不同电源电压下运放性能参数

电源电压(V)	2.56	3.3	5.28	8
开环增益(dB)	119	122	128	128
增益带宽积(MHz)	78	95	99	97
相位裕度(°)	76	77	73	69
电源抑制比(@DC,dB)	115	132	131	126

图 4 为电源抑制比曲线,根据文献[3]中的数据,可以作出点横线表示的 PSRR 曲线. 可以看出,电路中使用了调整管 M5 和图 3 结构的运放后,基准的 PSRR 得到了明显的改善. 低频时 PSRR 达到了 -97dB,在 100kHz 时为 -69dB.

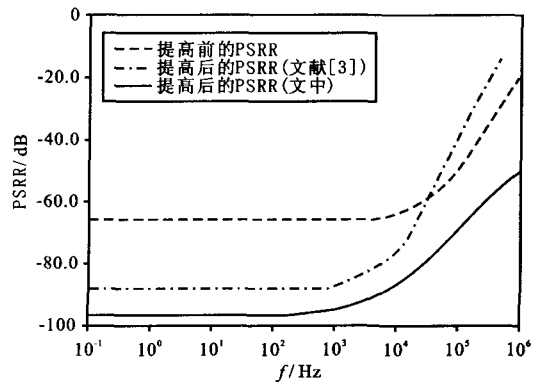


图 4 基准电压的电源抑制比曲线

3.3 启动电路

电路上电后,电路可能存在两种稳定的工作状态,一个是零电流工作点,一个是期望的正常工作点. 为了保证电路能够正常工作,需要设计启动电路. 图 2 中虚线框 b 构成启动电路^[4]. 工作原理是: 上电后,若电路处于零电流点,则电路中所有的 NMOS 管栅极都为 0,所有的 PMOS 管栅极都为 V_{DD} . 这样 M6 的栅极电压为 V_{DD} , M9 的栅极也是 V_{DD} , M9 导通,提供电流给 M7、M8 复制 M7 电流. 这样 V_{ref} 电压升高,电路离开 0 状态. 进入正常工作状态. 此时 M10 的 W/L 电压升高,使得 M10 导通, M10 的比较大,类似于小电阻, M6 的 W/L 比较小,类似于大电阻,这样分配在 M9 的栅极电压可以很小,使得电路正常工作时,启动电路关断.

4 仿真结果

采用 CSMC 0.5 μ m CMOS 工艺,电源为 3.3V,

使用 Cadence Spectre 进行仿真验证,室温下功耗为 $180.8\mu\text{W}$,电路的启动电压为 2.56V 。

图 5 表明,室温下,电源电压在 $2.56\text{V}\sim 8\text{V}$ 变化时,输出基准电压 V_{ref} 随电源电压逐渐增加,变化了 0.168mV 。图 6 给出电源电压为 2.56V 、 3.3V 、 5.28V 和 8V 时 V_{ref} 的温度特性曲线, V_{ref} 的平均值为 1.290588V 。 $V_{\text{DD}}=8\text{V}$, $T=97.9^\circ\text{C}$ 时, V_{ref} 出现最小值为 1.290253V ; $V_{\text{DD}}=2.56\text{V}$, $T=15.5^\circ\text{C}$ 时, V_{ref} 出现最大值为 1.291046V , V_{ref} 变化了 0.793mV ,可以计算出基准的有效温度系数为 $3.72\text{ppm}/^\circ\text{C}$ 。

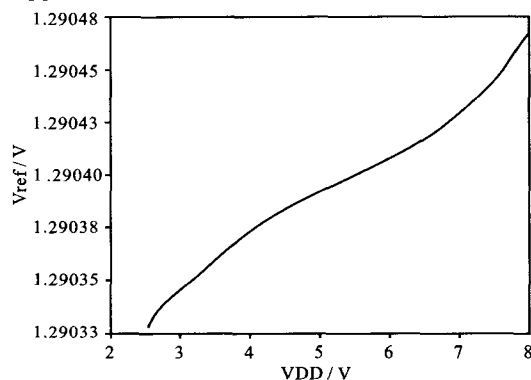


图 5 基准电压与电源电压的变化曲线

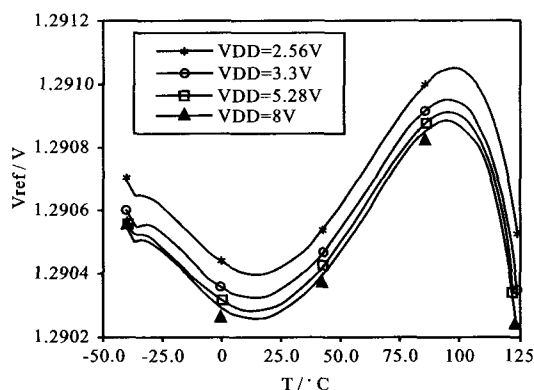


图 6 不同电源电压下的基准电压的温度特性

所以,通过使用增益和电源抑制比数值相近的运放,在同时考虑温度和电源电压变化时,输出基准电压较精确和稳定。

5 结束语

文中采用了一种由基准电压偏置的,增益和电源抑制比大小相近的运算放大器解决方案,实现了一款能工作在宽电源电压下的高精度高电源抑制比的带隙基准电压源。仿真表明电路在室温下功耗为 $180.8\mu\text{W}$,当温度在 $-40^\circ\text{C}\sim 125^\circ\text{C}$,电源电压在 $2.56\text{V}\sim 8\text{V}$ 时,输出基准电压平均值为 1.290588V , V_{ref} 摆动 0.793mV ,有效温度系数为 $3.72\text{ppm}/^\circ\text{C}$ 。在低频时具有 -97dB 的 PSRR,在 100kHz 时为 -69dB 。由于具有较高的稳定性和精度,文中设计的带隙基准电压源可以应用于宽电源电压输入的 DC-DC 电源芯片中。

参考文献:

- [1] Razavi B. Design of analog CMOS integrated circuits [M]. Boston: McGraw-Hill Companies, 2001: 345-404.
- [2] 盛庆华,张亚君,王红义. 一种线性补偿的带隙基准电路[J]. 微电子学与计算机,2007,24(1):169-172.
- [3] 何一卿,郭璐,郑方. 一种高精度高电源抑制的 CMOS 带隙基准[J]. 微计算机信息,2007,7(1):222-223.
- [4] Milan Savić, Vančo Litovski. Bandgap voltage reference in CMOS [C]// PROC. of Small Systems Simulation Symposium. Berlin Serbia & Montenegro, 2005: 55-58.
- [5] Leung K N, Mok P K T', Leung C Y. A 2V $23\mu\text{A}$ $5.3\text{ppm}/^\circ\text{C}$ curvature-compensated CMOS bandgap reference [J]. IEEE J Sol Sta Circ, 2003, 38(3): 561-564.
- [6] Malcovati P, Maloberti F, Fioocchi C, et al. Curvature-compensated BiCMOS bandgap with 1V supply voltage [J]. IEEE J Sol Sta Circ, 2001, 36(7): 1076-1081.
- [7] 石颖伟,韩良,王科. 一种 CMOS 工艺低电压隙基准源[J]. 微电子学与计算机,2008,25(5):185-188.

作者简介:

周庆波 男,(1985-),硕士研究生.研究方向为大规模集成电路设计。

龚敏 男,(1961-),教授,博士生导师.研究方向为宽禁带半导体材料、器件物理及工艺、集成电路。

郭齐荣 男,(1949-),副教授.研究方向为超大规模集成电路设计和应用。