

二分逼近结构的 GPS 码环鉴相器的设计与实现

周友宏, 毛志刚, 谢 憬

(上海交通大学 微电子学院, 上海 200240)

摘 要: 在 GPS 信号的跟踪过程中, 码环鉴相器的选择与实现对于系统来说有重要意义. 文中在分析研究几种不同鉴相器算法的基础上, 对最广泛使用的非相干超前减滞后算法的实现进行研究. 在一般的算法基础上提出一种二分逼近的鉴相器结构, 在相同的精度下, 面积和性能都有所改善.

关键词: 鉴相器; 二分逼近结构; 延迟锁定环

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2010)09-0162-03

Design and Implementation of the Discriminator with Half Approximation Structure in Code Tracking Loop for GPS

ZHOU You-hong, MAO Zhi-gang, XIE Jing

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: The election and implementation of the code discriminator is very important during the tracking process. This article study the implementation of the most common algorithm — noncoherent early minus late discriminator, based on the research of different algorithms for code discriminator. We propose a new algorithm — one half approximation structure for the code discriminator, under the same precison, requires less area and has superior performance.

Key words: discriminator; half approximation structure; delay lock loop

1 引言

在 GPS 信号^[1]的 C/A 码的跟踪过程中, 延迟锁定环鉴相器用来计算跟踪误差. 延迟锁定环所采用的鉴相器主要有四种, 这四种鉴相器各有特点. 文中对在实际中广泛使用的鉴相器算法的硬件实现进行研究, 得出一种面积和性能都有所提高的二分逼近鉴相器结构^[2].

2 常用延迟锁定环鉴相器算法

表 1 为延迟锁定环鉴相器常用的算法. 其中 $E = \sqrt{I_{ES}^2 + Q_{ES}^2}$, $L = \sqrt{I_{LS}^2 + Q_{LS}^2}$. I_{ES} 、 I_{PS} 、 I_{LS} 分别为本地超前 C/A 码、当前 C/A 码、滞后 C/A 码与 I 路信号相关值; Q_{ES} 、 Q_{PS} 、 Q_{LS} 分别为本地超前 C/A 码、当前 C/A 码、滞后 C/A 码与 Q 路信号的相关值.

表 1 常用延迟锁定环鉴相器算法

鉴相器算法	特 性
$\frac{1}{2} \frac{E-L}{E+L}$	被超前加滞后包络所归一化的 非相干超前减滞后包络
$\frac{1}{2} (E^2 - L^2)$	非相干超前减滞后功率
$\frac{1}{2} [(I_{ES} - I_{LS}) I_{PS} + (Q_{ES} - Q_{LS}) Q_{PS}]$	准相干点积功率. 使用 3 个相关器
$\frac{1}{2} (I_{ES} - I_{LS}) I_{PS}$	相干点积. 只能在载波处于相位 锁定时使用

在 4 种鉴相器算法中, 归一化的超前减滞后包络鉴相器因其输出误差在 1 个码片的范围内呈线性而得到广泛的采用, 虽然点积功率鉴相器的性能略优于它. 由于归一化的超前减滞后包络鉴相器的广泛采用, 文中主要针对这种鉴相器的实现方式进行讨论, 以期减少硬件资源的消耗, 提升系统的整体性能.

3 归一化的超前减滞后包络鉴相器的设计与实现

在归一化的超前减滞后包络鉴相器算法 $(E - L)/(2 * (E + L))$ 中, E 、 L 分别通过前面的公式计算出来,对于开根号的计算,在实际硬件中采用cordic算法实现,所以 E 、 L 都是正整数,这里要实现的鉴相器实际上是一种定点原码除法器,特殊的是这里的除数和被除数有一定的关系.下面就这个鉴相器的实现方法进行讨论.

3.1 普通除法器(恢复余数法)方法实现的鉴相器

普通除法器可以使用恢复余数法实现.恢复余数法的计算过程类似于手算的过程,计算机首先要通过将除数减除数,如果余数为正,说明够减,则商上1;如果余数为负,说明不够减,则商上0,还要把除数再加回去,恢复成原来的余数.这种结构的实现思想简单,并且一次的迭代可以得到一位的精度.

3.2 cordic 算法实现的鉴相器

cordic 算法^[3]在计算反三角函数得到很好的应用,同时,在一些特定的条件下,cordic 还可以用来计算定点除法,使用 cordic 算法来实现此鉴相器的具体原理如下:

$$x_{i+1} = x_i - 0 \cdot y_i \cdot d_i \cdot 2^{-i} = x_i$$

$$y_{i+1} = y_i + x_i \cdot d_i \cdot 2^{-i}$$

$$z_{i+1} = z_i - d_i \cdot 2^{-i}$$

$$\begin{cases} d_i = +1, & y_i < 0 \\ d_i = -1, & \text{otherwise} \end{cases}$$

一定次数的迭代后,将会得到如下的结果:

$$x_n = x_0$$

$$y_n = 0$$

$$z_n = z_0 + y_0/x_0$$

式中 x_0 、 y_0 、 z_0 为迭代初始输入.令 $z_0 = 0$ 则可以得到两个输入的商.在恢复余数的除法器实现方案中,要求两个输入同为正,在 cordic 方案中,只要求除数为正,刚好在这个鉴相器里输入满足此条件,cordic 算法的不足之处就是当输出结果的精度要求高时,即需要进行多次迭代时,输入的位宽需要得到一定的扩展才能达到精度要求.

3.3 二分逼近结构的鉴相器

文中提出的二分逼近结构鉴相器是不同于上面两种实现方式的一种新型结构.恢复余数法进行除法运算的缺点是不能预先知道商应该上0还是1,因此运算步骤不能预先确定,这样会使控制变得复杂.而

cordic 迭代的缺点就是输出位数要求很多时,数位的位宽要随之扩大.文中提出了二分逼近鉴相器结构,既能消除恢复余数除法的复杂的控制,又不需要象 cordic 那样扩展位宽,从而节省了硬件资源,提高系统性能.二分逼近鉴相器的工作原理^[4]如图1所示.

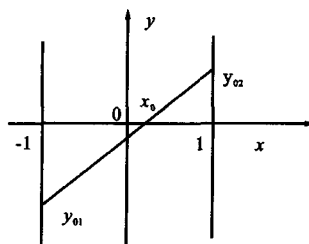


图1 二分逼近鉴相器原理图

在图1中,设连接 $(-1, y_{01})$ 与 $(1, y_{02})$ 的线段所在的直线是 $y = ax + b (a \neq 0)$,为了讨论的方便,先假设 $y_{01} \leq 0, y_{02} \geq 0$;由直线方程可以得到 $x_0 = (y_{01} + y_{02}) / (y_{01} - y_{02}) = -b/a$.令 $y_{01} = -E, y_{02} = L$,则 $x_0 = (E - L) / (E + L)$,添加一个系数即可得到鉴相器结果.迭代过程如下:

$$\begin{cases} x'_k = \frac{1}{2}(x_{k1} + x_{k2}) \\ y'_k = \frac{1}{2}(y_{k1} + y_{k2}) \end{cases}$$

$$y'_k < 0 \begin{cases} (x_{(k+1)1}, y_{(k+1)1}) = (x'_k, y'_k) \\ (x_{(k+1)2}, y_{(k+1)2}) = (x_{k2}, y_{k2}) \end{cases}$$

$$y'_k \geq 0 \begin{cases} (x_{(k+1)1}, y_{(k+1)1}) = (x_{k1}, y_{k1}) \\ (x_{(k+1)2}, y_{(k+1)2}) = (x'_k, y'_k) \end{cases}$$

$\therefore (x'_k, y'_k)$ 是 (x_{k1}, y_{k1}) 和 (x_{k2}, y_{k2}) 线段中点

$$\therefore |y_{k1}| \leq |y_{k2} - y_{k1}| = \frac{1}{2} |y_{(k-1)2} - y_{(k-1)1}|$$

$$(i = 1, 2)$$

$$|y_{ki}| \leq \frac{1}{2^k} |y_{02} - y_{01}|, \lim_{k \rightarrow \infty} y_{ki} = 0$$

$$\lim_{k \rightarrow \infty} x_{ki} = \frac{y_{ki} - b}{a} = -\frac{b}{a} = x_0$$

由于 $\lim_{k \rightarrow \infty} y_{ki} = 0$.为了不用很长的寄存器来保存

绝对值很小的 y_{ki} ,将迭代过程中的 $y'_k = \frac{1}{2}(y_{k1} + y_{k2})$ 替换成 $y'_k = y_{k1} + y_{k2}$,可得到相同的结果.最后证明,可以用 y'_k 的最高位序列来表示 x_0 ,从而省略上面迭代过程的 x_{ki} 寄存器. x_0 的二进制表示如下:

$$x_0 = \begin{cases} -1 + \sum_{n=1}^{+\infty} r_n \frac{1}{2^n}, & x_0 < 0 \\ \sum_{n=1}^{+\infty} r_n \frac{1}{2^n}, & x_0 \geq 0; (r_n = 0, 1) \end{cases}$$

当 $x_0 \geq 0$ 时, $x_{11} = 0, x_{12} = 1$; 当 $x_0 < 0, x_{11} = -1, x_{12} = 0$; 由于 x'_k 是 x_{k1}, x_{k2} 的中点, $|x'_k - x_{ki}| = \frac{1}{2^k}$, 可以得出如下的递推公式:

$$x_{21} = x_{11} + \beta_1 \frac{1}{2^1}$$

$$x_{31} = x_{21} + \beta_2 \frac{1}{2^2} = x_{11} + \beta_1 \frac{1}{2^1} + \beta_2 \frac{1}{2^2}$$

.....

$$x_{(k+1)1} = x_{k1} + \beta_k \frac{1}{2^k} = x_{11} + \sum_{m=1}^k \beta_m \frac{1}{2^m}$$

其中 $\beta_n = 0, 1$. 由迭代规则可知, 当 $y'_k < 0$ 时, 用 x'_k 取代 x_{k1} , 则 $\beta_k = 1$, 是 y'_k 的最高位; 当 $y'_k \geq 0$

时, 用 x'_k 取代 x_{k2} , 则 $\beta_k = 0$, 是 y'_k 的最高位. 而 $\lim_{k \rightarrow \infty} x_{k1} = x_0 = x_{11} + \sum_{n=1}^{+\infty} \beta_n \frac{1}{2^n}$, 所以 y'_k 最高位序列 $(\beta_1 \beta_2 \cdots \beta_n \cdots)$ 是 x_0 的二进制表示形式, x_0 的符号由 x_{11} 决定. 图 2 是使用 VCS 对二分逼近鉴相器测试的仿真结果(注: 结果有效位从 $i = 2$ 开始, 即图中虚线所示的时钟沿): 输入 $y_1 = -600 = -E, y_2 = 526 = L$; $[(600 - 526)/(600 + 526)] \times 2^{27} = 8820703$; 最后的计算结果为 $r_aprox[27:0]$ 一栏, 结果采用 2 进制显示, 为了和 ym 进行对比. 可以看出 ym 的最高位与最后实际结果之间的对应关系.

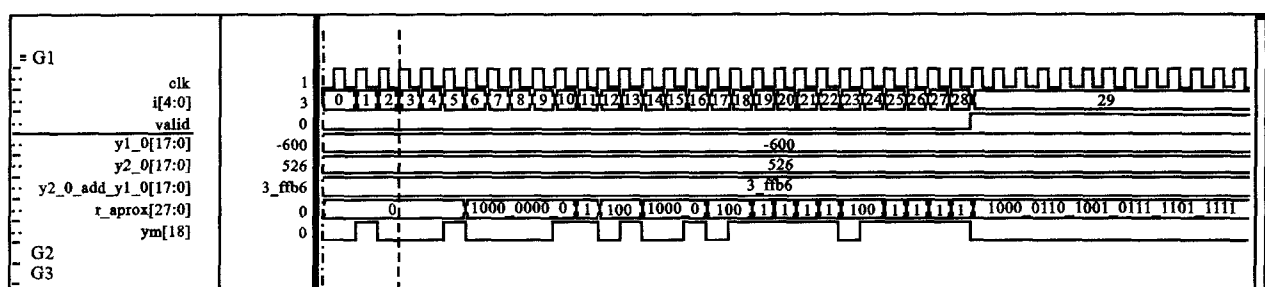


图 2 二分逼近鉴相器的仿真波形

4 实验结果及其比较

三种实现方案都用 verilog 实现, 用 VCS 完成功能仿真, 并使用 Design Compiler 进行综合分析. 综合生成的加法器都来源于 synopsys 公司提供的 designware 单元库. 表 2 为三种实现方案的结果比较. 由于二分逼近鉴相器采用了较少的加法运算, 所以面积和频率上较其余两种有很大的改进, 分别降低为普通除法器型鉴相器的 86.1% 和 cordic 算法型鉴相器的 66.1%, 时钟频率比 cordic 算法与普通除法器分别快 1.06 和 1.11 倍^[5].

表 2 三种鉴相器实现方案结果比较

	普通 除法器	cordic 算法	二分逼近 鉴相器
最短时钟周期(ns)	10	9.5	9.0
面积(μm^2)	1689.9	2199.7	1454.3

5 结束语

鉴相器的选择和实现是码跟踪环路里的重要的一个部分. 文中通过研究普通除法和 cordic 算法实

现的鉴相器的实现过程及其结构, 提出了一种二分逼近结构的鉴相器, 在面积和性能上都有所提升, 对整个系统的资源消耗和性能都有很大改善.

参考文献:

- [1] Elliott D Kaplan, Christopher J Hegarty. GPS 原理与应用 [M]. 2 版. 北京: 电子工业出版社, 2007.
- [2] 潘明, 许勇. 基于加减交替法除法器的 FPGA 设计与实现[J]. 微计算机信息, 2008, 24(9-2): 141-143.
- [3] Ray Andraka. A survey of CORDIC algorithms for FPGA based computers[J]. ACM, 1998, 145(3): 328-339.
- [4] 朱建银, 沈海斌. 高性能单精度除法器的实现[J]. 微电子学与计算机, 2007, 24(5): 106-108.
- [5] Michael D Cietti. Verilog HDL 高级数字设计[M]. 北京: 电子工业出版社, 2005.

作者简介:

周友宏 男, (1985-), 硕士研究生. 研究方向为 SOC.
毛志刚 男, 教授, 博士生导师. 研究方向为高速定制数字电路设计技术、信号处理器结构.
谢 懋 男, 讲师, 研究方向为数字、数/模混合信号 IP 及 SoC 架构的设计与验证.