

CCD 图像采集系统的低功耗流水线 ADC 设计

徐美华^{1,2}, 樊裕乐¹, 李 科²

(1 上海大学 微电子研究与开发中心, 上海 200072; 2 上海大学 机电工程与自动化学院, 上海 200072)

摘 要: 设计了一个适用于面阵 CCD 图像采集系统的 10 位、90MSPS 流水线 ADC. 通过采用低功耗动态比较器和省略输入级采样/保持模块使得该高速 ADC 具有低功耗的优点. 电路设计使用 Charter 0.35 μ m 3.3V 2P4M CMOS 工艺. 仿真结果表明: 90MHz 的采样速率、3.3MHz 正弦信号输入下, 该 ADC 模块具有 9.3bit 的有效分辨率, 最大 DNL 为 0.5LSB, 最大 INL 为 0.8LSB, 整个 ADC 功耗仅为 35.4mW.

关键词: CCD; 流水线 ADC; 动态比较器; 输入级采样/保持模块; 低功耗; 栅压自举开关

中图分类号: TN431.1

文献标识码: A

文章编号: 1000-7180(2010)07-0164-04

The Design of Low Power Dissipation Pipeline ADC in CCD Image Processor

XU Mei-hua^{1,2}, FAN Yu-le¹, LI Ke²

(1 Micro-electronic Research & Development Center, Shanghai University, Shanghai 200072, China;

2 School of Mechatronic Engineering and Automation, Shanghai University, Shanghai 200072, China)

Abstract: This paper presents design of a 10bit and 90 Ms/s pipeline ADC which is used in CCD image processor. Using Dynamic Comparator and omitting the input stage S/H (Sample and Hold), the ADC achieved the characteristic of low-power dissipation. The designed ADC is implemented in Charter 0.35 μ m 2P4M CMOS process technology. Simulating results indicate that it can achieve an ENOB (Effective number of bit) of 9.3 bit, a maximum DNL of 0.5 LSB, a maximum INL of 0.8 LSB for a 3.3MHz sinusoid input at 90MHz sampling rate. The total power consumption of the ADC core is only 35.4mW from a 3.3V supply.

Key words: CCD; pipeline ADC; dynamic comparator; input-stage S/H; low power dissipation; bootstrap

1 引言

近年来 CCD(Charge Coupled Device)制造工艺不断发展, CCD 图像采集系统成本逐渐降低、暗电流和像素点大小也不断减小. CCD 图像采集系统广泛应用于手机、摄像机等消费电子产品以及工业、医药和军事等高端应用领域^[1].

CCD 图像采集系统模拟前端工作流程如下: CCD 像素的 R、G、B 信号分量经相关双采样(CDS)滤除复位噪声提高信噪比, 再由增益可变放大器(VGA)根据光线情况调节放大倍数以增加信号动

态范围, 最后 R、G、B 信号分量经 MUX 选通后送到 ADC 进行转换. 文中设计了一款具有 10 位精度、90MSPS 采样速率和低功耗的流水线 ADC, 通过采用低功耗动态比较器及省略输入级采样/保持模块使得该高速 ADC 具有低功耗的优点. 该 ADC 能良好集成到具有 100 万像素的 CCD 图像采集系统, 使采集系统能每秒采样 30 帧且同时采集像素点中的 R、G、B 信号分量.

2 低功耗流水线 ADC 结构

采用流水线结构实现 CCD 图像采集系统的

ADC 是因为它是各种 ADC 结构中速度和精度最佳折衷^[2]. 流水线结构具有 FLASH ADC 相比拟的高速,但同等精度下功耗大大减小. CCD 图像采集系统的 ADC,对功耗、精度、速度要求都很高,流水线 ADC 结构是最佳选择.

文中设计的低功耗流水线 ADC 结构如图 1 所示. 共 9 级流水线单元,每级产生的 1.5 位数字量,经同步、数字纠错后输出 10 位数字量. 由于 CCD 采样系统在 ADC 前带有相关双采样模块(CDS),设计中省略了输入端采样/保持电路,在不削弱 ADC 性能情况下明显减小了功耗.

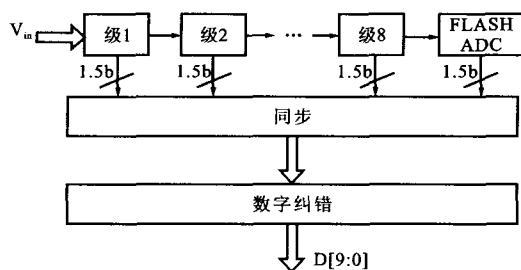


图 1 流水线 ADC 结构

3 流水线 ADC 关键模块设计

3.1 时钟产生模块

流水线 ADC 对于时序要求比较高,为了确保流水线 ADC 正常工作,即前后两级不同时工作在采样状态和保持状态,至少需要一对两相不交叠时钟. 文中设计的时钟信号电路如图 2 所示.

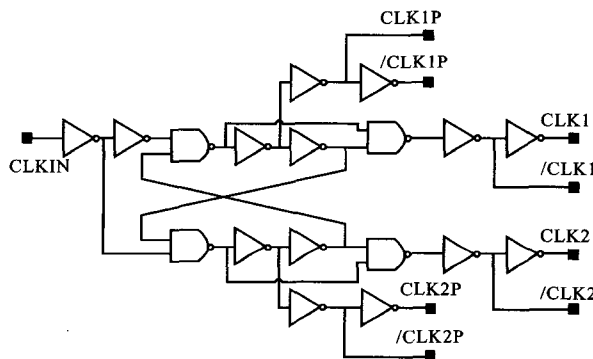


图 2 时钟信号电路图

CLK1、CLK2 为两相不交叠时钟以保证保持相位期间电荷不泄露. 电路图还引入了 CLK1、CLK2 的辅助时钟信号 CLK1P、CLK2P 以便采用底板板采样技术消除采样开关在关断时的电荷注入现象. 同时为了使用 CMOS 开关引入上述时钟信号反信号.

3.2 正反馈动态比较器

比较器是 SubADC 的核心模块,其速度和失调电压对整个 ADC 的性能有重要影响. 对于比较器而言,最重要的技术指标是失调电压、功耗和速度. 使用流水线结构使得模数转换器中比较器的个数大为减少,而数字纠正技术使得流水线模数转换器对比较器精度的要求大幅降低,每级中的比较器只需达到本级 SubADC 的精度要求即可. 因此,对于每级分辨率较低的流水线结构如 1.5bit 每级,可以使用动态比较器^[3]. 动态比较器的最大优点是没有静态功耗,面积小.

文中设计的动态比较器结构如图 3 所示. M5、M6 为比较器的输入晶体管, M1、M2、M10、M11 交叉相连,构成锁存结构. 当 clk 为低电平时, M9、M12 漏极被强制拉至高电平, 输出端 V_{out+} 、 V_{out-} 为低电平, 此时电路处于复位状态. 当 clk 为高电平时, 电路处于工作状态, 由于刚处于复位状态, M9、M12 漏极为高电平, 所以 M1、M2 工作在线性区. 若 $V_{in+} > V_{in-}$, 则 M6 较 M5 有更大的下拉电流, 使得 $V_{out+} = 1$ 、 $V_{out-} = 0$, 又通过时钟和 M1、M2、M10、M11 交叉相连的锁存结构构成的动态正反馈过程稳定了输出电压, 实现了电压比较的功能; 若 $V_{in+} < V_{in-}$, 反之亦然. 动态比较器的主要优点是延迟较小, 无直流功耗, 从而大幅降低了系统功耗.

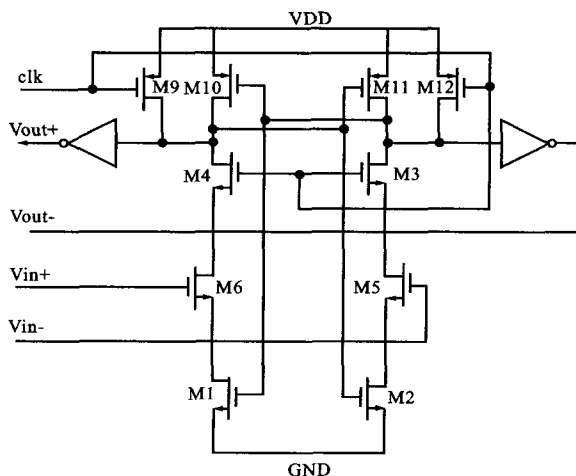


图 3 动态比较器电路图

3.3 高性能栅压自举开关

开关导通电阻的非线性会导致信号失真, 采样保持电路有严重影响. 导通电阻之所以随输入信号变化, 是因为时钟信号的高电平值是固定的, 当输入信号变化时, MOS 管的栅源电压发生了变化. 采用栅压自举技术可使 MOS 管栅极电位跟随输入信号

电压的变化,即栅源电压保持不变,从而使得导电电阻基本不受输入信号影响,避免了信号失真^[4].

改进后的栅压自举开关如图 4 所示,相比较传统的电路结构,该电路所实用的 MOS 管的数目更少,并且电路中所有的 MOS 管的极间电压都没有超过电源电压,因此该电路具有低成本、高可靠性的优点.

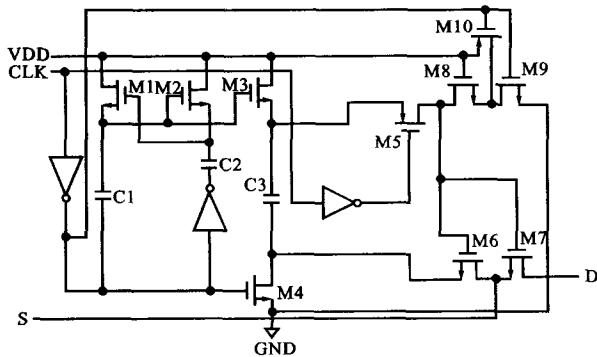


图 4 改进的栅压自举开关

图 4 中 M1、M2、C1、C2 和反相器 INV 构成电荷泵,完成电压倍增的功能。当 CLK 为低电平时, M9 导通,通过 M8 将开关管 M7 的栅极电压下拉为 0, M7 截止。此时, C3 被充电至电源电压 V_{DD} 。当 CLK 为高电平时, M5 的栅极电位为 0, M5 导通, C3 上的电荷就通过 M5 流到 M6、M7 的栅极, M6 导通,使得 M7 的栅极可以跟随源极电位的变化。M8 管起保护作用, M8 管的存在减少了截止阶段 M9 管栅漏两端承受的电压。

此外,该电路在设计时还必须考虑开关建立时间、灵敏度、版图面积等问题, MOS 管的尺寸和电容大小也是设计时需考虑的主要参数。由图 4 可知理想情况下 M7 导通时其栅极电位为 $V_{DD} + V_{in}$, 实际电路设计中假设非理想情况下 C_3 上极板相连的总寄生电容为 C_P , 根据电荷守恒定理, 导通阶段开关管 M7 栅极电位为:

$$V_{M7,g} = V_{in} + \frac{C_3}{C_3 + C_P} V_{DD} \quad (1)$$

由上式可知 C_3 的值越大, 开关管栅源电压越高, 导电电阻就越低, 但同时也占用更多的芯片面积, 设计时要在二者间平衡, 选取合适的值。M5、M6 直接影响开关的开启时间, 因此应取足够大的宽长比。但如果取得过大, 它们寄生电容的影响占主导地位会导致相反的效果。M8、M9 决定开关截止的速度, 也应该适当取较大值。本设计中综合考虑了失真和面积大小后取 C_3 为 0.5pF。

3.4 余量增益电路

余量增益电路(MDAC)是流水线 ADC 非常重要的部分, 作用有三点: ①采样保持功能。在采样相位期间 MDAC 对模拟输入信号准确采样并对采样结果进行保持, 即对连续信号离散化。②增益功能。为了使每级能使用同样的参考电压, 要对每级的余量乘以一个合适的因子。③减法功能。前一级的模拟输出值减去代表本级输入子 DAC 模拟模拟量输出求出本级余量^[5]。

由于余量增益电路的存在, 使得各级电路在信号处理过程中保持相互独立, 各级可以同时工作, 因而使得流水线 ADC 在每个时钟周期内都可以完成一次模数转换输出。余量增益电路的函数为:

$$V_{out} = \begin{cases} 2V_{in} - V_{ref+} & V_{in} \geq \frac{V_{ref}}{4} \\ 2V_{in} & -\frac{V_{ref}}{4} < V_{in} < \frac{V_{ref}}{4} \\ 2V_{in} - V_{ref-} & V_{in} \leq -\frac{V_{ref}}{4} \end{cases} \quad (2)$$

其中, V_{ref+} 和 V_{ref-} 为参考电压的, V_{in} 为上级流水线输入的模拟信号, V_{out} 为本级流水线中余量增益电路输出模拟信号。

根据以上算法设计的余量增益电路如图 5 所示, 图中 $V_{res[i-1]p}$ 与 $V_{res[i-1]n}$ 为上级流水线单元的差分余量输出, $V_{res[i]p}$ 与 $V_{res[i]n}$ 为本级输出的差分余量输出, $V_{dac[i]p}$ 与 $V_{dac[i]n}$ 为本级子 DAC 的差分输出, CP1 和 CP2 为两相不交叠的时钟, C_s 和 C_f 为大小相等的电容, OTA 为高增益跨导运算放大器。

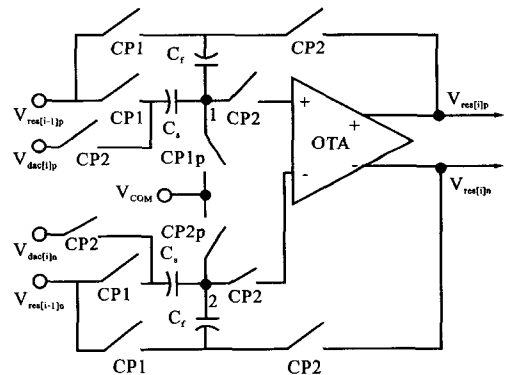


图 5 MDAC 单元电路图

4 版图及测试结果

版图设计采用 Charter 0.35 μ m 3.3V 2P4M CMOS 工艺, 图 6 给出了流水线级电路局部版图。使用 Cadence 公司 Dracula 工具进行 LPE(版图寄生参数提取), 得到加入寄生参数的网表文件并导入

Synopsys Hspice 软件进行仿真. 将仿真结果导入 MATLAB 运算后, 得到 ADC 的静态性能如图 7 所示.

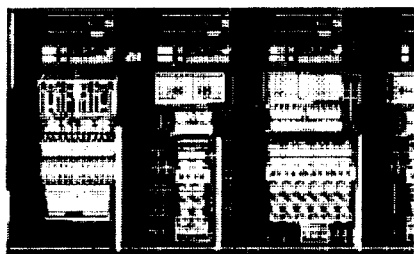


图 6 流水线级电路局部版图

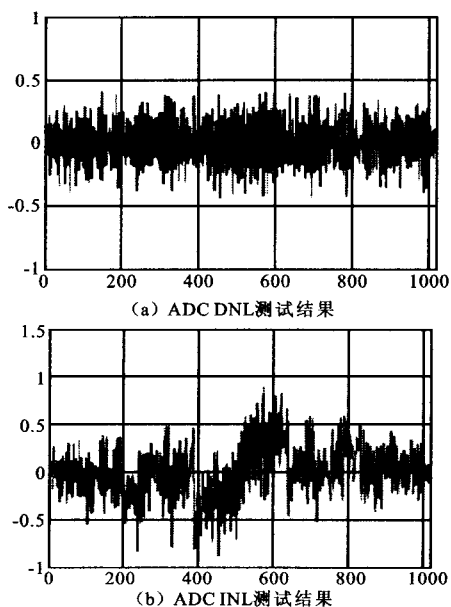


图 7 ADC 静态特性测试结果

从图 7 可以看到: 系统的 DNL 小于 0.5LSB, 满足 CCD 图像采集系统对于无缺码的要求, 同时 INL 值也在 0.8LSB 左右, 达到了良好的动态性能. Hspice 的输出文件显示: 10MHz 正弦输入信号下, 设计的流水线 ADC 功耗为 35.4mW.

5 结束语

文中设计了一款适用于 CCD 图像采集系统的高速、高精度、低功耗流水线 ADC. 通过使用了无静态功耗的动态比较器以及省略输入级采样/保持电路, 有效减小了 ADC 整体功耗和版图面积. 根据仿真结果证明, 整个 ADC 符合 CCD 图像采集系统的性能要求. 在未来的工作中, 考虑后级对于运放的要求逐步降低, 将进一步研究以等比例缩小的运放来减小系统的整体功耗^[6].

参考文献:

- [1] 佟首峰, 阮锦, 郝志航. CCD 图像传感器降噪技术的研究[J]. 光学计算机工程, 2000, 8(2): 140-145.
- [2] Miyazaki D, Furuta M, Kawahito S. A 75 mW 10 bit 120 MSample/s parallel pipeline ADC[C]// Proc. ESSCIRC. Italy, 2003: 719.
- [3] 殷湛, 郭立, 杨吉庆. 一种用于流水线 ADC 的高速电压比较器[J]. 微电子学与计算机, 2006, 23(2): 182-185.
- [4] Bogner P. A 28 mW 10-bit 80-MS/s pipelined ADC in 0.13 μm CMOS[C]// Proc. ISCAS2004. Atlanta, 2004 (1): 17.
- [5] 张凯, 周贵贤, 刘烨. 12 位 100MS/s ADC 中采样/保持电路的分析与设计[J]. 微电子学与计算机, 2007, 24(11): 8-14.
- [6] Arias J, Bisbal D, San Pablo J, et al. Low power pipelined ADC design for wireless LANs[J]. IEEE Journal of Solid State Circuits, 2004, 39(8): 1338.

作者简介:

徐美华 女, (1957-), 博士. 研究方向为包括高清晰度平板显示与应用集成技术、汽车电子和 IC 设计.

樊裕乐 男, (1984-), 硕士. 研究方向为数模混合信号 IC 设计.

(上接第 163 页)

- [6] Wang X, Wang Y, Wang L. Improving fuzzyc-means clustering based on feature-weight learning[J]. Pattern Recognition Letters, 2004, 25(10): 1123-1132.
- [7] Domeniconi C, Papadopoulos D, Gunopulos D, et al. Subspace clustering of high dimensional data[C]// Proc. of the Fourth SIAM Int. Conf. on Data Mining. California, 2004: 517-521.

作者简介:

王 慧 女, (1981-), 硕士研究生. 研究方向为数据挖掘.

申石磊 男, (1953-), 教授, 硕士生导师. 研究方向为计算机网络、机器学习.