

TFT-LCD 驱动芯片内置 SRAM 的低功耗设计

程 艳¹, 魏廷存², 李 峰²

(1 西北工业大学 软件与微电子学院, 陕西 西安 710072; 2 西北工业大学 计算机学院, 陕西 西安 710072)

摘 要: 内置 SRAM 是单片集成 TFT-LCD 驱动控制芯片中的图像数据存储模块. 针对内置 SRAM 的低功耗设计要求, 采用 HWD 结构和动态逻辑的字线译码电路, 实现了 1.8Mb SRAM 的低功耗设计. 电路采用 0.18 μ m CMOS 工艺实现, Hspice 和 Ultrasim 仿真结果表明, 与静态字线译码电路相比, 功耗减小了 20%; 与 DWL 结构相比, 功耗减小了 16%; 当访问时钟频率为 31MHz 时, SRAM 存储单元的读写时间小于 8ns, 电源峰值功耗小于 123mW, 静态功耗为 0.81mW.

关键词: TFT-LCD 驱动芯片; HWD; 动态逻辑; 字线译码电路

中图分类号: TN27; TN492

文献标识码: A

文章编号: 1000-7180(2010)09-0172-04

The Design of Low-power Embeded SRAM for TFT-LCD Driver IC

CHENG Yan¹, WEI Ting-cun², LI Feng²

(1 College of Software and Microelectronic, Northwestern Polytechnical University, Xi'an 710072, China;

2 College of Computer, Northwestern Polytechnical University, Xi'an 710072, China)

Abstract: The embedded SRAM is an important block for monolithic TFT-LCD driver IC used for storing image data. To meet the requirement of low-power, this paper presents a 1.8Mb HWD SRAM with dynamic word line decoder. Based on SMIC 0.18 μ m CMOS process, the designed SRAM is verified by Hspice and Ultrasim. The peak dynamic power dissipation of dynamic word line decoder decreases by 20% than that of static word line decoder. The peak dynamic power dissipation of designed SRAM decreases by 16% than that of DWL SRAM. The simulation results show that the reading and writing time are less than 8ns, dynamic peak power dissipation is less than 123mW and the static power dissipation is 0.81mW at the operating frequency of 31MHz.

Key words: TFT-LCD driver IC; HWD; dynamic logic; word line decoder

1 引言

由于具有亮度高、画质好、响应速度快和显示信息量大等优点, TFT-LCD (Thin Film Transistor-Liquid Crystal Display) 显示屏目前已成为彩屏手机的首选显示面板, 市场规模持续扩大^[1-2]. 随着手机屏幕尺寸的不断增大和分辨率的进一步提高, 对于存储像素图像信息的内置 SRAM 容量及功耗提出了更高的性能要求. 据统计, SRAM 占整个 TFT-LCD 驱动控制芯片功耗的 50% 以上, 因此 SRAM 的低功耗设计对降低 TFT-LCD 驱动芯片的功耗至

关重要^[2].

TFT-LCD 驱动控制芯片的内置 SRAM 通常设计为扁平状以对应其芯片整体外形特征, 方便芯片布局. 因此, 其高速低功耗设计多采用 DWL (Divided Word Line) 结构, 以减小字线负载, 提高读写速度. DWL 结构减少了每次访问 SRAM 所激活的存储单元数目, 从而降低了相应的动态功耗. 但是, 其控制电路占据芯片的面积会随着分块数量增加而急剧上升, 使得分块数量受到限制. 因此, 对于大容量 SRAM, 即使采用 DWL 结构后, 其划分的子块容量仍较大, 不能有效减小字线的负载. 传统的 DWL 结

收稿日期: 2009-06-08; 修回日期: 2009-09-18

基金项目: 陕西省重大科技创新项目(2007ZKC02-01)

构将不能满足大容量 SRAM 的高速低功耗设计,且随着工艺尺寸的不断减小,SRAM 的静态功耗所占比例越来越大^[3-4].

文献[5]提出了一种 HWD(Hierarchical Word Decoding)结构,它是以增加芯片面积为代价,有效解决了大容量 SRAM 字线负载太大的问题.然而 HWD 结构中,由于字线译码电路多为静态逻辑实现,在未被选中的字线译码电路中,输入地址的变化仍会造成其电路内部结点的翻转,产生不必要功耗.

文中在 HWD 结构的基础上,采用动态逻辑实现字线译码电路,其优点是:(1)比静态逻辑实现的字线译码电路功耗更小^[6];(2)在未被选中的字线译码电路中,可以由时钟信号来屏蔽输入地址变化造成的电路内部结点翻转,从而进一步降低功耗.

2 存储器结构

单片集成 TFT-LCD 驱动控制芯片“龙腾 T4”,是用于驱动 3G 手机 TFT-LCD 显示屏的数模混合

信号芯片,其分辨率是 $240\text{RGB} \times 432$,要求内置 SRAM 的容量为 $240 \times 432 \times 18\text{bit} = 1.8\text{Mb}$.

为了方便芯片布局和版图设计,通常将内置 SRAM 分为两个完全相同的子模块:LSRAM 和 RSRAM,由外部的 MPU 分别进行控制.为了简单起见,文中只讨论 LSRAM 的设计.图 1 所示为 LSRAM 的结构框图,其内部阵列为 288 行、 180×18 列. LSRAM 的内部划分为 4 个相同的 BANK,由列地址 $\text{COL_ADDR} < 0 >$ 和 $\text{COL_ADDR} < 1 >$ 寻址.文中设计的 SRAM 结构,为了减少互连线引起的延迟进而提高读写速度,采用每两个 BANK 共用一个控制器,具体结构如图 1 所示.控制器产生相应的使能信号控制行列译码电路和预充及读写电路.文中采用四字为单位进行读写的,所以每个 BANK 又分为 4 个 BLOCK.每个 BLOCK 对应四字中的一个字,由读写四字选择信号 $\text{WORD_SEL} < 3:0 >$ 进行选择. BLOCK 中包含第二级字线译码电路和 12 列字阵列,由 $\text{COL_ADDR} < 5:2 >$ 进行地址译码.

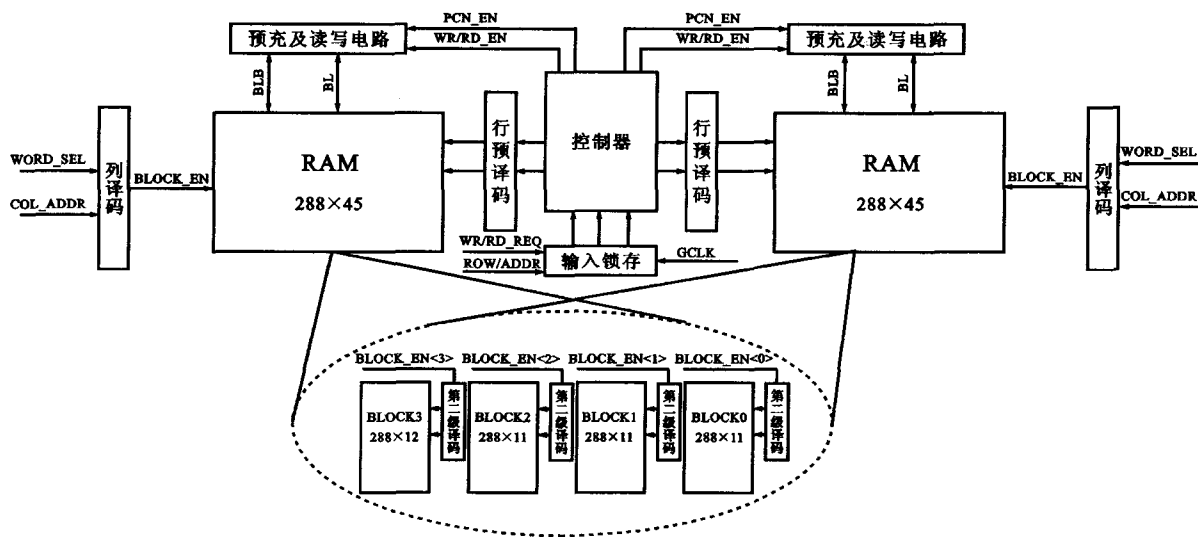


图1 LSRAM 的结构框图

3 字线译码电路的结构及时序

3.1 字线译码电路的结构

基于 HWD 结构,文中采用二级译码,这样有利于减少逻辑扇入扇出数和门延时.传统的一级译码函数可用式(1)表示,二级译码函数可用式(2)表示.如图 2 所示,第一级为预译码,由控制器产生的 RDEC_EN 作为时钟信号对其进行控制.由 $\text{ADDR} < 2:0 >$ 和 $\text{ADDR} < 5:3 >$ 分别作为两个 3-8 译码器的输入, $\text{ADDR} < 8:6 >$ 作为一个 3-5 译码器的输入,依次译出低、中、高地址 $L < 7:0 >$ 、 $M <$

$7:0 >$ 、 $H < 4:0 >$ 送入第二级.第二级放在 BLOCK 内部,低、中、高地址作为四个 64 位译码器和一个 32 位译码器的输入产生 288 位字线选择信号.由 $\text{BLOCK_EN} < 3:0 >$ 分别作为 4 个 BLOCK 的时钟信号对其进行控制.

$$\text{WL}_0 = \text{A0A1A2A3A4A5A6A7A8} \quad (1)$$

$$\text{WL}_0 = (\text{A0A1A2}) \cdot (\text{A3A4A5}) \cdot (\text{A6A7A8}) \quad (2)$$

3.2 字线译码器的时序设计

为了提高 SRAM 的速度,将其全局时钟 GCLK 的一个周期划分为:读周期和写周期.第一级译码电路的时钟信号 RDEC_EN 由 READ_REQ 或

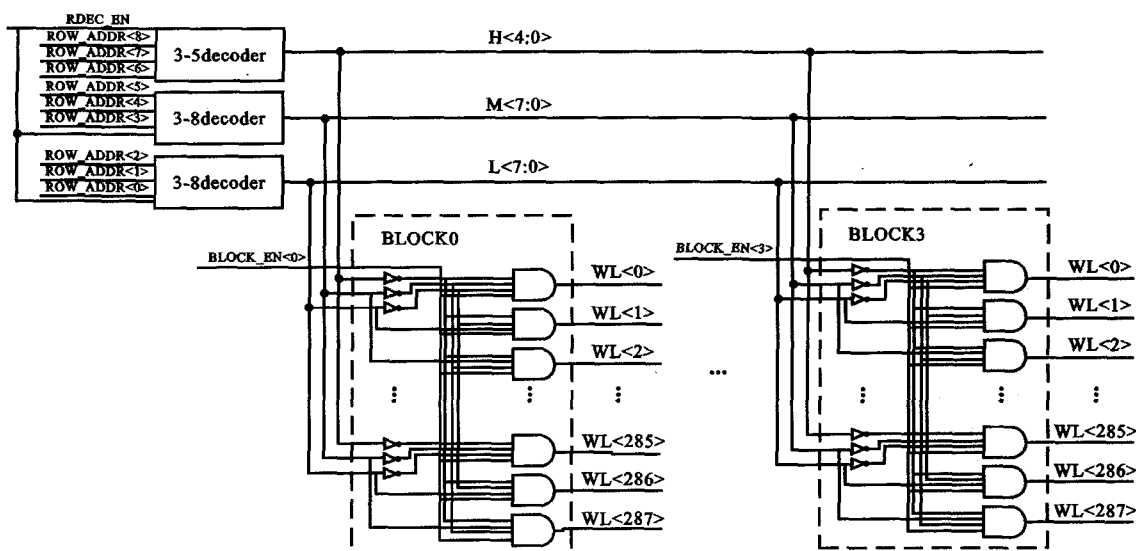


图2 字线译码器结构

WRITE_REQ 分别在 GCLK 的上升沿或下降沿触发。第二级译码电路的时钟信号 BLOCK_EN 则由四字选择信号 WORD_SEL<3:0> 和列选择信号 CDEC_EN 通过与操作来产生。文中译码电路基于动态逻辑实现,由各级使能信号作为时钟信号对其进行预充、求值操作。由于动态逻辑门必须先预充再求值,所以要求 RDEC_EN 和 BLOCK_EN 在 GCLK 到来之后,先用低电平预充再用高电平求值。

另外,还需考虑延时影响。第一级地址的输入到第二级地址译码输入之间存在不可忽略的延时,其主要包括第一级译码的逻辑延时 T_{delay} 和两级译码之间的传输延时 $T_{w,\text{delay}}$ 。文中将其最大寄生延时作为设计指标,以获得较大的设计裕度。因此,作为第二级译码器时钟信号的 BLOCK_EN 必须在地址数据稳定之后求值。如图 3 所示, BLOCK_EN 至少要比 RDEC_EN 信号滞后 $T_{\text{delay}} + T_{w,\text{delay}}$,才能使第二级正确译码。

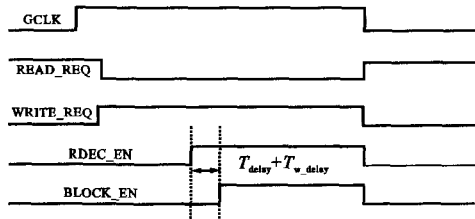


图3 两级译码时钟信号的时序

4 字线译码电路实现

4.1 时钟信号的实现

两级译码电路中分别由 RDEC_EN 和 BLOCK_EN 作为第一、二级译码的时钟信号,与只使用一

个时钟信号的译码电路结构相比,具有较小的电容负载和延时。由 COL_ADDR<0> 和 COL_ADDR<1> 译出 BANK 使能信号,和 READ_REQ (WRITE_REQ) 进行与逻辑运算,生成读使能信号 RD_EN (写使能信号 WR_EN),然后再和时钟信号进行与操作得到 RDEC_EN。BLOCK_EN 信号由列译码使能信号 CDEC_EN 和四字选择信号 WORD_SEL 相与产生。

4.2 动态逻辑与门设计

译码器的延时主要由地址的建立时间和地址译码后驱动字线所需要的时间组成。第一部分延时主要由两方面因素决定,即缓冲器的驱动能力和地址线上的负载电容,即译码器输入 MOS 管的栅电容和地址线上的分布电容^[7]。动态逻辑译码器与传统的静态逻辑译码器相比,前者地址线上的负载电容相当于后者的 1/2,从而提高了译码速度。由于动态逻辑门在理想情况下电源和地之间不存在任何静态电流路径^[8],因此由其实现的译码器可以大大降低静态功耗。文中第一级译码和第二级译码均采用动态逻辑,但是为了使动态逻辑能够正常工作,还必须考虑电荷泄漏,电荷分享,电容耦合,以及时钟馈通。文中采用的多米诺与门包含了 Keeper 电路,具体结构如图 4 所示。即在输出到内部结点的反馈回路上放置了一个弱的 PMOS。弱 PMOS 的 W/L 尺寸一般很小,会给输出反相器增加明显的负载,增加输出延时。为了解决这个问题,在反馈回路中使用两个晶体管,其中一个晶体管被反相器输出驱动,而且是一个最小尺寸的管子,不会给反相器增加明显的负载。第二个管子是一个长沟道管子而且总是导通的,可

以使补充电流的强度得到控制,从而提高了整个与门的速度.

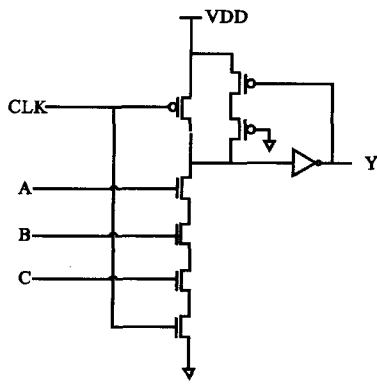


图 4 三输入与门电路

5 仿真结果与讨论

采用 SMIC 0.18 μ m CMOS 工艺实现,通过 Hspice 和 Ultrasim 进行仿真验证.在电源电压为 1.8V,温度为 25 $^{\circ}$ C,工艺角为 TT 条件下,分别对静态、动态译码电路进行 Hspice 仿真,其功耗波形如图 5 所示. Powers 为静态译码电路的功耗,Powerd 为动态译码电路的功耗.与静态译码电路相比,动态译码电路的峰值功耗减小了 20%,静态电流减小了 95%,获得了在相同性能下更小的功耗指标.

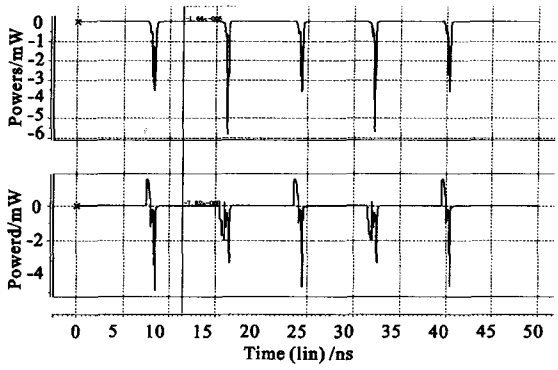


图 5 静态译码器和动态译码器的功耗仿真波形

用 Ultrasim 对整体 SRAM 进行仿真表明,SRAM 存储单元的读写时间小于 8ns.与采用 DWL 结构相比,HWD 结构有效减小了字线负载,使峰值功耗减小了 16%,静态电流减小了 34%.电源电流及其功耗参数的仿真结果如表 1 所示.

表 1 电流及功耗参数的仿真结果

	静态电流/ μ A	峰值电流/ μ A	峰值功耗/ μ W
动态译码器	0.076 μ	2.56	4.61
静态译码器	1.66 μ	3.23	5.81
(文中)SRAM	0.81m	68.27	122.88
(DWL)SRAM	1.23m	81.48	146.66

为了减少译码电路中逻辑门的扇入数和延时,在静态译码电路中使能信号并不控制所有的逻辑门.在未被选中的译码电路中静态逻辑门会随输入地址变化而翻转,产生不必要的功耗.而动态译码电路中时钟信号控制所有的动态逻辑门,在未被选中的译码电路中,时钟信号屏蔽了动态逻辑门随输入地址变化而翻转,从而节省了功耗.该功耗在整个 LSRAM 的功耗中所占比重,与整个 SRAM(SRAM 的容量一定前提下)划分的块数成正比关系.由于文中只划分四块,所以在本设计中的比重并不是很显著.但是随着未来存储容量的增大和块数的增加,将对整个存储器的功耗产生显著的影响.

6 结束语

文中从 TFT-LCD 驱动控制芯片内置 SRAM 的低功耗设计要求出发,采用 HWD 结构有效的降低了峰值功耗.字线译码电路由动态逻辑实现,获得了在相同性能下更小的功耗.仿真结果表明,设计的电路功能正确,有效的降低了 SRAM 功耗,实现了低功耗设计.该内置 SRAM 电路已成功应用于自主研发的单片集成 LFT-LCD 驱动控制芯片(“龙腾 T4”)中.

参考文献:

[1] 岳帮辉.手机用 TFT-LCD 驱动芯片内置 SRAM 的研究与设计[J].液晶与显示,2006,21(5):565-570.

[2] 任光,叶斌,杨大春,等.数字 TFT-LCD 驱动电路试验研究[J].液晶与显示,2006,21(7):87-125.

[3] Kursun V, Friedman E G. Node voltage dependent sub-threshold leakage current characteristics of dynamic circuit [C]// Proceeding of the IEEE/ACM International Symposium on Quality Electronic Design. Japan: Tokyo, 2004: 104-109.

[4] Kiyoo Itoch Kenichi Osada. Reviews and Future Prospect of lower-voltage embedded RAMS[C]/ IEEE 2004 custom intergrated circuit conference. USA: Pasadena, 2004: 339-344.

[5] Toshihiko Hirotsada Kariyama. A 20ns 4Mb CMOS SRAM with hierarchical word decoding architecture[C]// 1990 IEEE International Solid state Circuit Conference. San Francisco,1990.

[6] Sayeed A Badrudduza, Lawrence T Clark. Lower-power dynamic memory word line decoding for static random access memories[J]. IEEE journal of solid-state circuits, 2008(43):2524-2532.

表 4 综合结果

Time	Data required time	Data arrival time	slack
	2.34	2.34	0.00
Library	ports	nets	cells
Used	261	633	373
Area	Combinational area	Noncombinational area	total
/μm ²	46346.535	13348.870	59695.574

5 结束语

文中通过对 P. P. Tang 提出的基于查找表的多项式拟合算法改进,得到一种满足 ALtiVec 技术的 2^x 运算的实现方法.该设计满足了西北工业大学自主设计的“龙腾 R2”处理器 266MHz 的时钟要求,可在一拍内完成四个并行的单精度数据的指数运算, FLOPS 高达 1G,而电路面积只有 59696μm².

参考文献:

[1] 刘华平. 高性能附点除法与基本函数功能部件的研究 [D]. 北京:中国科学院,2003.
[2] 吉伟,黄巾,杨靓,等. 基于 FPGA 的 32 位浮点加法器的

设计[J]. 微电子学与计算机,2008,25(6):209-211.
[3] 谷理想,孙锋,于宗光. 一种 43 位浮点乘法器的设计[J]. 微电子学与计算机,2009,26(6):21-24.
[4] 潘洪亮. 浮点指数类超越函数的运算算法研究与硬件实现[D]. 西安:西北工业大学,2006.
[5] Ping Tak Peter Tang. Table - driven implementation of the exponential function in IEEE floating - point arithmetic [J]. Argonne National Laboratory, 1989, 15(2): 144 - 157.
[6] Ping Tak Peter Tang. Table - lookup algorithms for elementary functions and their error analysis[R]. Argonne National Laboratory. IL60439 - 4801:232 - 236.
[7] Cody W, Waite W. Software manual for the elementary functions[M]. Boston: Prentice - Hall, Englewood Cliffs, 1980.

作者简介:

高建波 男,(1982-),硕士研究生.研究方向为专用集成电路设计、微处理器体系结构.
张盛兵 男,(1968-),教授,硕士生导师.研究方向为计算机体系结构、VLSI 系统设计.
黄小平 男,(1980-),讲师.研究方向为专用集成电路设计、VLSI 系统设计.

(上接第 175 页)

[7] 叶青华,陈一辉. 一种 512Kbit 同步高速 SRAM 的设计 [J]. 固体电子学研究进展,2004,24(3):355-358.
[8] Jan M Rabaey, Anantha chandrankasan. Digital integrated circuits - a design perspective[M]. 2 版. 北京:电子工业出版社,2004:208-209.

作者简介:

程 艳 女,(1984-),硕士研究生.研究方向为计算机体系结构及 ASIC 系统设计.
魏廷存 男,(1960-),教授,博士生导师.研究方向为数模混合信号 VLSI 设计技术以及平板显示驱动芯片技术等.
李 峰 男,(1978-),博士研究生.研究方向为片上系统与可重构计算.