

基于 Verilog 的有限状态机设计与优化

孔 昕, 吴武臣, 侯立刚, 周 毅

(北京工业大学 电控学院 集成电路与系统集成实验室, 北京 100124)

摘 要: 研究了不同的状态机编码(二进制、格雷码、独热码)和不同的状态机描述方式(one always, two always, three always)的优点和缺点, 并分析了他们对有限状态机性能的影响. 分别使用 Xilinx ISE 和 Design Compiler 对一个实例进行了综合, 分析了其面积、速度和功耗的信息. 结果表明, one always 的写法需要被摒弃; two always 的编码风格适合 Moore 型状态机; 而 three always 的编码风格适合 Mealy 型状态机. 同时也给出了适合不同设计的最优状态编码.

关键词: Verilog; 有限状态机; 编码风格; 优化

中图分类号: TP312

文献标识码: A

文章编号: 1000-7180(2010)02-0180-04

Verilog Design and Optimization of FSMs

KONG Xin, WU Wu-chen, HOU Li-gang, ZHOU Yi

(VLSI & System Laboratory, College of Electronic Information and Control Engineering,
Beijing University of Technology, Beijing 100124, China)

Abstract: Based on an example, the character of different FSMs coding style (one always, two always, three always) and different state encoding (Binary - code, Gray - code, One - hot code) is introduced; their effect on performance and reliability of FSMs is analyzed. Then, the area, speed and the power result of Xilinx ISE synthesis and Design Compiler synthesis is given to analyze the best coding style. That is one always style should be abandoned; two always style suit to Moore FSMs; three always style suit to Mealy FSMs. And the state encoding which appropriate to the design is given.

Key words: Verilog; FSMs; coding style; optimize

1 引言

在集成电路的设计过程中, 不论是使用 FPGA 还是 ASIC 来实现, 有限状态机经常是作为一个电路设计的关键部分而出现的^[1-2]. 状态机的功能是否完善(是否强壮型)对整个电路会产生重大的影响.

有限状态机主要有两种类型: Moore 型状态机和 Mealy 型状态机. Moore 型状态机是指输出只与当前状态有关, 与输入信号无直接关系. 而 Mealy 型状态机的输出不只与当前状态有关, 还与输入信号有关^[3].

文中以目前常用的硬件描述语言 Verilog HDL

为基础, 对不同的状态机编码类型和状态机描述风格对状态机性能的影响进行了深入的分析. 分别使用 Xilinx ISE 和 Design Compiler 对实例进行了综合, 分析了面积、速度与功耗的信息, 给出了对于不同类型状态机的最佳编码风格.

2 状态机编码

状态的编码方式最常用的有二进制码、格雷码和独热码三种, 不同的状态机编码方式对状态机的影响非常大^[4]. 如表 1 所示.

二进制的编码从第一个状态到最后一个状态是按二进制码的顺序排列的, 是一种最普通的编码方式.

表1 不同的编码比较

十进制码	Binary code	Gray code	One-hot code
0	000	000	0001
1	001	001	0010
2	010	011	0100
3	011	010	1000

使用格雷码进行状态的变换时,相邻状态转换只有一个状态位发生翻转.这样就消除状态转换时由多条状态信号线的传输延迟所造成的毛刺,大大地减少了由一个状态到下一个状态时逻辑的混淆又可以降低功耗.

one-hot 状态译码简单,只有1位是1其他位为0,易于修改,可以减少组合逻辑,但会使用更多的触发器,增加电路面积.

Binary-code、Gray-code 编码使用最少的触发器,较多的组合逻辑,而 One-hot 编码反之.

因此,Binary 和 Gray-code 适用于触发器资源较少,组合电路资源丰富的情况(CPLD),对于 FPGA 则更适用 One-hot code,因为这样可以充分利用 FPGA 丰富的触发器资源.另外,小型设计通常使用 Binary-code 和 Gray-code,对于大型的设计使用 One-hot code 效果更佳^[5].

3 状态机的描述方法

状态机的描述方法通常有三种:一段式(one always)、二段式(two always)和三段式(three always).

3.1 一段式

一段式的状态机描述方法是指将整个状态机写到一个 always 模块里,该模块描述当前状态转移,又描述状态的输入和输出.

由于一段式的描述方法是给 STATE 自身赋值,所以本身就会引入一个周期的延时,需要在设计中通过“预计算”考虑进去.

一段式的描述方法所有输出都是寄存器输出的,因此不会产生毛刺,但是这种组合逻辑和时序逻辑都写到一起的方法是不可取的,而且在描述当前状态的时候还要考虑到下一状态的输出.这种描述方法可读性差、难于理解和维护,不利于时许约束、功能更改及调试,对于 Mealy 型的状态机来说,容易出现 Latches.

3.2 二段式

二段式的状态机描述方法是指使用两个 always 模块,其中一个 always 模块采用同步时序的方式描述当前状态和下一状态的转移,另一个 always 模块采用组合逻辑来描述下一状态和输出向量的赋值.

二段式的描述方法比一段式的更合理,它更易于阅读、理解和维护,更利于综合并优化代码.但是它的缺点是第二个 always 块组合逻辑的输出会出现毛刺,影响电路性能.

3.3 三段式

三段式的状态机描述方法是由二段式发展而来的,在二段式两个 always 的基础上又增加了一个 always 块来描述每个状态的输出,用寄存器寄存了一拍,达到同步输出的目的.

需要注意的是,增加的一级寄存器会引入一个周期的延时,需要在设计中通过“预计算”考虑进去,避免逻辑发生错误.这样一级寄存器的引入,也就形成了 FSMs 输入逻辑的一级流水.

引入了组合逻辑寄存,输出同步不仅会带来运行性能的提升,还会增加系统的稳定性,防止输出信号出现毛刺,防止组合回路的产生.

4 实例分析

下面以一个简单红绿灯状态转移为例进行分析,当 RESET 信号给出以后进入 IDEL 状态,之后进入 RED 状态,之后进入 GREEN 状态,之后进入 YELLOW 状态,最后回到 RED 状态.Default 时进入 IDEL 状态.状态流程图见图1.

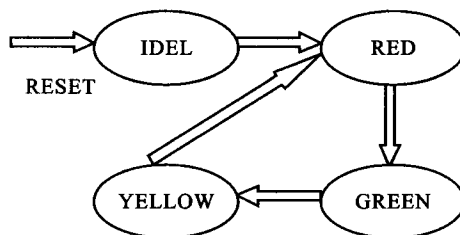


图1 红绿灯的状态流程图

4.1 使用 Xilinx ISE 进行分析

在使用 Xilinx ISE 对例子进行综合的时候,右键点中综合软件,选属性选型,在 HDL Options 中有一个优化选项为 FSM Encoding Algorithm,在其下拉菜单中选中 AUTO(默认项),工具就可以自动修

改设计中的状态机的状态编码,使其成为对 FPGA 来说最优的编码风格。

对于本设计来说,由于只有 4 个状态,所以状态编码被优化成了 Gray-code.但是经过验证,在状态较多的状态机设计中,状态编码一般都被优化成 One-hot code.

通过表 2,对 Xilinx ISE 的综合后报表进行分析可以看到,由于 one always 的状态机全部为时序电路,所以最大频率会比 two always 和 three always 大。

在面积方面, two always 型的状态机所占面积最小, three always 稍大,而 one always 型的状态机所用门数最多,所占面积也最大。

对于功耗来说,使用 Xilinx ISE 集成的 Xpower 进行功耗分析,所得到的三种状态机编码风格的功耗并不存在明显差异。

表 2 Xilinx ISE 的综合结果

	使用门数	最大频率
one always	85	313.283MHz
two always	43	312.891MHz
three always	67	312.891MHz

4.2 使用 Design Compiler 进行分析

在使用 Design Compiler 对所举实例进行分析时,分别选取了 1always&binary、1always&one-hot、2always&binary、2always&one-hot、3always&binary、3always&one-hot 等 6 种设计,每个设计分别设定了 2 个时钟周期(5.5ns 和 7ns)进行分析.综合得到的面积和延时的结果按顺序标在图 2、图 3 中.表 3、表 4 给出了详细的数据。

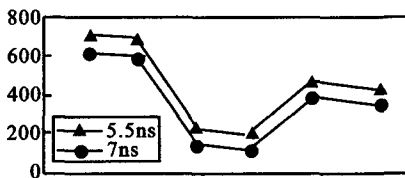


图 2 Design Compiler 综合得到的面积(μm²)

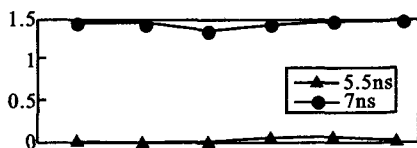


图 3 Design Compiler 综合得到的延时(ns)

由图 2 可见, 2always 在面积上具有明显优势,

其次是 3always. 由图 3 对时序的分析可见, 2always 也是具有一定的优势。

比较使用 Design Compiler 和 Xilinx ISE 的综合结果可以发现, 不论是使用 FPGA 还是 ASIC, two always 所占面积总是最小的, 其次是 three always, 而 one always 所占面积最大. 这主要是由于 one always 的状态机全部为时序电路, 所以花费的面积最大, three always 由于多采用一级寄存器同步, 所以所花费的面积比 two always 的要大一些。

5 比较分析

通过以上分别使用 Xilinx ISE 和 Design Compiler 对实例进行的分析, 可见 two always 的编码风格存在巨大的优势. 因为 Moore 型的状态机输出只有状态寄存器驱动, 状态机所受影响差异不会很大, 所以建议对 Moore 型状态机采用 two always 的编码风格。

而 Mealy 型状态机, 输出不只与当前状态有关, 还与输入信号有关, 输出是组合逻辑的输出, 这样在每个 STATE 中产生的信号复杂而且有不同的 time skew, 如果信号直接输出而不引用寄存器同步的话, 在高频的电路中很可能会导致时序上的错误. 所以建议使用 three always 风格, 将输出同步一拍。

对于 one always 的风格, 虽然在一些开源的 IP 盒中经常见到, 但是通过以上的分析, 可以发现这种状态及描述风格存在着巨大的缺陷。

至于状态编码的使用, 对于 FPGA 来说建议使用工具自动优化状态机的状态编码, 而对于 ASIC 来说, 建议在小型设计中使用 Binary-code 和 Gray-code, 而对于大型的设计则使用 One-hot code。

6 结束语

文中结合了一个 Verilog HDL 的实例, 对三种不同的状态机编码和状态机描述方式进行了深入的研究, 分析了其各自的优缺点. 并分别使用 Xilinx ISE 和 Design Compiler 对一个实例进行了综合, 对面积、速度与功耗进行了分析. 结果表明 one always 的写法需要被摒弃, two always 的编码风格适合 Moore 型状态机, 而 three always 的编码风格适合 Mealy 型状态机. 文中同时也给出了适合不同设计

的最优状态编码.

表 3 Design Compiler 综合得到的面积(μm^2)

	1always&binary	1always&one-hot	2always&binary	2always&one-hot	3always&binary	3always&one-hot
5.5ns	708.5	681.9	259.4	232.8	435.7	429.1
7ns	618.7	592.0	196.2	172.9	405.8	379.2

表 4 Design Compiler 综合得到的延时(ns)

	1always&binary	1always&one-hot	2always&binary	2always&one-hot	3always&binary	3always&one-hot
5.5ns	0.00	0.00	0.00	0.01	0.01	0.00
7ns	1.48	1.48	1.32	1.41	1.48	1.48

参考文献:

- [1] 王伟,冯哲,侯立刚,等.深亚微米 VLSI 物理设计中天线效应的预防及修复[J].微电子学与计算机,2007,24(8):42-48.
- [2] 郝冬艳,张明,郑伟.低功耗 VLSI 芯片的设计方法[J].微电子学与计算机,2007,24(6):137-142.
- [3] 俞莉琼,付宇卓.有限状态机的 Verilog 设计与研究[J].微电子学与计算机,2004,21(11):146-157.
- [4] Rafia Nader I, Davis Brett LaVoy. Study of finite state machine coding styles for implementation in FPGAs[C]//Boise, Circuits and Systems, MWSCAS'06, 49th IEEE International Midwest Symposium. Boise, 2006: 337-341.

- [5] Altera. FPGA/CPLD 设计:高级篇[M].北京:人民邮电出版社,2005.

作者简介:

孔昕 男,(1985-),硕士研究生.研究方向为集成电路与系统集成.

吴武臣 男,(1947-),教授,博士生导师.研究方向为大规模集成电路与系统集成.

侯立刚 男,(1978-),博士,讲师.研究方向为大规模集成电路与系统集成.

周毅 男,(1984-),硕士研究生.研究方向为模拟集成电路设计.