

一种用于带通 $\Sigma-\Delta$ 调制器的 25MHz 低功耗开关电容谐振器

贺 炜

(西安邮电学院 电子与信息工程系, 陕西 西安 710121)

摘 要: 介绍了一种运用于带通 $\Sigma-\Delta$ 调制器的谐振频率为 25MHz 的低功耗开关电容 DD 谐振器电路. 电路采用了运算放大器共享技术和双采样技术, 同时对单元电路进行优化, 达到功耗最小化. 该谐振器电路采用 SMIC 0.25 μm 混合信号 CMOS 工艺进行设计, 整个电路模块面积仅为 0.09mm². 测试结果表明, 使用该谐振器电路的带通 $\Sigma-\Delta$ 调制器工作于 100MHz 采样频率时, 对于信号带宽为 1kHz 的输入信号, 调制器的输出在谐振频率处 SFDR 约为 77dB. 整个谐振器功耗为 10.5mW.

关键词: 带通 $\Sigma-\Delta$ 调制器; 谐振器; 开关电容电路; 带通模拟/数字转换器

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2010)05-0185-04

A Low Power 25MHz Switched-Capacitor Resonator for Band-Pass Sigma-Delta Modulator

HE Wei

(Department of Electronic and Information, Xi'an Institute of Post and Telecommunications, Xi'an 710121, China)

Abstract: A low power switched-capacitor double-delay (DD) topology resonator with the resonance frequency of 25 MHz is presented. By using OPAMP sharing technique, double-sampling technique and low power unit circuit blocks, the power consumption of the resonator circuit is minimized. The resonator is fabricated in the SMIC 0.25 μm mixed signal CMOS process, the core area of the circuit is 0.09mm². Tested results shown that at sampling frequency of 100MHz, for a 1kHz bandwidth signal, the circuit achieves a SFDR of 77dB at resonance frequency of 25MHz, with the static power dissipation being only 10.5mW.

Key words: band-pass sigma-delta modulator; resonator; switched-capacitor circuit; bandpass ADC

1 引言

在无线接收机中, $\Sigma-\Delta$ ADC 的地位非常突出. 在接收机中, 仅需要 ADC 在下变频后的信号带内具有较高的动态范围, 而对于干扰信号的数字化不需要较高的精度. 与 Nyquist-Rate ADC 相比, $\Sigma-\Delta$ ADC 仅在一定通带内获得较大的动态范围并具有较高的线性度的特性大大降低了其功耗^[1]. 正是这些原因, $\Sigma-\Delta$ ADC 被广泛应用于不同结构的接收机中.

$\Sigma-\Delta$ ADC 的实现过程中, $\Sigma-\Delta$ 调制器是其核心部件, 也是其瓶颈所在. 在带通 $\Sigma-\Delta$ 调制器的实

现中, 低通 $\Sigma-\Delta$ 调制器中的积分器被谐振器所取代. 高性能谐振器的设计在带通调制器的设计中具有十分重要的地位. 文中采用 0.25 μm CMOS 工艺实现了一种基于开关电容电路谐振频率为 25MHz 单运放 DD 结构的谐振器. 电路采用了运算放大器共享技术和双采样技术, 同时对单元电路进行优化, 达到功耗最小化.

2 谐振器结构分析

2.1 离散时间谐振器

离散时间谐振器可以用不同的结构实现, 主要

有前馈欧拉(FE)^[2],无损耗离散积分器(LDI)^[3]以及双延时(DD)结构^[4].对于开关电容实现的谐振器而言,电容失配是很重要的误差来源,它对上述三种结构的影响是不同的.

DD 谐振器由两个串连的延时单元组成,反馈因子为-1,其转移函数为:

$$H_{DD}(z) = \frac{(1 + \epsilon_c)z^{-2}}{1 + z^{-2}} \quad (1)$$

它的陷波频率直接固定在 $f_s/4$ 处,其它选择不可实现.由式(1)可见,不管电容失配为多少,陷波频率保持不变,陷波深度也总是达到最大值.因此在带通 $\Sigma-\Delta$ 调制器的实现中,DD 谐振器具有获得高性能的潜能.

2.2 谐振器结构设计

DD 结构既可以用两个运放实现^[5],也可以采用单个运放实现^[6],此时 DD 结构自然的节约了功耗.基于功耗和稳定性考虑,选择 DD 谐振器结构.

文中采用的开关电容 DD 谐振器电路为 Salo 型谐振器^[6].电路采用运算放大器共享技术,只使用一个运放极大地降低了功耗;采用双采样技术可以使调制器的采样频率降低一半,而不减小其 OSR,因此它可以降低对运放建立时间的要求,从而进一步降低功耗;同时,由于 Salo 型谐振器在任何时钟周期都不会将反馈电容连到运放的负载端,因此具有更低的功耗,如图 1 所示.

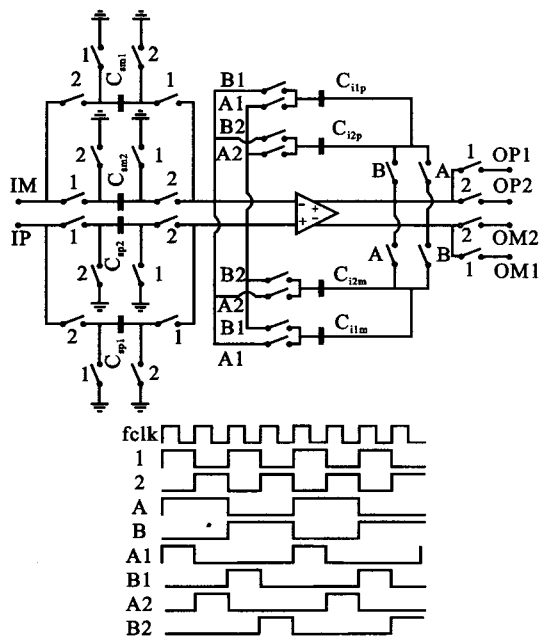


图 1 DD 型谐振器电路结构图

图 1 中采用的谐振器及时钟信号: A、B、A1、A2、B1、B2、1 和 2. 电容对 (C_{sp1}, C_{sm1}) 、 $(C_{sp2},$

$C_{sm2})$ 为采样电容,电容对 (C_{ip1}, C_{im1}) 、 (C_{ip2}, C_{im2}) 为存储电容.根据时钟相位 A1、A2、B1 和 B2 将图 1 中 DD 型谐振器电路分解成四个等效电路,如图 2(a)~(d)所示.

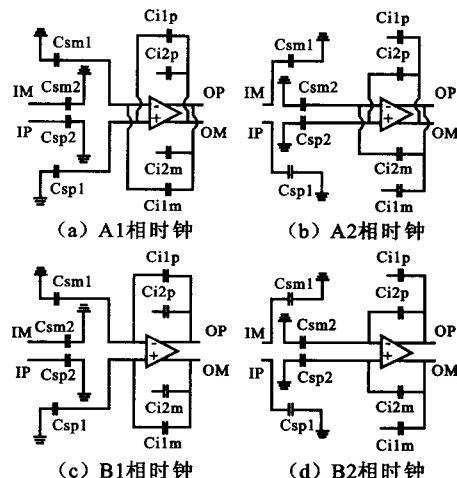


图 2 谐振器在不同时钟相下工作状态

3 谐振器电路实现

3.1 采样开关

在开关电容带通 $\Sigma-\Delta$ 调制器中,开关的重要性主要体现在以下几个方面:首先,它限制了信号的输入范围;其次,开关也限制了电路的最高工作频率,这是因为开关的导通电阻和采样电容定义了 RC 时间常数.另外,在调制器的设计中,谐波失真为极关键的,它主要来自于开关的导通电阻、电荷注入和寄生电容随源漏电压的变化.

为了保证电路的精度和输入信号的带宽,文中采样开关采用栅压自举开关^[7].如图 3(a)所示,采样开关 M11 在单个时钟 Ck 的控制下实现开关的功能.电路采用 SMIC 0.25 μm 混合信号 CMOS 工艺进行设计,在 25MHz 时钟条件下对所设计的栅压自举开关进行仿真的瞬时波形如图 3(b)所示.输入信号为 1V 正弦信号,从图中可以看出开关栅压信号很好的跟随了输入信号.

3.2 运算放大器

运算放大器是谐振器的核心部分,也是带通 $\Sigma-\Delta$ 调制器中最关键的模块.通常,运放的特性决定了整个调制器的性能上限.在开关电容带通 $\Sigma-\Delta$ 调制器中,运放的有限 DC 增益影响谐振器的 Q 值和谐振频率的精度.通常 DC 增益在 60~100dB 就足够了.然而,为了避免谐波失真,在运放的输出范围内,增益应尽量保持常数.运放有限带宽对谐振器的影响和运放的有限 DC 增益对谐振器的影响类

似. 在开关电容电路中, 运放的有限带宽产生不完全的建立, 引起电荷的转移误差. 对于常见的调制器, 运放必须在半个时钟周期建立到指定的精度. 通常,

建立精度在 0.001~0.1% 就足够了, 这要求单位增益带宽是时钟频率的 3~5 倍. 文中时钟频率为 100MHz, 对应带宽应大于 400MHz.

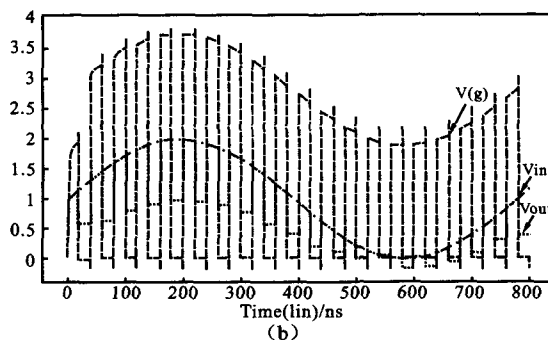
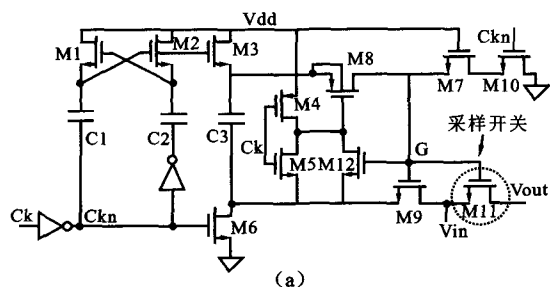


图3 栅压自举采样开关电路及仿真曲线

鉴于上述要求, 文中采用带有增益自举结构^[8]的套筒式共源共栅放大器(图4). 整个电路为全差分结构. 其中, 主运放采用套筒式共源共栅结构. 尽管折叠式共源共栅与套筒式共源共栅结构相比较,

具有高摆幅的优点, 并且输出范围不受共模输入范围的影响, 但是它却有功耗大和折叠点处寄生电容大等缺点. 运放采用 NMOS 输入差分对, 可以提高速度.

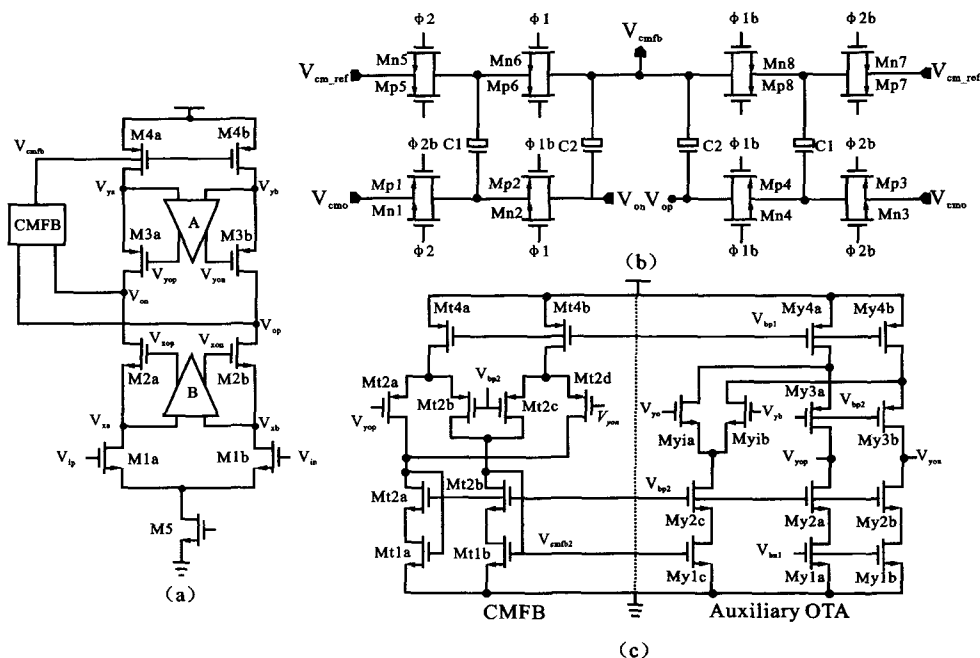


图4 增益自举套筒式共源共栅放大器结构

由于所选用的运算放大器电路为全差分结构, 在全差分的跨导运算放大器中, 为了稳定直流共模输出电压, 通常采用共模反馈电路(CMFB), 运放共模反馈电路结构如图4(b)所示, 电路采用开关电容结构. 由于反馈电路采用无源元件(电容)和开关组成, 运算放大器的输出电压不受共模检测电路的限制, 并且反馈电路不消耗静态直流功耗. V_{op} 和 V_{on} 接运放的输出, V_{cmo} 是希望的共模电压, V_{cm_ref} 是运放中与 CMFB 电路相连管子所希望的偏置电压, 而

V_{cmfb} 则是实际的偏置电压. CMFB 电路中的电容增加了运放的负载, 因此应尽量减少, 但必须与共模电压的精度和共模环路的稳定性进行折衷. 共模电压的精度与共模环路的增益、电容的取值有关, 实际上增益提高技术并没有提高共模环路的增益, 这是因为辅助运放对共模信号没有放大作用; 而选择 C_1 大于 C_2 可以减小稳态误差、电荷注入误差和漏电流误差, 并且还可以使共模电压获得较快的建立时间. 这里选择 C_2 远大于 C_1 , 以使运放在 Φ_1 相时钟和 Φ_2

相时钟具有基本相等的负载,从而减小双采样调制器的镜像分量。

辅助运放采用全差分折叠式结构,如图 4(c)所示(P 端辅助运放)。考虑到主运放 M3a、M3b 源端的直流电位较高,而 M2a、M2b 源端的直流电位较低,因此 P 端辅助运放采用 NMOS 输入差分对, N 端辅助运放采用 PMOS 输入差分对。为了节省功耗,它们的偏置电路和主运放共用。由于辅助运放只需驱动栅电容,因此采用较小的电流就能很容易地满足带宽的要求。辅助运放的 CMFB 电路是连续时间的,以避免动态 CMFB 电路在开关过程中使偏置电压发生偏移,改善电源抑制比。

4 测试结果及分析

文中 25MHz 开关电容谐振器模块采用 SMIC 0.25 μ m 混合信号 CMOS 工艺进行设计,并流片验证。图 5(a)为谐振器模块的芯片照片,电路模块面积为 0.3 $\times$ 0.3mm²。电容采用 MIM 电容实现。

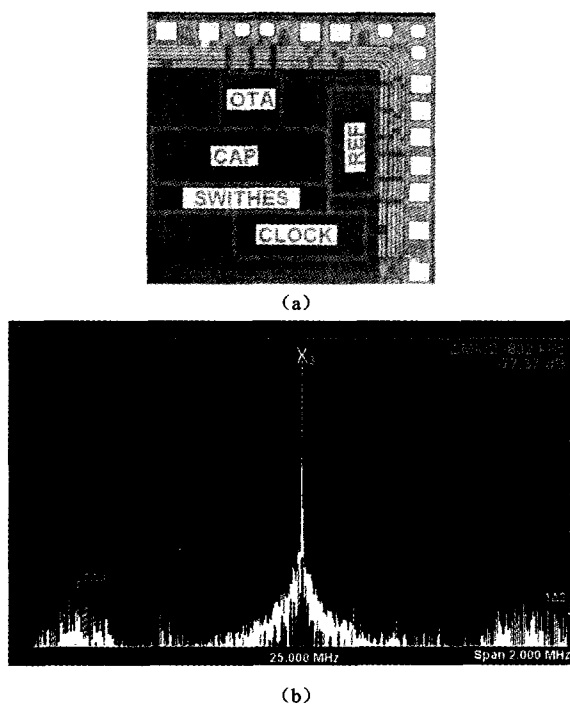


图 5 谐振器模块的片照片及测试结果

图 5(b)为应用文中所设计的谐振器的带通调制器的输出功率谱密度(PSD)。对于 WCDMA 应用系统,采样时钟频率为 100MHz 时,可以看出输出信号频谱中心位置为 25MHz,正好处于时钟信号 1/4

处,说明谐振器功能完全正确。对于信号带宽为 1kHz 的输入信号,调制器的输出 SFDR 约为 77dB。整个谐振器功耗为 10.5mW。

5 结束语

文中基于 SMIC 0.25 μ m 混合信号 CMOS 工艺,运用运算放大器共享技术、双采样技术设计实现了一种功耗为 10.5mW,面积为 0.09mm²,谐振频率为 25MHz 开关电容 Salo 型 DD 谐振器电路。目前,该谐振器已经成功运用于数字中频接收系统中。

参考文献:

- [1] 沈佳铭,洪亮,石春琦,等. 一种可重构的 24bit Σ - Δ 调制器的设计[J]. 微电子学与计算机,2007, 24(4): 159 - 162.
- [2] Singor F, Snelgrove W M. Switched - capacitor bandpass delta - sigma A/D modulation at 10.7MHz[J]. IEEE Journal of Solid - State Circuits,1995(30):184 - 192.
- [3] Keskin M, Moon U, Temes G. Low - voltage low - sensitivity switched - capacitor bandpass $\Sigma\Delta$ modulator[J]. IEEE International Symposium on Circuits and Systems, 2001(I):348 - 351.
- [4] Salo T, Lindfors S, Halonen K. A double - sampling SC - Resonator for low voltage bandpass $\Sigma\Delta$ modulators[J]. IEEE Transactions on Circuits and Systems II,2002(49): 737 - 747.
- [5] Guan X, Xu Y P. An improved switched - capacitor resonator for high - speed bandpass $\Sigma\Delta$ modulator[C]// The 2000 IEEE Asia - Pacific Conference on Circuits and Systems. China: Tianjin, 2000:662 - 665.
- [6] Schreier R, Temes G C, Yesilyurt A G, et al. Multibit bandpass delta - sigma modulators using N - path structures[J]. IEEE International Symposium on Circuits and Systems,1992(2):593 - 596.
- [7] Steensgaard J. Bootstrapped low voltage analog switches [C]// Proceedings of 1999 IEEE International Symposium on Circuits and Systems. Orlando, Florida, USA, 1999: II229 - II232.
- [8] 柳逊,闫娜,吴晓铁,等. 一种高性能运算放大器的设计[J]. 微电子学与计算机,2005, 22(6):28 - 33.

作者简介:

贺 炜 男,(1968-),硕士.研究方向为电子工程、信号系统及微电子学。