

异质栅 MOSFET 热载流子效应的研究

褚蕾蕾, 高 珊, 金 林, 陈军宁
(安徽大学 微电子系, 安徽 合肥 230039)

摘 要: 异质栅 MOSFET 器件的栅极由具有不同功函数的两种材料拼接而成, 能够提高载流子输运速度、抑制阈值电压漂移等。文中比较了异质栅 MOSFET 和常规 MOSFET 的热载流子退化特性。通过使用器件数值模拟软件 MEDICI, 对能有效监测热载流子效应的参数, 例如电场、衬底电流和栅电流等参数进行仿真。将仿真结果与常规 MOSFET 对比, 从抑制热载流子效应方面验证了新结构器件的高性能。

关键词: 异质栅; MOSFET; 热载流子效应; MEDICI

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2010)03-0185-04

A Study on Hot Carrier Effect in Dual-Material-Gate MOSFET

CHU Lei-lei, GAO Shan, JIN Lin, CHEN Jun-ning

(Department of Microelectronic, Anhui University, Hefei 230039, China)

Abstract: The gate of a dual-material-gate (DMG) MOSFET consists of two materials contacting laterally with different work functions. The novel device could increase carrier transport speed through the channel considerably, and suppress threshold voltage roll-off. The hot carrier effect (HCE) of the novel device were studied as compared with the conventional MOSFET for the first time systemically. Using two-dimensional device simulator MEDICI, we simulate some parameter which can surveillance the hot carrier effect efficiently, such as electric field, substrate current and gate current et al. The simulation results have been compared with the conventional MOSFET. It is clear that DMG MOSFET has better performance.

Key words: dual-material-gate; MOSFET; hot carrier effect; MEDICI

1 引言

热载流子, 也称高能载流子, 一般是指半导体材料中具有比平衡状态下的载流子高得多的动能的那些载流子^[1]。在短沟道 MOSFETs 中, 由于电源电压不能等比例减小, 导致沟道区的横向和纵向电场显著增加, 沟道和夹断区中的载流子能够获得足够的能量, 高场区的载流子的能量不能及时通过散射等途径传递到周围晶格, 使得他们的温度高于晶格的温度, 成为热载流子。高速运动的热载流子可以引起晶格原子的碰撞电离, 产生大量新的电子-空穴对, 新产生的电子或空穴中的一部分, 将被漏极电压压入衬底形成衬底电流; 而能量高于 Si/SiO₂ 势垒的

热载流子(包括原始的和碰撞生成的载流子)可以越过界面势垒注入栅氧化层, 形成氧化层陷阱电荷和界面态陷阱。普遍认为, 高电场应力下产生的界面态是引起器件退化的主要原因^[2-3]。热载流子效应的原理如图 1 所示。

为了克服减少器件尺寸带来的诸多问题, 文献[4]提出了异质栅 MOSFET(DMGFET)结构, 异质栅技术将不同功函数的材料进行拼接形成栅极。文献[5]通过对 DMGFET 的电场电势曲线、输出特性曲线的分析, 指出 DMGFET 能够提高载流子输运速度, 并能够抑制短沟道效应带来的不利影响, 抑制阈值电压漂移和漏致势垒降低效应(DIBL)。文献[6]为 DMGFET 建立了二维电势模型, 并通过仿真

收稿日期: 2009-02-03; 修回日期: 2009-05-06

基金项目: 国家自然科学基金项目(60876062)

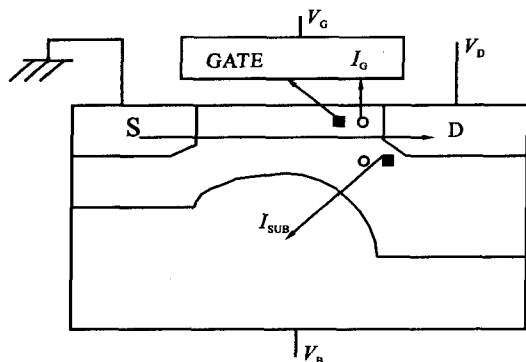


图1 MOSFET热载流子效应原理图

实验验证了模型的正确性。根据DMG结构器件的电场电势仿真曲线,说明相对于常规器件性能更加优越,并且能够减少自加热效应(SHE)。但这些研究主要是集中在表面势和沟道电场上,对于DMGFET的热载流子效应并没有进行深一步的研究。

文中对DMGFET的热载流效应(HCE)进行仿真研究,通过对衬底电流、栅电流等重要参数的仿真,定量的论证DMG结构在HCE上的优越性能。

2 器件结构

异质栅MOSFET的结构如图2所示(以nMOSFET为例)。栅极由功函数分别为 W_1 和 W_2 的两种材料 M_1 和 M_2 拼接而成。对于nMOSFET, W_1 大于 W_2 ,对于pMOSFET, W_1 小于 W_2 。

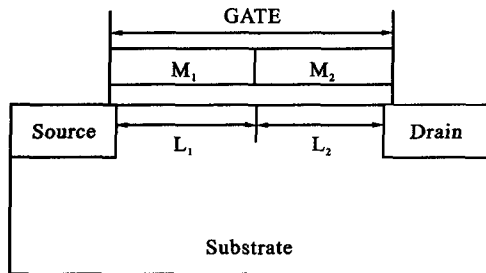


图2 DMGFET结构示意图

如果不进行特别说明,实验中各图中所用MOSFET的结构参数为:源和漏的掺杂浓度 $N_D = 10^{20} \text{ cm}^{-3}$,沟道掺杂为 $2 \times 10^{16} \text{ cm}^{-3}$,沟道长度为135nm,栅氧化层厚度为5nm,对于异质栅结构,两个栅的长度比例为 $L_1:L_2 = 1:1$,功函数分别为 $W_1 = 4.8 \text{ V}$, $W_2 = 4.1 \text{ V}$ 。对于常规MOSFET的 $W_1 = 4.8 \text{ V}$,其他参数同异质栅MOSFET。

3 仿真结果

3.1 器件性能仿真

对于沟道长度很短的器件,一定的源漏电压

V_{DS} 可以使漏端附近形成相当高的电场。随着载流子(对于nMOSFET为电子)从源向漏移动,他们在漏端高电场区将得到十分大的动能,并且具有显著高于晶体中载流子正常热能能量,成为热载流子。

在高横向电场下,MOSFET热载流子效应引起的失效机理可用“几率电子模型”^[7]描写。电子在界面处克服势垒的几率为:

$$P = (E_x \lambda / 4 \phi_b) \exp(-\phi_b / E_x \lambda)$$

式中, E_x 为沟道中电场, λ 为热电子两次碰撞间的平均自由程。 ϕ_b 为Si/SiO₂界面势垒高度。由此可见降低电场值可以有效减少热电子克服界面势垒的几率,从而减少热载流子效应。

图3给出了沟道电场的分布情况。从图中可以看到,DMG结构器件漏端电场明显低于常规器件。所以异质栅结构能够有效的降低漏端电场,进而减少热载流子效应。

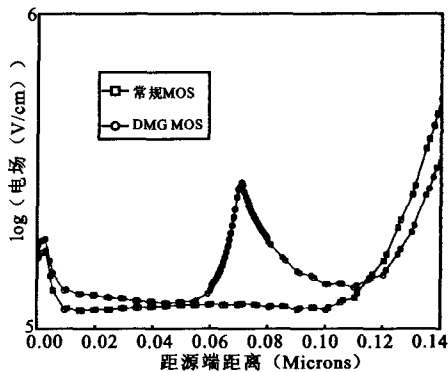


图3 沟道电场分布

碰撞电离形成的次级空穴流入衬底形成衬底电流 I_{sub} 。通过测量衬底电流 I_{sub} 可以很好的监控沟道热载流子和漏区电场的情况^[8]。当有较大的衬底电流 I_{sub} 通过衬底时,会在衬底上产生电压降,由于MOSFET的源通常接地,该电压使得源-衬结正偏,从而形成一个源-衬底-漏(n-p-n)结构的寄生双极管,与MOSFET并联,这种结构是大多是MOSFET导致漏源击穿的原因。图4中给出了漏压为1.5V时衬底电流 I_{sub} 随栅压变化的曲线。常规MOSFET在正常工作电压下,衬底电流 I_{sub} 为 $10^{-4} \text{ A}/\mu\text{m}$,异质栅MOSFET的衬底电流 I_{sub} 降低到 $10^{-5} \text{ A}/\mu\text{m}$,有效降低了衬底电流 I_{sub} 的值。

图5给出了漏压为1.5V时栅电流的情况。能量较高的热载流子越过Si/SiO₂界面势垒,注入到栅氧化层中,被栅极收集后形成栅电流 I_g 。热载流子注入栅极后引起界面陷阱,经过一段时间积累,会导致器件性能退化。因此可以说,热载流子使器件性

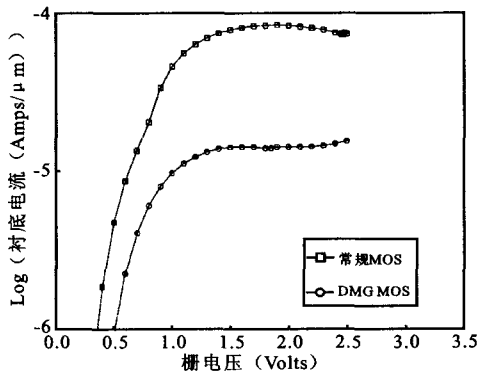


图4 漏压为1.5V的衬底电流

能退化主要是和栅电流 I_g 有关.从图5可以看出,在中、低栅压的情况下,异质栅结构的栅电流 I_g 小于常规 MOSFET,但是其随着栅电压的增大的趋势要比常规器件大,因此,在高栅压区栅电流 I_g 要比常规器件大.

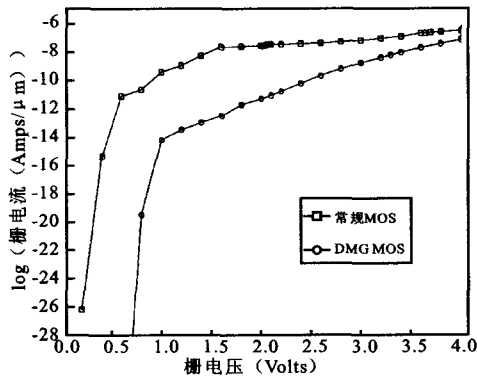


图5 漏压为1.5V的栅电流

改变栅压,得到电场曲线,如图6所示.可以看出,加大栅压沟道中电场的阶梯越小,电场分布逐渐接近常规 MOS 电场分布曲线,所以电流也逐渐趋近常规 MOS.因此,在高栅压的情况下,栅电流的值越接近于常规 MOS.

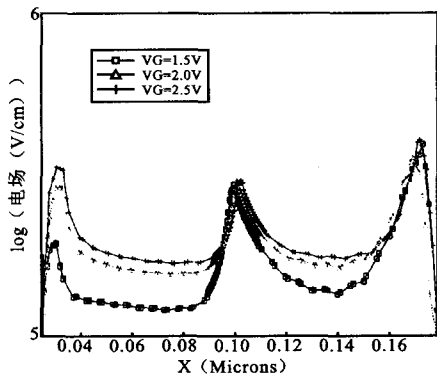


图6 不同栅压时的电场曲线

3.2 器件结构优化

为了研究 DMGFET 受其结构参数的影响,文

中就改变 DMGFET 的功函数差值,以及 DMGFET 两个栅的长度比例 $L_1:L_2$ 对 DMG MOSFET 热载流子效应的影响也进行了仿真.

实验中发现,如果改变 DMGFET 的功函数差,对器件的性能会产生一定的影响.

图7给出了功函数差分别为0.2V、0.4V、0.6V时的衬底电流 I_{sub} 随栅电压变化的曲线.通过比较可以发现,随着功函数差的增大衬底电流 I_{sub} 不断减少,也就是说,在中、低栅压的情况下,增大功函数差可以抑制热载流子效应.

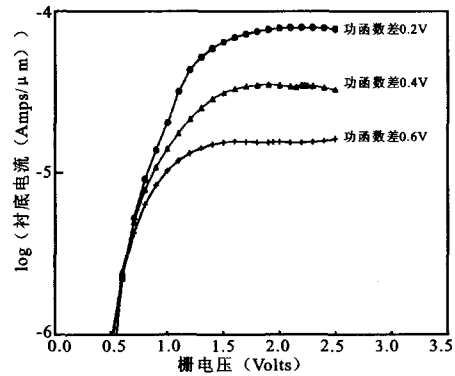


图7 不同功函数差的衬底电流

图8所示曲线为不同功函数差的情况下, $V_{gs} = 0.8V$ 时器件的输出特性曲线.可以看出,随着功函数差的增大,器件的漏电流逐步减少.同时,功函数差小的器件相对于功函数差大的器件较早的进入“Kink”区,从而使器件源、漏之间的寄生双极晶体管开启,引起 PBT 效应,尤其是在低栅压下,PBT 效应会导致单管闷锁和源漏之间穿通,产生大量的热载流子,这也会造成器件的严重退化.对于功函数差为0.6伏的输出特性曲线在漏压加到1.7伏都没有出现明显上翘,热载流子效应得到了有效的抑制.同时可以发现,功函数差较小时,相对于功函数差大的输出特性曲线,在饱和区的倾斜程度要大一些.饱和区输出特性曲线的斜率越大,短沟道效应和 DIBL 效应就越严重,由此也可以说明新结构器件的优越性.

设定栅长比 $L_1:L_2$ 的值分别为1:3、1:1、3:1、4:1,对 DMGFET 热载流子特性进行仿真.图9为不同栅长比的电场情况,从图中可以看出,对应于不同栅长比的电场峰值几乎没有变化,但是峰值的位置发生了变化,这必然对热载流子效应构成影响. $L_1:L_2 = 1:3$ 时,漏端电场要大于其余几种结构,故 $L_1:L_2 = 1:3$ 结构的衬底电流最大,如图9所示.对于栅长比大于1:1的两种结构,从图10可以看出,在靠

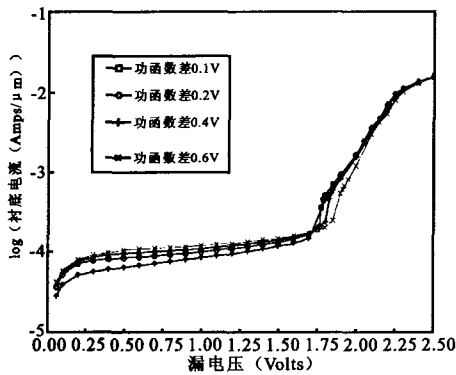


图8 不同功函数差的输出特性曲线

近漏端的40nm范围内有一个电场峰值,空穴由漏向源输运时,在漏端附近要经过两个电场的加速,会有更多的空穴被扫入衬底,导致衬底电流较大,如图10所示.衬底电流的大小随着栅长比例变化而变化, $L_1:L_2=1:1$ 时衬底电流最小.由此可以推断出, $L_1:L_2=1:1$ 结构的器件抗热载流子性能最优.

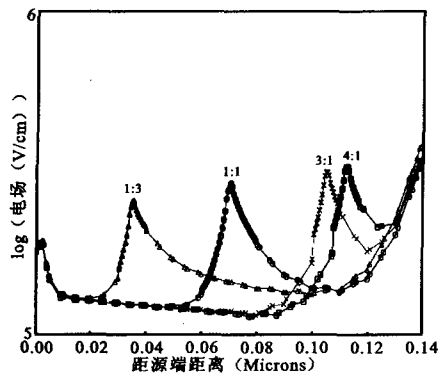


图9 电场随栅长比的变化

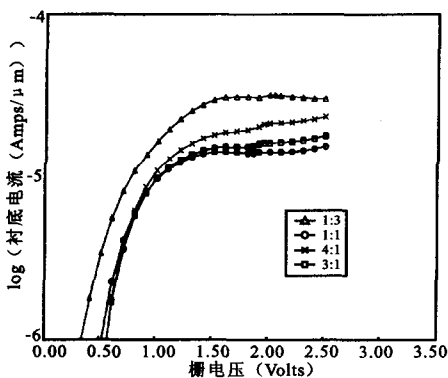


图10 衬底电流随栅长比的变化

4 结束语

文中通过对 DMGFET 的电场、衬底电流、栅电

流等参数进行仿真,对比了不同偏置下两种结构 MOSFET 的热载流子效应,观察到 DMG 结构的衬底电流和栅电流明显的降低.实验结果表明异质栅结构的 MOSFET 器件能够抑制热载流子效应,文中选取的参数能更准确反映器件热载流子效应.由仿真结果可以发现,改变两个栅之间的功函数差,会影响器件热载流子效应,表现为功函数差越大,热载流子效应越弱.同时,依据衬底电流最小的标准,优化了 DMG 结构的栅长比.

参考文献:

- [1] Yusuf Leblebici Sung - Mo (Steve) Kang. Hot - carrier reliability of MOS VLSI circuits[D]. Urbana - Champaign, University of Illinois, 1993:21 - 23.
- [2] Hsu F C, Tam S. Relationship between MOSFET degradation and hotelectron induced interfacestate generation [J]. IEEE Elec Dev Lett, 1984,5(2):50 - 52.
- [3] Nakamura K, Murakami E, Kimura S. Impact of ultrashallow junction on hot carrier degradation of sub - 0.25 μm nMOSFET's [J]. IEEE Elec Dev Lett, 2000, 21 (10):27 - 29.
- [4] Saxena M, Haldar S, Gupta M, et al. Design considerations for novel device architecture: hetero - material double - gate (HEMDG) MOSFET with sub - 100 nm gate length[J]. Solid State Electronics, 2004,48(7):1167 - 1174.
- [5] Li Y, Chou H M. A comparative study of electrical characteristic on sub - 10nm doublegate MOSFETs [J]. IEEE Trans Nanotechnology, 2005,4(5):645 - 647.
- [6] Manoj Saxena, Subhasis Hldar. Physics - based analytical modeling of potential and electrical field distribution in dual material gate (DMG) - MOSFET for improved hot electron effect and carrier transport efficiency [J]. IEEE Transactions on Electron Device, 2002,49(11):1928 - 1938.
- [7] Tam Simon, Ko Ping - Keung, Hu Chenming. Lucky electron mode of channel hot - electron injection in MOSFET'S [J]. IEEE Transactions on Electron Devices, 1984, 31 (9): 1 - 116.
- [8] Tam S, Ko P K, Hu C, et al. Correlation between substrate and gate currents in MOSFET'S [J]. IEEE Transactions on Electron Devices, 1982,29(11):1 - 740.

作者简介:

褚蕾蕾 女,硕士研究生.研究方向为半导体器件设计和建模.