

嵌入式 DSP 地址产生部件的设计

陈海燕, 蒲 伟, 王 勋

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 地址产生部件(AGU)是 DSP 芯片的重要组成部分,通过支持多种寻址模式,提高了指令的执行效率.详细介绍了某嵌入式 DSP 的寻址模式及其指令编码结构,在此基础上设计了该 DSP 的 AGU,使其不仅支持几种特殊的寻址模式,还支持单周期三寻址操作.最后对该 AGU 进行了优化.结果表明,优化后的 AGU 在改善性能和功耗的同时能够有效减少数字信号处理算法的执行周期.

关键词: AGU; 寻址模式; 三寻址; 地址生成; 并行结构

中图分类号: TP332; TN911

文献标识码: A

文章编号: 1000-7180(2010)06-0188-05

The Design of Address Generation Unit for Embedded DSP

CHEN Hai-yan, PU Wei, WANG Xun

(School of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: The address generation unit (AGU) is an important part of DSP, which can improve the efficiency of instruction execution by supporting multi-addressing modes. This paper introduces the addressing mode of an embedded DSP and the structure of its addressing instruction coding in detail. According to it, the AGU of the DSP has been designed and realized, which can support several especial addressing modes and thrice addressing operations in one cycle. The results of optimizing this AGU show that it has not only improved the performance and saved the power dissipation but also reduced the execution cycles of digital signal processing arithmetic.

Key words: AGU; addressing mode; thrice addressing; address generation; parallel structure

1 引言

嵌入式 DSP 面向数据密集型应用,伴随着频繁的数据访问,数据地址的计算时间也呈线性增长.因此, DSP 中通常都含有单独支持地址计算的单元——地址产生部件(AGU),与 ALU 并行工作,使得地址计算不再额外占用 CPU 的时间.有分析证明,使用独立的 AGU 可使流水线效率提高到 1.5 倍^[1]. AGU 是 DSP 芯片的重要组成部分,能够支持信号处理算法所需的特殊指令集和寻址模式,保证了信号处理算法的快速执行.但是一般的通用 DSP 的地址产生部件单周期只能进行一次地址生成,虽然对某些算法或者电路做了优化,加快了地址产生

的速度,然而并没有从根本上提高整个芯片的指令执行效率,尤其是寻址指令的执行效率.

FT-LP 是一款自主设计的与 TI 公司 TMS320C55x^[2]指令兼容的 16 位定点嵌入式 DSP,其内部包含 5 条 23 位的数据地址总线,其中三条数据读地址总线 CAB、DAB、BAB,两条数据写地址总线 EAB、FAB,运算部件包含两个乘累加(MAC)和一个 40 位的 ALU 单元,具有高度的并行结构.为在单周期内完成两个 17 位的 MAC 运算和 32 位的算术逻辑运算,其 AGU 内部集成了三个不同的数据地址产生器,分别用于双操作数和系数操作数的访问,1 个周期内最多能进行 3 次访存操作.

收稿日期: 2009-04-16; 修回日期: 2009-07-22

基金项目: 教育部高性能微处理器技术创新团队项目(210101)

文中在深入分析 FT-LP 嵌入式 DSP 寻址模式及其指令结构的基础上,对其 AGU 进行了设计和优化,给出的性能分析表明设计的 AGU 能显著提高指令的并行性和编译效率,减少了代码量。

2 寻址模式

嵌入式 DSP 的寻址模式主要分为三大类:绝对寻址模式,直接寻址模式和间接寻址模式.同时提供了多个可用于寻址的寄存器,包括辅助寄存器 XARn(n=0~7),数据页寄存器 XDP,系数数据指针 XCDP,堆栈指针 XSP 等.形如 XARn 的寄存器是由高位寄存器 ARnH 和低位寄存器 ARn 组成的。

3 寻址指令结构

3.1 单寻址指令

单寻址指令实现单操作数寻址,指令码为 AAAAAAAI.能够实现绝对寻址、直接寻址和间接寻址中的 AR 间接寻址和 CDP 间接寻址模式。

指令码中最后一位 I 为 0 时表示直接寻址,寄存器 DPH、SPH 的值用作高位段地址,DP、SP 的值用作低位地址的基地址,指令码中的 AAAAAAA 用做基地址的偏移量,来形成数据地址。

指令码中最后一位 I 为 1 时表示绝对寻址和间接寻址.当指令码为 AAAA0001 时,表示绝对寻址和 CDP 间接寻址,其中 AAAA 与操作数的对应关系如表 1 所示.寻址操作数的 (#k16)等表示用 16 位或 23 位的立即数作为指令码的扩展位,绝对寻址就用这些指令码的扩展位来直接形成地址。

表 1 单寻址指令码与寻址操作数

指令码	寻址操作数	指令码	寻址操作数
0001	abs16(#k16)	1001	* CDP+
0011	*(#k23)	1011	* CDP-
0101	port(#k16)	1101	* CDP(#k16)
0111	* CDP	1111	* + CDP(#k16)

当指令码为 PPPAAAA1 时,表示 AR 间接寻址,其中(PPP)3 位编码对应的是用于 AR 间接寻址的 8 个辅助寄存器 AR0~AR7,AAAA 与操作数的对应关系如表 2 所示.寻址操作数中 B 表示反向进位,可用于位反向寻址操作。

表 2 单寻址指令码与寻址操作数

指令码	寻址操作数	指令码	寻址操作数
0000	* ARn	1001	*(ARn+T1)
0001	* ARn+	1010	*(ARn-T1)
0010	* ARn-	1011	* ARn(T1)
0011	*(ARn+T0)	1100	* + ARn
0100	*(ARn-T0)	1101	* - ARn
0101	* ARn(T0)	1110	*(ARn+T0B)
0110	* ARn(#k16)	1111	*(ARn-T0B)
0111	* + ARn(#k16)	—	—

除绝对寻址外,上述所有的寻址操作数所表示的寻址基本有以下 4 类:

(1) 产生地址形式如 ARnH:([BSA+]ARn), ARn 指针不修改.这一类操作数如 * ARn, * CDP.

(2) 产生地址形式如 ARnH:([BSA+]ARn), ARn 指针做修改.指针的修改值可以为常数 1 或 2,也可以为寄存器 T0、T1 的值.这一类操作数如 * CDP±, * ARn±, *(ARn±T0), *(ARn±T1), *(ARn±T0B).

(3) 产生地址形式如 ARnH:([BSA+]ARn+ Offset), ARn 指针不修改.这一类操作数如 * CDP(#k16), * ARn(T0), * ARn(#k16), * ARn(T1), * ARn(short(#1~7)).

(4) 产生地址形式如 ARnH:([BSA+]ARn+ Offset), ARn 指针做修改.指针的修改值为常数 1 或 2.这一类操作数如 * + CDP(#k16), * + ARn(#k16), * ± ARn.

其中,ARn 泛指基址寄存器,也可以是 CDP. Offset 表示偏移量.[]表示可选择.BSA 为循环缓冲起始地址寄存器,只有在指针被配置成为循环寻址的时候才会把寻址寄存器的内容和循环缓冲起始地址相加来生成地址。

3.2 双寻址指令

双寻址指令实现双操作数寻址,有两种指令编码格式,一是 XXXMMMYYMM,当同时访问双字,或者两个单字访问指令并行时使用这种指令码,能够实现间接寻址中的双 AR 间接寻址模式.指令码中的(XXX)、(YYY)表示辅助寄存器 AR0~AR7,由于是双 AR 间接寻址,所以使用两个。

(MMM)表示双 AR 间接寻址的不同操作数,对应关系如表 3 所示.其寻址的操作数是 AR 间接寻址操作数的子集,因而地址的生成和指针的修改方式与 AR 间接寻址相同.

表 3 双寻址部分指令码与寻址操作数

指令码	寻址操作数	指令码	寻址操作数
000	* ARn	100	* (ARn + T1)
001	* ARn +	101	* (ARn - T0)
010	* ARn -	110	* (ARn - T1)
011	* (ARn + T0)	111	* ARn(T0)

双寻址指令还有一种指令格式是 AAAAAAAImm,当访问的双字中有一个单字通过 BAB 总线访问(使用系数寻址)时使用这种指令码.指令码中的(AAAAAAAI)与单寻址指令相同,(mm)区别了不同的系数寻址操作数.

双寻址指令通过总线的支持可以实现在一个时钟周期内同时产生两个地址,通过两条总线同时访问两个数据存储空间,因而能够支持乘法类指令,单乘加类指令和双存储类指令^[3-4].

3.3 三寻址指令

三寻址指令实现三操作数寻址,即访问双字的同时,通过 BAB 总线访问单字,能够实现系数间接寻址模式.其指令码为 XXXMMMYYYMMMmm.指令码中的(XXXMMMYYYMMM)与双寻址的第一种指令码的意义相同,(mm)表示了不同的系数寻址操作数,00 表示 * CDP,01 表示 * CDP + ,10 表示 * CDP - ,11 表示 * (CDP + T0),其地址形式与指针修改与 CDP 间接寻址相同.

三寻址指令可在一个时钟周期内同时产生三个地址,同时访问三个数据存储空间,再通过两个乘加指令在指令结构上的内嵌并行^[5],就能够有效支持双乘加类指令.这样,不仅提高了指令的并行度,增强了芯片的处理能力,也大大减少了实现如 FFT、FIR 等 DSP 算法的程序代码量,提高了执行效率.

4 硬件实现

三种寻址指令码及其对应的操作数能够实现所有的寻址模式,最多支持三访问操作,因此硬件实现时也要支持三寻址模式,即能同时产生三个地址,放到对应的三条地址总线上.根据这种并行性原则,把

地址产生部件 AGU 分为 4 个部分:寻址方式译码模块、主地址产生模块、辅地址产生模块、系数地址产生模块.其总体结构如图 1 所示.

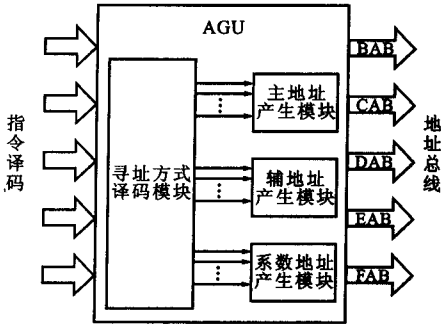


图 1 AGU 总体结构图

寻址方式译码模块从指令译码单元接收寻址指令码以及其他控制信号,对这些信号进行二级译码,产生各个地址产生模块的控制信号.主地址产生模块用于实现单寻址指令,支持绝对寻址、直接寻址和大多数间接寻址;辅地址产生模块用来配合主地址产生模块实现双寻址指令,支持双 AR 间接寻址的第二个 AR 寻址;系数地址产生模块支持系数寻址,可以与前两个模块并行来实现三寻址指令.

三个地址产生模块的总体结构相同,都包含一个寻址寄存器计算子模块(ARAU)和一个地址生成子模块(ADDR),所不同的是支持的寻址方式种类不同.由于主地址产生模块支持的寻址方式和实现的功能最多,因此下面给出其主要原理与硬件结构实现.

4.1 寻址寄存器计算子模块

ARAU 能够完成直接寻址和间接寻址模式中地址生成和寄存器更新的计算.由于绝对寻址没有寄存器的计算,该模块不描述.对于两种特殊寻址方式——位反向寻址和循环寻址,由于其能够和间接寻址一起使用,因此该模块也同时实现了这两种寻址方式.其硬件结构如图 2 所示.

图 2 中除 BK 外的输入信号都来自寻址方式译码模块的二次译码.第一级加法器(D-ADD)设计成 16 位的双向进位加法器,其进位的传播既可以从右到左,也可以从左到右,传播的方向由 carry_mode 控制,这样的设计不但支持了正向寻址和位反向寻址方式,而且比用两个不同进位的加法器的设计要节省面积.该加法器的输入信号有两个:基值(TAy)和偏移

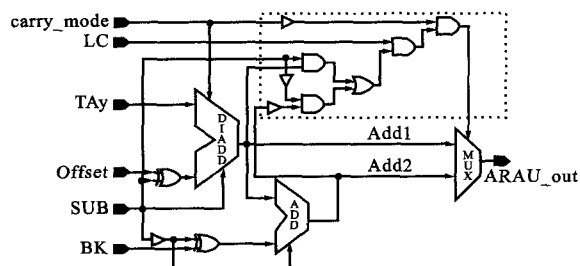


图 2 ARAU 硬件实现

量(Offset).在直接寻址中,基值就是寻址寄存器 DP 和 SP 的值,偏移量是信号 AGB[9:3](AGB 是指令译码逻辑发出的寻址编码信号,位宽为 14,支持多寻址,当单寻址时为 0000AAAAAAImm,多寻址时为 XXXMMMYYYMMImm,这样通过二次译码就可以表示出不同的寻址方式).在间接寻址中,基值就是寻址寄存器 ARn 和 CDP 的值,偏移量可以是暂存器 T0、T1 的值,也可以是常数.加法的结果 Add1 可以直接作为地址计算结果输出,也可以参与循环寻址的计算.

第二级加法器(ADD)和结果选择逻辑(图 2 中虚线框)共同实现了循环寻址.循环寻址时地址的增大或者减小量都不能超过循环缓冲区的大小,若超过则返回到循环起始地址.实现时使用寄存器 BK 来存放循环缓冲区的大小,Add1 与 BK 相加减来完成循环寻址的计算,计算结果 Add2 输入到结果选择逻辑.

最终结果选择逻辑对两级加法器结果 Add1 和 Add2 进行选择,选择算法如下:

在第一级加法器进行正向进位的情况下,如果 LC 信号为线性寻址,则选择 Add1;如果 LC 信号为循环寻址,则在满足两条件之一的时候选择 Add2: ①第一级加法器做的是减法并且出现借位;②第一级加法器做的是加法但第二级加法器做的是减法并且没有出现借位.若不满足则选择 Add1.

4.2 地址生成子模块

ADDR 根据来自寻址方式译码模块二次译码后的寻址指令码,对 ARAU 子模块计算后的结果以及原值进行选择,解决了地址生成的两个问题:地址生成的选择和寄存器更新的选择^[6].其硬件实现如图 3 所示.

图 3 中地址 Address 的产生方式为段地址和偏

移地址的拼接,High 表示段地址,而偏移地址可以根据不同的寻址模式进行选择.对于绝对寻址模式,直接用立即数 KAB 的值作为地址;对于直接寻址模式,偏移地址为 ARAU_out;对于间接寻址模式,偏移地址可以是寻址寄存器值 TAY,也可以是 ARAU 子模块计算后的值 ARAU_out,若是循环寻址则要加上表示循环起始地址的 BSA.

只有间接寻址模式才可能对寄存器进行更新,更新后的值 Update 可能是原值 TAY 或者计算后的值 ARAU_out,由寻址指令码进行选择.

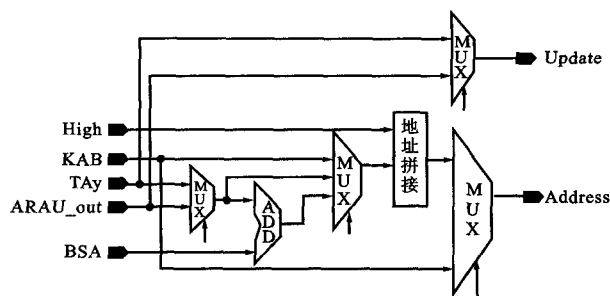


图 3 ADDR 的硬件实现

5 性能的提升和功耗的优化

为提高性能和降低功耗,对该 AGU 进行了以下三个方面的改进和优化.

5.1 并行结构

该嵌入式 DSP 不但支持的寻址方式多,而且其并行结构支持单周期的三寻址操作,大大提升了指令的密度,加上多总线的支持,极大减少了访存的次数.图 4 是用该 DSP 和 TI 公司的 16 位低功耗 DSP 芯片 TMS320C54x 实现 CFFT 和 CFIR 算法所需的指令周期数的比较.可以看出有了并行结构的支持,其指令周期数减少了大约 25%.

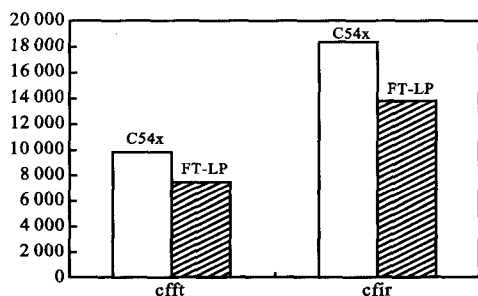


图 4 两种 DSP 实现信号处理算法的指令周期数比较

5.2 地址产生算法的改进

地址产生算法的改进主要是对循环寻址时基址

地址计算进行了改进,没有采用 N 边界判断逻辑,而是把起始地址放入寄存器 BSA 中,只需要一个加法操作就可以完成地址的产生,省去了复杂的判断逻辑,节省了面积.同时制定相应的规则,优化了结果选择逻辑,使得循环寻址的寄存器计算部分的实现简单化.同时,把关键路径上的双向进位加法器改为 16 位双向超前进位加法器,通过面积与功耗的实验比较,当取频率低于 500MHz 时,功耗和面积都非常小,逻辑级数也只有双向串行加法器的一半.

5.3 功耗优化

该芯片是一款低功耗的芯片,因此要采用低功耗设计技术来降低其功耗.对整个芯片而言,30% 的功耗消耗在时钟电路上^[7],关闭不需要的时钟信号可以大大降低系统的动态功耗.因此在 AGU 中加入了时钟控制单元,通过门控时钟的方法降低系统的动态功耗.

改进后用 Synopsys 公司的 Design Compiler (Version: 2004.06 - SP2) 工具,基于 SMIC 公司的 0.13 μm CMOS 典型工艺库(温度 25 $^{\circ}\text{C}$,工作电压 1.2V),对该 AGU 进行了综合,在满足时序约束下,关键路径延时为 3.5ns,动态功耗约为 0.2mW.若再进行后端电路级的优化,则可以进一步提高性能和降低功耗.

6 结束语

文中分析了该嵌入式 DSP 的寻址模式,重点分析了间接寻址模式,着重从并行指令的角度详细分析了寻址指令的编码结构,包括单寻址、双寻址和三寻址指令,指出了不同的编码与寻址模式操作数的

对应关系.在上述的基础上,根据地址产生和寄存器更新的基本原理设计了 AGU 的硬件电路,能够最大限度地支持并行指令的执行.

参考文献:

- [1] 车德亮,赵宁.一种 RISC 地址产生器生成算法的设计与实例化[J].计算机技术与发展,2006,16(1):23-26.
- [2] Texas Instruments Incorporated. TMS320C55x 系列 DSP 的 CPU 与外设[M].彭启琮,译.北京:清华大学出版社,2005:4-23.
- [3] 孙传名.一种数字信号处理器的地址生成单元设计[J].微电子学与计算机,2007,24(2):67-68.
- [4] 段来仓等. DSP 处理器循环寻址和位翻转寻址的设计[J].微电子学与计算机,2003,20(1):11-13.
- [5] 李海森,译. Texas instruments incorporated. TMS320C55x 系列 DSP 指令系统、开发工具与编程指南[M].北京:清华大学出版社,2007:47-49.
- [6] Clifford Liem. Address calculation for retargetable compilation and exploration of instruction - Set architectures[C]// 33th annual Design Automation Conference. USA, Las Vegas, 1996:597-600.
- [7] Trevor Mudge. Power: a first - glass architectural design constraint[J]. Computer, 2001,34(4):52-58.

作者简介:

陈海燕 女,(1967-),副教授.研究方向为微处理器设计与实现.

蒲伟 男,(1984-),硕士研究生.研究方向为微处理器设计与实现.

王勐 男,(1985-),硕士.研究方向为微电子学与固体电子学.