

利用 SystemC 实现多核系统的快速建模

奚 杰¹, 陈 杰¹, 朱 玥²

(1 中国科学院 微电子研究所, 北京 100029; 2 中国科学技术大学, 安徽 合肥 230026)

摘 要: 在多核系统设计中, 传统的 Verilog/VHDL 等语言由于仿真速度慢的缺点, 不适合多核处理器建模. 为实现快速建模, 文中利用 SystemC 对多核处理器进行建模, 并且给出了处理器、共享存储区、信号量、邮箱、自旋锁等模块的建模方法. 通过详细的性能分析, 寻找系统的性能瓶颈并改进设计. 在此基础上, 采用手动翻译的方法, 实现了可综合的 Verilog 多核处理器模型. 仿真结果显示, SystemC 模型相对于 Verilog 模型可以使仿真速度提高约 15 倍, 并且建模简单, 周期级的仿真精确性较高.

关键词: 多核; SystemC; 信号量; 邮箱; 自旋锁

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)07-0214-04

Fast Multiprocessor Modeling Based on SystemC

XI Jie¹, CHEN Jie¹, ZHU Yue²

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2 University of Science and Technology China, Hefei 230026, China)

Abstract: Because of the simulation speed disadvantage, traditional Verilog/VHDL are not suitable to model multiprocessor. To implement fast modeling, The paper uses SystemC to model multiprocessor and gives the details about how to model CPU, share dm, semaphore, mailbox, spin lock. Through detailed analysis to the SystemC model, the performance bottle-neck can be found and redesigned. Using this as a foundation, one synthesizable Verilog model is implemented by translateing SystemC programs to Verilog programs manually. The simulation result shows that SystemC model can improve the simulation speed about 15 times faster than Verilog model, which is both easy to model and accurate in cycle based simulation.

Key words: multiprocessor; SystemC; semaphore; mailbox; spin lock

1 引言

随着多媒体、通讯等技术的迅猛发展, 各种应用对处理器提出了越来越高的要求. 多核处理器^[1-3]由于其优越的可扩展性, 强大的处理能力, 正在成为业界研究的热点. 传统的 RTL 层次的硬件仿真语言, 如 Verilog^[4]等, 由于其仿真速度的限制, 不太适合于搭建多核处理器仿真模型. 提高设计的抽象层次并且实现软硬件协同设计已经成为了当前备受关注的焦点. 针对这种需求, OSCI (Open SystemC Initiative) 组织在 1999 年正式推出了 SystemC^[5].

SystemC 是建立在 C++ 基础上的系统级设计语言, 它将并发、时钟、端口等概念引入了 C++, 使其可以对硬件进行建模描述. 由于 SystemC 本质上是在 C++ 的基础上添加的一个扩展类, 所以其仿真速度非常高, 目前正受到越来越广泛的关注.

文献[6]采用 SystemC 对 AMBA 总线进行了建模, 并给出了将系统级总线通信模块转换为可综合的 SystemC RTL 模型的方法. 文献[7-8]针对目前 SoC 设计中存在的软硬件协同验证的时间瓶颈, 提出了一种使用 SystemC 对 SoC 进行周期精确的行为级建模的方法.

收稿日期: 2009-06-16; 修回日期: 2009-09-25

基金项目: 国家“八六三”计划项目(2009AA011700)

以上文献均是采用 SystemC 对 SoC 系统进行建模,而较少对多核系统中的同步、通讯等机制进行建模.文中针对这种情况,采用 SystemC 对多核处理器进行行为级的建模,并且分析应用程序对处理器各个模块的影响,从而找出系统中的性能瓶颈.

2 传统的系统级设计方法及其局限性

传统的系统级设计方法是由系统设计者采用 C/C++ 来描述算法,并且在系统层次验证算法的正确性,最终产生输入输出向量文件作为硬件平台的测试文件.C/C++ 平台完成后,由设计者划分硬件模块并且手动实现从 C/C++ 到 VHDL/Verilog 的转换,然后开始前仿、综合、布局布线、后仿等步骤.设计方法如图 1 所示.

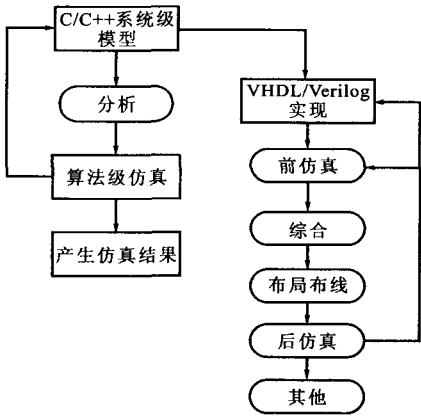


图 1 传统系统级设计方法

由于 C/C++ 的局限性,传统的系统级设计方法适合单线程建模,无法多个线程同时运行.如果想对多线程建模,如对多核建模,就需要对 C/C++ 进行扩展.SystemC 在 C++ 的基础上引入了一个扩展类,并包含了一个用来对系统行为进行模拟的仿真核,从而使 SystemC 适合多线程的建模.

3 多核处理器的建模

3.1 多核处理器结构

文中用 SystemC 实现了图 2 所示的多核处理器仿真模型,并且用 Verilog HDL 语言实现硬件设计.它由 5 个 CPU 内核和共享存储器 (SHARE DM)、邮箱 (MAILBOX)、自旋锁 (SPIN LOCK)、信号量 (SEMAPHORE)、以及 UART 等外设构成.CPU 内核为自主研发的兼容 MIPSII 指令集的 32 位通用处理器.地址总线和数据总线均为 32 位.在该系统中,每个 CPU 具有 8KWORD 的内部程序存储器和 8KWORD 的数据存储器.并且还有一块

48KWORD 的共享存储器供各内核共享使用.

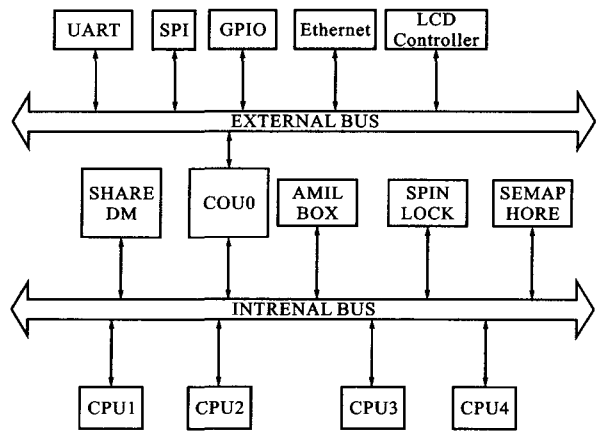


图 2 多核处理器结构

本系统的通讯机制包含邮箱,信号量,自旋锁.任意两个 CPU 内核之间均可采用双向邮箱通讯.每个邮箱拥有 4 个寄存器,分别对应:数据寄存器、满标志寄存器、空标志寄存器及有效数据个数寄存器.每个邮箱的深度为 16 个字,每个字的位宽为 16 比特.总共有 20 个邮箱.系统中一共设计了 8 个信号量供各内核使用.当系统复位后,各信号量的计时器值均为零,各个处理器可以通过硬件信号量实现内核同步,内存屏障等操作.自旋锁由于其高效、面积代价小等特点,在多核处理器的设计中得到了广泛的应用,本系统把共享存储区划分成 8 片,当不同的处理器访问不同片的时候,不会引起访问冲突,并且每片对应一个自旋锁以指示该片是否可用.

3.2 CPU 的建模

文中实现了兼容 MIPSII 指令集的 CPU,并且采用 SystemC 进行建模.为了减少实现的复杂度,CPU 的 SystemC 模型并没有实现流水线,而是采用读取一条指令,执行一条的操作方式.程序中有一个主要的数据结构 State 用来记录所有的通用寄存器的值和 PC 指针等变量,并且实现了一个主要的函数 Cycle(),用来实现每条指令的操作,如图 3 所示.

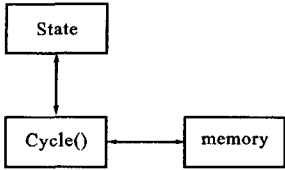


图 3 CPU 的建模

3.3 共享存储器和自旋锁的建模

由于 5 个 CPU 要同时访问共享存储器,所以,在数据密集型的操作中,访存冲突会变得非常严重.

为了解决这个问题,文中采用存储器分片的方法,每片的大小是 6KWORD,对不同的片访问时候,不会引起访存冲突.并且,每片对应一个自旋锁,用来表示数据是否准备好,如图 4 所示.

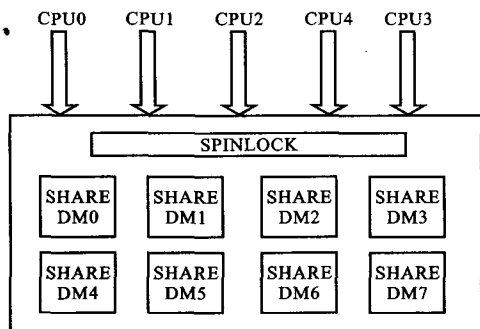


图 4 共享存储器和自旋锁

对于 SystemC 模型,由于抽象层次较高,因此并不牵涉到共享存储器的访存冲突.但为了更好的模拟硬件环境,文中创建了 8 块存储器模型,并给每片存储器开辟了一个 6KWORD 大小的空间,支持同一片中不同地址的同时读写.在完成往存储区写数据或者读数据后,CPU 要把对应的 SPIN LOCK 清 0 和置 1,以表示当前存储器中数据的状态.

3.4 邮箱的建模

在多核系统中,邮箱是经常使用的通讯机制,它具有高效、点对点的特点.文中用 SystemC 自带的 `sc_fifo` 类实现了邮箱功能.任意两个 CPU 之间都可以通过邮箱通讯,一共有 20 个邮箱.每个邮箱的深度是 16,位宽是 32bit.如图 5 所示.

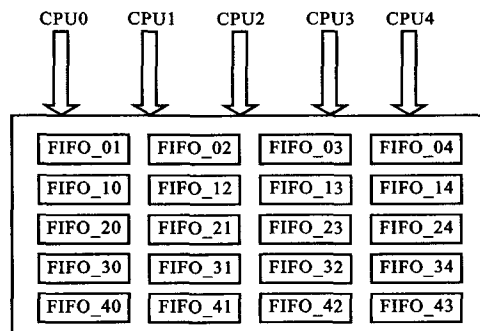


图 5 邮箱的建模

SystemC 的 `sc_fifo` 类提供了一系列读写操作方法用来对 FIFO 进行操作,如 `read()`, `write(&T)`, `num_free` 等函数,可以方便地实现对 FIFO 的读写操作.其中, `read()` 方法用来读取当前读指针指向的数据,如果当前 FIFO 为空,则读操作被停止. `write()` 方法用来写数据,如果当前 FIFO 为满,则写操作被停止.

3.5 信号量的建模

信号量是多核系统中管理公有资源的有效手段,它可以代表可用资源实体的数量,所以可以认为信号量是一个资源的计数器.如图 6 所示.

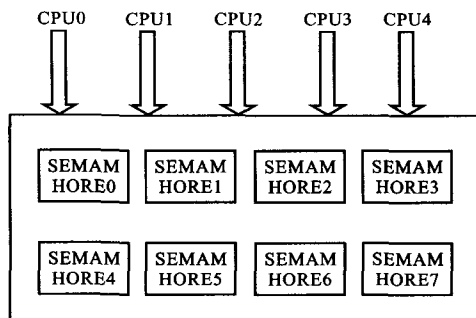


图 6 信号量的建模

SystemC 提供 `sc_semaphore` 类以支持信号量的快速建模.文中一共实现了 8 个信号量用来支持共有资源的管理. `sc_semaphore` 类提供了一系列的操作方法供调用,主要有 `wait()`, `post()`.其中, `wait()` 方法获得一个信号量,并且信号量计数器减 1.当计数器的值为 0,表示无可用资源,申请资源的处理器就会被停止. `post()` 方法提供资源,并且信号量计数器加 1.

3.6 外设的建模

文中的多核处理器包括 UART、SPI、GPIO、LCD Controller 等外设.但在 SystemC 模型中,由于只是对多核处理器内核进行仿真,所以,并没有实现较多的外设,只是实现了 UART,用来接收多核处理器发送的数据并且把数据存储到文件中,可以作为测试结果和正确的结果进行比对.

4 实验结果

文中分别用 Verilog 和 SystemC 实现了多核处理器的建模,并且在 SystemC 平台下开发软件.分别在 Verilog 平台和 SystemC 平台下测试开发的应用软件.仿真结果如表 1 所示.

表 1 仿真结果

仿真周期(μ s)	SystemC(s)	Verilog(s)	加速比
900	6	78	13
1800	10	160	16
2700	15	205	14
3600	23	270	12

可以看出, SystemC 相对于 Verilog 可以达到约 15 倍的仿真周期加速,并且可以达到很高的周期精

确性.由于文中采用 Verilog 对 SystemC 模型的顶层模块进行实例化,所以, SystemC 的仿真速度上有所损失.若全部采用 SystemC 进行仿真,则可以达到更快的仿真速度.

5 结束语

多核处理器是未来处理器发展的重要方向,快速对多核处理器进行建模、仿真可以在设计的早期就寻找出系统的性能瓶颈.而 SystemC 对 C++ 进行了扩展,使之具有了模拟多线程的能力,适用于多核处理器的建模.文中对多核处理器进行了建模,并且分别给出了通讯、同步等模块的实现,给出了 Verilog 和 SystemC 仿真平台速度上的差异,证明 SystemC 具有较好的处理器建模能力.

参考文献:

- [1] Jiang Xu, Wolf W, Henkel J, et al. A methodology for design, modeling, and analysis of networks - on - chip [C]// Proceeding of 2005 IEEE International Symposium on Circuits and Systems. Kobe, Japan: IEEE press, 2005:1778 - 1781.
- [2] Gorder P F. Multicore processors for science and engineering[J]. IEEE Trans on Computing in Science & Engineering, 2007,9(2):3 - 7.

- [3] Benini L, De Micheli G. Networks on chips: a new SoC paradigm[J]. IEEE trans on Digital Object Identifier, 2002,35(1):70 - 78.
- [4] 张雅琦,李镭. Verilog HDL 高级数字设计[M].北京:电子工业出版社,2006:47 - 238.
- [5] Peterson G, Ashenden P, Teegardern D. System C user's guide and system C language reference manual(version 2.0)[EB/OL]. [2009 - 03 - 10]. <http://www.systemc.org>.
- [6] 王兆菊,张洵颖,龚龙庆.应用 SystemC 的 AMBA 总线系统级模型的设计与实现[J]. 微电子学与计算机,2005,25(5):95 - 98.
- [7] 张奇,曹阳,李栋娜,等.基于 SystemC 的 SoC 行为级软硬件协同设计[J]. 计算机工程,2005,31(19):217 - 219.
- [8] 陈绍贺,赵明,王京.基于 SystemC 的片上系统设计[J]. 微电子学与计算机,2005,22(4):51 - 56.

作者简介:

奚杰 男,(1982 -),博士研究生.研究方向为多核处理器.

陈杰 男,(1963 -),博士生导师.研究方向为通信、多媒体处理、VLSI 设计.

朱玥 男,(1985 -),博士研究生.研究方向为多核处理器.

(上接第 213 页)

- [3] 丰艳.基于 RADIUS 协议的 VOLP 认证/计费系统的设计与实现[J]. 计算机工程与设计,2008(7):3480 - 3481.
- [4] 杨建军,贾晨军,冉立新.基于 RADIUS 协议的网络认证技术研究[J]. 浙江大学学报:工学版,2005(2):235 - 236.
- [5] 李春科,李伟华.MD5 加密算法及其在 RADIUS 协议中的应用[J]. 微电子学与计算机,2004,21(2):21 - 22.
- [6] 张琪,喻占武,李锐.RADIUS 服务器安全性分析及其改造[J]. 计算机工程,2007(3):146 - 147.

- [7] Rigney C, Willens S. Remote authentication dial in user service[S]. IETF, RFC2865, 2000.

- [8] 陆谊,张红.改进 802.1x 认证技术的研究[J]. 微电子学与计算机,2005,22(6):163 - 164.

作者简介:

于周锋 男,硕士研究生.研究方向为网络工程与技术.

蒋泽军 男,教授.研究方向为嵌入式计算、网络软件和嵌入式软件开发技术等.

王丽芳 女,教授.研究方向为电子商务、计算机应用等.