

基于 FPGA 的高性能 Viterbi 译码器的设计

邱 磊, 张 岩

(哈尔滨工业大学 深圳研究生院, 广东 深圳 518055)

摘 要: 卷积码的 Viterbi 译码算法已经被广泛地应用到通信和信号处理的各个领域. 为了兼顾性能和面积, 文中设计的(2,1,7)卷积码的 Viterbi 译码器采用串并结合的方式, 对译码器的核心部分加比选单元作出了较大改进, 在性能和资源的占用等方面较传统的译码器有了较大改善.

关键词: 卷积码; Viterbi; 加比选单元; FPGA

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2010)07-0246-04

The Design of High Performance Viterbi Decoder Based on FPGA

QIU Lei, ZHANG Yan

(Harbin Institute of Technology Shenzhen Graduate School, Shenzhen 518055, China)

Abstract: Convolutional code and its Viterbi decoding algorithm had been widely applied to various fields of communication and signal processing. This paper presents the decoding scheme of (2,1,7) convolutional code. In order to take both speed and size into account, the decoder combines parallel structure with serial structure. The core part of the decoder, Add-Compare-Select Unit, has been improved greatly, and the whole decoder has the advantages of performance and resource expense than traditional Viterbi decoder.

Key words: convolutional code; Viterbi; add-compare-select unit; FPGA

1 引言

随着现代通信技术的高速发展,对数据传输质量的要求也在不断提高.卷积编码充分利用了各组码字之间的相关性,具有信息位和码长都较小的优点,编码传输时延较小,可以串行或并行传输,并且容易实现最佳译码^[1].1967年维特比(Viterbi)提出了卷积编码的一种概率译码算法——Viterbi算法,它是一种最大似然译码算法.在码的约束度较小时,它比其他概率译码算法效率更高、速度更快,译码器也较简单^[2].

文中设计是针对卫星通信和其它通信系统中常用的(2,1,7)卷积码的 Viterbi 译码器在 FPGA 中的一种高性能、低成本实现方案.为了兼顾速度和面积,采用串并结合的译码方式,同时利用流水线结构来提高译码速度.对译码器的核心部分加比选单元作了较大改进,整个译码器性能更优,面积更小.

2 Viterbi 译码器的结构设计

译码器主要由五部分组成:分支度量单元(Branch Metric Unit)、加比选单元(Add-Compare-Select Unit)、幸存路径管理单元(Survivor Management Unit)、判决输出单元(Decide-Output Unit)、控制单元(Control Unit).其总体结构如图 1 所示.

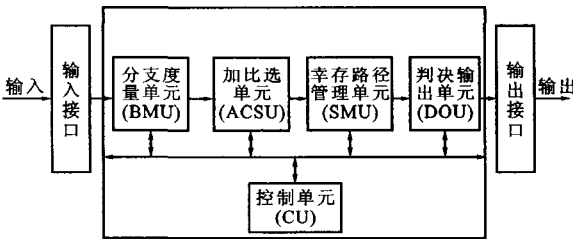


图 1 Viterbi 译码器总体结构

各单元之间的相互关系如下:接收到的输入数据首先被送入各分支度量单元中计算出相应的分支路径距离;加比选单元将旧的状态路径度量与相应的新产生的分支路径距离相加,通过比较后选择到达同一状态的两个路径度量值中较小的分支来更新路径度量;溢出处理防止加比选单元中的路径度量累加值发生溢出;幸存路径管理单元将加比选单元生成的路径信息进行存储管理;判决输出单元根据加比选单元选择的路径度量,从中选择一个最小值,并输出该最小值对应的幸存路径.所有这些单元都在控制单元的协调下工作^[3].

其中,加比选单元(ACSU)是整个译码器最核心的部分,ACSU 占用面积大、计算量大、功耗高,往往是 Viterbi 译码器设计的瓶颈所在^[4-5].因此,设计出性能更优、面积更小的 ACSU 是文中的重点.

3 加比选单元(ACSU)的设计

ACS单元用来累加路径度量值并比较和选择进入某一状态的两条分支.文中采用4个ACS单元并行计算,每16个状态复用一個ACS结构,同时兼顾了面积和速度.

传统的译码器结构每产生一位译码需要进行 $2^{(n-1)}$ 次加比选运算,即 $2 \times 2^{(n-1)} = 2^n$ 次加法运算和 $2^{(n-1)}$ 次比较选择运算.对于(2,1,7)码来说,需要进行128加法运算和64次比较选择运算^[6-7],这将占用很多的资源并产生很大的功耗,因此,如果能够通过改进ACS单元的结构来降低其规模和功耗,将会使整个译码器的硬件规模和功耗大大降低.

从图2所示的(2,1,7)码的状态图中可以看出:在 $T(i+1)$ 时刻到达状态 S_0 和 S_1 的是 $T(i)$ 时刻的状态 S_0 和 $S_{32}, \dots$,在 $T(i+1)$ 时刻到达状态 S_{62} 和 S_{63} 的是 $T(i)$ 时刻的状态 S_{31} 和 S_{63} .也就是说, $T(i)$ 时刻的状态 S_j 和 S_{j+32} 会达到 $T(i+1)$ 时刻的相邻的两个状态,并且这两个状态是 S_{2j} 和 S_{2j+1} ($31 \geq j \geq 0$).这也就是图3所表示的基二蝶形单元(Butterfly Unit).

在图2中, $T(i)$ 时刻的状态 S_j 和 S_{j+32} 都是在输入0的时候转移到 $T(i+1)$ 时刻的状态 S_{2j} ,在输入1的时候转移到 $T(i+1)$ 时刻的状态 S_{2j+1} .这也就意味着ACS单元中的比较器所比较的两个路径度量值(BM)来自数值上相差32的两个状态.路径度量的计算就是分支度量加上与这条分支相连的前一时刻的状态选择的路径度量,所以,新状态的路径度量为:

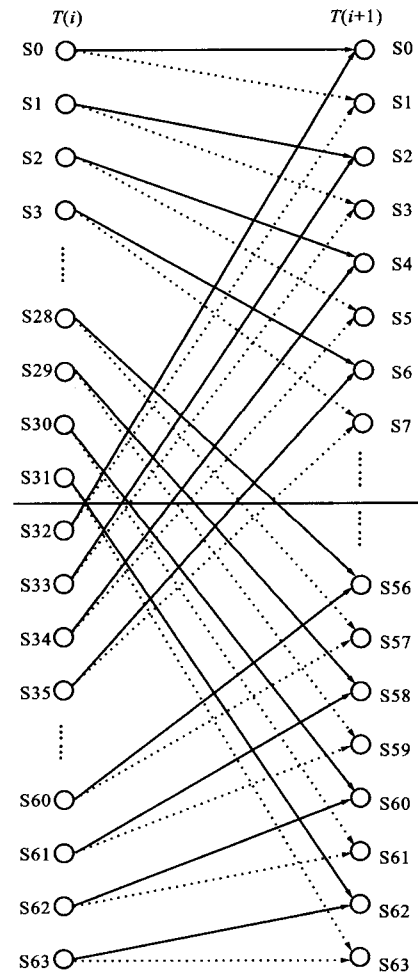


图2 (2,1,7) 卷积码的状态图

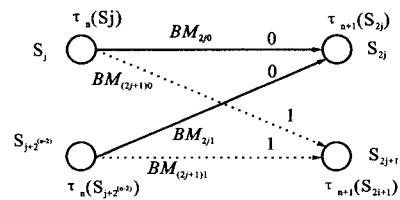


图3 基二蝶形单元

$$\begin{aligned} \tau_{n+1}(S_{2j}) &= \min \{ \tau_n(S_j) + BM_{2j0}, \\ &\quad \tau_n(S_{j+2^{(n-2)}}) + BM_{2j1} \} \end{aligned} \quad (1)$$

$$\begin{aligned} \tau_{n+1}(S_{2j+1}) &= \min \{ \tau_n(S_j) + BM_{(2j+1)0}, \\ &\quad \tau_n(S_{j+2^{(n-2)}}) + BM_{(2j+1)1} \} \end{aligned} \quad (2)$$

从以上的分析中可以得出一个很重要的结论:从 $T(i)$ 时刻的状态 S_j ($2^{(n-1)} \geq j \geq 0$)生成的两条支路,唯一不同的信息就是该时刻状态 S_j 的输入数据, S_j 的上支路输入的是0,下支路输入的是1.因此,一个状态只用生成上支路即可,下支路的信息已经包括在上支路中,要恢复出下支路只需要将上支路的输入数据取反即可.

因此,ACS 单元结构中的累加器可以减少一半的工作量,对于本文中的(2,1,7)码的译码器,即由每产生一位译码工作 16 个时钟周期减少为 8 个时钟周期(可将时钟频率降为原来的 1/2),减少了复用次数,降低了 ACS 单元的复杂度和功耗.同时,由于 ACS 单元结构的优化,每个状态只需要生成一条路径,存储的幸存路径数也由原来的 128 条减少为 64 条,也同样使结构变得简单,功耗有所降低. ACS 单元的改进流水线型结构如图 4 所示.

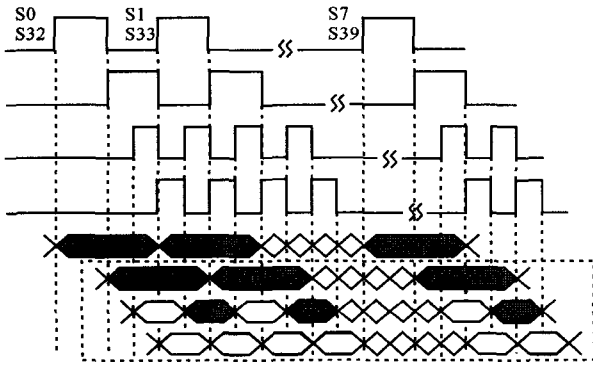


图 4 改进的流水线型 ACS 单元时序图

由式(1)和式(2)可知,输入数据不同,卷积码的输出 C_0 和 C_1 也不同,因此,同一状态上支路的输出与下支路不同,上下支路状态输出及译码器的输入数据之间的关系如表 1 所示.

表 1 上下支路与输入数据的分支度量值

输入数据	上支路	度量	下支路	度量
00	00	0	11	2
	01	1	10	1
	10	1	01	1
	11	2	00	0
01	00	1	11	1
	01	0	10	2
	10	2	01	0
	11	1	00	1
10	00	1	11	1
	01	2	10	0
	10	0	01	2
	11	1	00	1
11	00	2	11	0
	01	1	10	1
	10	1	01	1
	11	0	00	2

上下支路分支度量值的关系如下:

- ① 当上支路分支度量值为 0 时,下支路分支度量值为 2;
- ② 当上支路分支度量值为 2 时,下支路分支度

量值为 0;

- ③ 当上支路分支度量值为 1 时,下支路分支度量值为 1;

利用上下支路分支度量值的关系就可以从上支路路径度量累加值中计算出下支路路径度量累加值,大大减小了计算量.用 Verilog HDL 语言描述为:

```
case(up_branch_metric)
    2'b00: down_path_total_metric <= up_path_total_metric + 2'b10;
    2'b10: down_path_total_metric <= up_path_total_metric - 2'b10;
    default: down_path_total_metric <= up_path_total_metric;
endcase
```

另外,ACS 单元中的累加器可以用超前进位加法器实现,这将使累加器不会成为速度的瓶颈.由于累加器使用固定长度的寄存器(文中采用 7bit 的寄存器),因此在不断累加过程中可能会发生溢出,影响译码结果.解决溢出常用的方法是到达译码深度时从所有状态的路径度量值中减去最小度量值.

4 性能分析

本设计利用 Verilog HDL 语言进行 RTL 级描述,用 ModelSim 6.2b 进行功能仿真和时序仿真,选用 Altera 公司的 FPGA 器件 Stratix II EP2S30F484C5,用 Synplify Pro 8.1 进行综合,Quartus II 7.2 进行布局布线.时序仿真结果如图 5 所示.

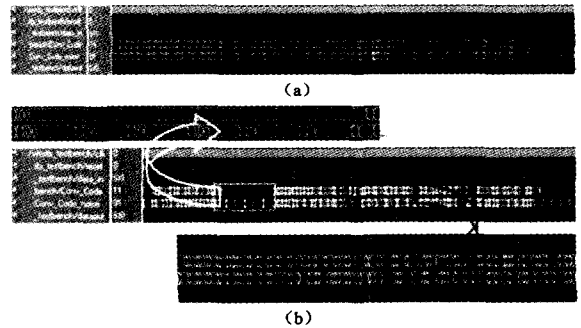


图 5 Viterbi 译码器时序仿真结果

图 5(b)中左边的箭头显示卷积码编码器的输出加入了噪声,每七个码字中有一个误码,而文中设计的 Viterbi 译码器可以纠正这种程度的错误,图 5 中(b)中右边的箭头指示局部放大结果.

系统性能如图 6 所示.最高工作频率可以达到 120MHz,译码速率可达 $120/24 = 5\text{Mbps}$,译码延时

为译码深度 35×24 个时钟周期,即 $35 \times 24 / 120\text{MHz} = 7\mu\text{s}$,进一步提高译码器的并行性,可以得到更高的译码速度。

Type	Slack	Required Time	Actual Time
1 Worst-case tco	N/A	None	14.417 ns
2 Worst-case tpd	N/A	None	7.187 ns
3 Clock Setup: 'clk'	0.282 ns	115.01 MHz [period = 8.695 ns]	122.97 MHz [period = 8.132 ns]
4 Clock Hold: 'clk'	0.457 ns	115.01 MHz [period = 8.695 ns]	N/A
5 Total number of failed paths			

图6 系统时序分析结果

系统占用资源情况如图7所示。这其中除了译码器模块之外,还有存储在ROM中的256bit数据(作为信源),以及读ROM的模块,卷积码模块,噪声模块等,实际译码器占用的资源会略少于图7中所示的结果。

Fitter Status	Successful - Sat Jun 28 08:41:09 2008
Quartus II Version	7.2 Build 151 09/26/2007 SJ Full Version
Revision Name	all
Top-level Entity Name	all
Family	Stratix II
Device	EP2S30F484C5
Timing Models	Final
Logic utilization	42%
Combinational ALUTs	3 131/27 104(12%)
Dedicated logic registers	9 980/27 104(37%)
Total registers	9980
Total pins	70/343(20%)
Total virtual pins	0
Total block memory bits	256/1 369 728(<1%)
DSP block 9-bit elements	0/128(0%)
Total PLLs	0/6(0%)
Total DLLs	0/2(0%)

图7 系统占用资源情况

5 结束语

文中介绍了(2,1,7)卷积码的Viterbi译码算

法,对其结构特别其中的ACS单元作了改进,降低了硬件规模和功耗。流水线的细化也使得系统速度大大提高,5Mbps的译码速率可满足大部分需求。文中使用了4个ACS单元,并行程度有很大的提升空间,使用更多的单元并行将会使译码速率进一步提高。文中译码器的结构同样适合(2,1,n)码。

参考文献:

- [1] 李子臣. 信息论与编码[M]. 徐州:中国矿业大学出版社,2006:312-330.
- [2] 王新梅,肖国镇. 纠错码——原理与方法[M]. 西安:西安电子科技大学出版社,2001:496-498.
- [3] 黄君凯,王鑫. 一种高速Viterbi译码器的优化设计及Verilog实现[J]. 微电子学与计算机,2005,22(2):178-182.
- [4] Richard B Wells. 工程应用编码与信息理论[M]. 尹长川,罗涛,藤勇,等,译. 北京:机械工业出版社,2003(4):167-193.
- [5] 张健,刘小林,匡镜明,等. 高速Viterbi译码器的FPGA实现[J]. 电视技术,2006,46(3):37-41.
- [6] Viterbi A J. Error bounds for convolutional codes and an asymptotically optimum decoding algorithm [J]. IEEE Trans Inform Theory,1967,13(2):260-269.
- [7] Hekstra A P. An alternative to metric rescaling in Viterbi decoders[J]. IEEE Trans Communications,1989,37(11):1220-1222.

作者简介:

邱磊 男,(1985-),硕士研究生.研究方向为通信信号处理。

张岩 男,教授,博士生导师.研究方向为面向消费类电子芯片片上系统。

(上接第245页)

- [6] Ramakrishna Tadikonda, Shyam Hardikar, Sankara Narayanan E M. Realizing high breakdown voltages (>600V) in partial SOI technology[J]. Solid-State Electronics, 2004(48):1655.
- [7] Gilbert P V, Sun S W. A PELOX isolation sub-0.5 micron thin-film SOI technology[C]// Symposium on VLSI Circuits. Kyoto, 1996:132.
- [8] 谢晓锋,张文俊,杨之廉. 短沟道MOS阈值电压物理模型[J]. 固体电子学研究进展,2003,23(2):155.

作者简介:

高珊 女,(1978-),博士.研究方向为微电子学。

孟坚 男,(1969-),博士.研究方向集成电路设计。

陈军宁 男,(1954-),教授,博士生导师.研究方向为微电子学。

柯导明 男,(1954-),教授,博士生导师.研究方向为微电子学。