

可重用片上仿真调试协议结构

刘蓬侠

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 提出了一种可重用片上仿真调试协议结构, 基于此结构设计实现的片上仿真调试逻辑, 简单高效, 便于重用用于新的芯片和新的体系结构。

关键词: 可重用; 片上仿真调试; 协议结构

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2011)02-0006-05

Reusable On-Chip Emulation Debug Protocol Framework

LIU Peng-xia

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: In this article, we opened a kind of reusable on-chip emulation debug protocol framework. Basing on it, an achieved on-chip emulation debug module is simple, efficient, and easy to reusing in a new processor or a new architecture.

Key words: reusable; on-chip emulation debug; protocol framework

1 引言

仿真调试功能是嵌入式微处理器的核心功能之一, 对于嵌入式微处理器的应用开发和市场推广, 具有举足轻重的作用^[1]. 在各种仿真调试方法中, 片上仿真调试(On-Chip Emulation Debug)具有不占用嵌入式微处理器外部资源和额外管脚的优点, 已经在现代主流嵌入式微处理器中得到普遍采用^[2-4].

片上仿真调试是在嵌入式微处理器内部嵌入专用的仿真调试部件, 通过仿真调试接口与软件集成开发环境进行交互的一种仿真调试方式. 为提供一种嵌入式处理器软件开发调试的通用接口, IEEE 专门制定了相应的开放式行业标准: 即 IEEE-ISTO 5001 标准^[5], 通过将嵌入式微处理器仿真调试部件内负责和片上系统逻辑交互的调试协议与负责和片外通信的通信协议分开, 以便开发人员可以灵活设计实现嵌入式微处理器片上仿真调试部件^[6-7].

本文针对嵌入式微处理器片上仿真调试部件的设计需要, 提出一种简单、高效并且具有较好可重用

性的片上仿真调试协议结构, 使用此协议和方法能快速地设计和实现采用不同通信接口和/或具有不同体系结构的嵌入式微处理器的片上仿真调试部件.

2 可重用片上仿真调试协议结构

嵌入式微处理器的片上仿真调试部件应该包括三个方面功能: 片内资源的仿真调试读写功能、应用程序运行的仿真调试控制功能和应用程序运行性能的仿真调试统计功能.

为解决上述可重用技术问题, 本文提出的解决方案为: 通过对上述仿真调试功能进行抽象, 将片上仿真调试协议进一步分为 2 层, 提取出和嵌入式微处理器具体体系结构无关的仿真调试操作构成片上仿真调试协议的上层——调试管理协议, 而和嵌入式微处理器具体体系结构紧密相关的仿真调试操作及和片上仿真调试协议上层操作间的信号转换则构成片上仿真调试协议的下层——调试访问协议. 由此构成的可重用片上仿真调试协议的四层模型框图如图 1 所示. 图 1 中从上往下依次是: 通信协议

(communication protocol), 协议转换层 (protocol transformation), 调试管理协议 (debug management protocol) 和调试访问协议 (debug accessing protocol).

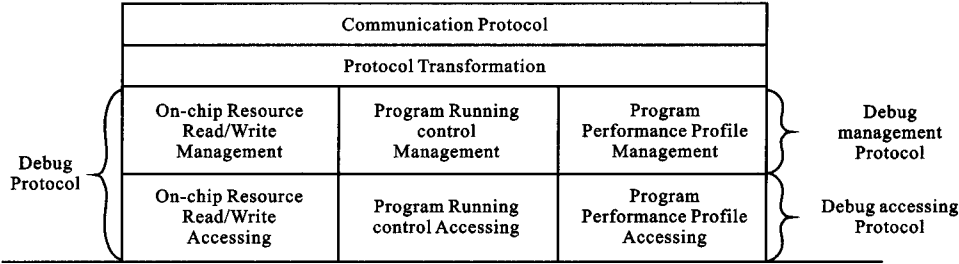


图 1 可重用片上仿真调试协议的四层模型框图

通信协议的功能是负责片上仿真调试部件和嵌入式微处理器芯片外的开发环境进行仿真调试控制信号和数据信号的交互工作. 协议转换层的功能是负责通信协议和调试管理协议之间控制和数据协议的相互转换工作. 调试管理协议的功能是负责和嵌入式微处理器体系结构不相关的仿真调试管理工作. 对应仿真调试的三大功能, 调试管理协议又进一步被分为三个子协议: 片内资源读写管理协议 (on-chip resource read/write management protocol), 程序运行控制管理协议 (program running control management protocol) 和程序性能统计管理协议 (program performance profile management protocol). 调试访问协议的功能是完成和嵌入式微处理器体系结构紧密相关的、具体的仿真调试访问工作.

对应仿真调试的三大功能, 调试访问协议也被进一步分为三个子协议: 片内资源读写访问协议 (on-chip resource read/write accessing protocol), 程序运行控制访问协议 (program running control accessing protocol) 和程序性能统计访问协议 (program performance profile accessing protocol).

通信协议及协议转换层和嵌入式微处理器具体采用的通信协议相关, 调试访问协议和嵌入式微处理器具体采用的体系结构相关, 下面详细论述可重用片上仿真调试协议结构核心的可重用扩展协议层: 调试管理协议.

3 片内资源读写管理协议

图 2 所示为片内资源读写管理协议接口图.

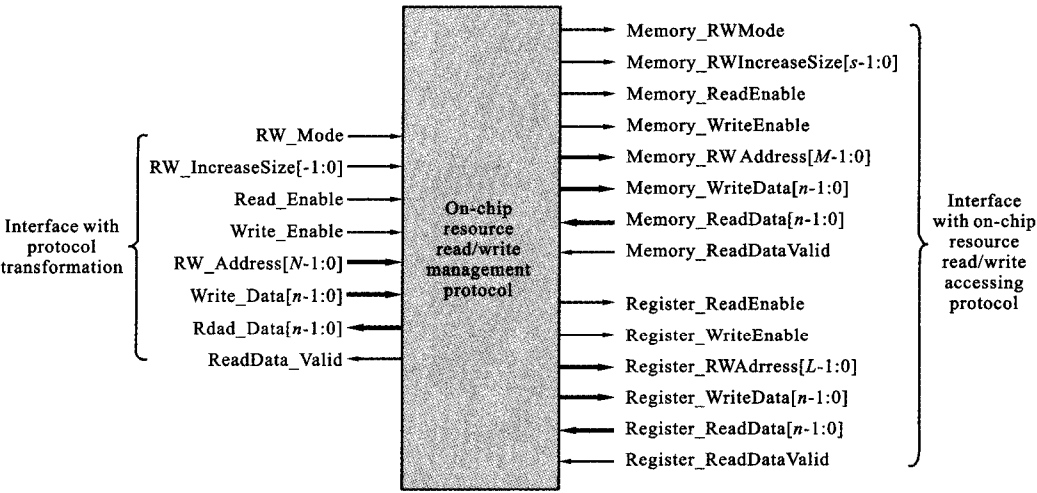


图 2 片内资源读写管理协议接口

图 2 中左侧是片内资源读写管理协议和协议转换层之间的接口信号, 包括读/写使能信号 (Read_Enable, Write_Enable), 读写地址信号 (RW_Address), 读/写数据信号 (Read_Data, Write_Data) 和返回的读数据有效信号 (ReadData_Valid). 图 2 中 N 表示地址信号宽度, n 表示数据信号宽度. N 大于

n , 地址信号的高 $N-n$ 位是扩展位. 另外, 片内资源读写管理协议支持 2 种读写模式: 单字读写和自增读写. 因此, 片内资源读写管理协议和协议转换层之间的接口信号还包括读写模式信号 (RW_Mode) 和自增读写大小信号 (RW_IncreaseSize). 图 2 中 s 表示自增读写大小信号宽度. 通常, 嵌入式微处理器片

内寄存器和存储器的读写访问机制不同,所以来自协议转换层的读写地址的高 $N-n$ 位包含了区分寄存器和存储器读写访问的扩展信息,片内资源读写管理协议就负责根据此扩展信息,对来自协议转换层的读写请求进行初级译码,区分是寄存器读写还是存储器读写,进而生成图 2 中右侧片内资源读写管理协议和片内资源读写访问协议之间的 2 组接口信号,一组用于寄存器读写(以为 Register 前缀),另一组用于存储器读写(以 Memory 为前缀)。

因为各个寄存器相对独立,而存储器则有大段连续地址空间的读写需求,所以,自增读写模式只对存储器读写有效。因此,存储器读写模式和自增读写大小信号可直接来自协议转换层的读写模式信号和自增读写大小信号。存储器和寄存器写数据信号同样可直接来自协议转换层的写数据信号,而存储器和寄存器读数据信号则经过各自的读数据有效信号选通再形成返回给协议转换层的读数据信号。来自协议转换层的读写地址信号去除区分寄存器和存储器读写访问的扩展信息后,分别形成存储器和寄存器读写地址信号。图 2 中 M 表示存储器读写地址信号宽度, L 表示寄存器读写地址信号宽度。通常,图

2 中的 M 、 L 和 n 相等。

4 程序运行控制管理协议

图 3 所示为程序运行控制管理协议接口图,左侧是程序运行控制管理协议和协议转换层之间的接口信号,右侧是程序运行控制管理协议和程序运行控制访问协议之间的接口信号,其中, N 和 n 的含义与图 2 中的相同。图 3 中左侧的读/写使能信号,读写地址信号,读/写数据信号、读数据有效信号与上述片内资源读写管理协议和协议转换层之间的接口信号一致,用于硬件断点寄存器的设置和观察。硬件断点寄存器包括:硬件断点地址寄存器和硬件断点使能寄存器。程序运行控制管理协议可以支持多个硬件断点,通过读写地址进行译码区分。与此对应,硬件断点地址寄存器的数量就是可以同时设置的硬件断点数量,硬件断点使能寄存器可以是一个或多个,它或它们总的位数就是可以同时设置的硬件断点数量,每一位对应一个硬件断点地址寄存器。另外,表示当前某流水线站(通常是执行站)有效指令或指令包地址的程序计数器信号用于硬件断点的比较判断,若硬件断点激活,则生成硬件断点有效信号。

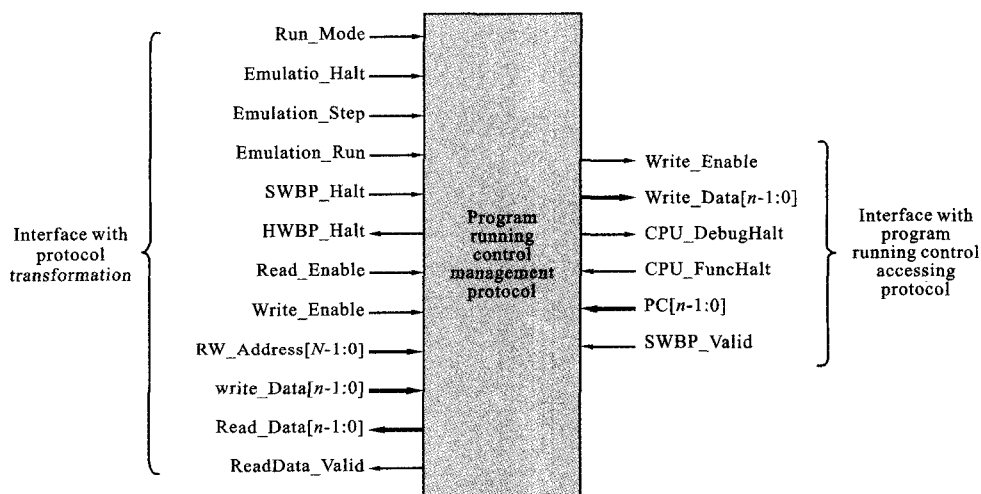


图 3 程序运行控制管理协议接口

图 3 中的工作模式信号(Run_Mode)表示嵌入式微处理器是工作在正常功能模式还是仿真调试模式;仿真停止(Emulation_Halt)、仿真单步(Emulation_Step)和仿真运行(Emulation_Run)是仿真调试命令信号;CPU 功能停信号(CPU_FuncHalt)是嵌入式微处理器系统内程序运行控制机制中表示程序运行因各种原因而处于停止状态的一个综合信号。这些信号控制程序运行控制管理协议内的程序

运行仿真调试控制状态机 EDCS(Emulation/Debug Control State machine),其状态图如图 4 所示。EDCS 包含 3 个状态:运行状态(run)、停止状态(halt)和控制状态(control)。图 4 中方向线上的数字编号表示状态转换条件,具体含义如表 1 所示。表 1 中的流水线站周期是表示指令在流水线中前进一步所用的系统时钟周期数,它有可能就是一个系统时钟周期,也可能由于 cache 不命中等原因而是多

个系统时钟周期。

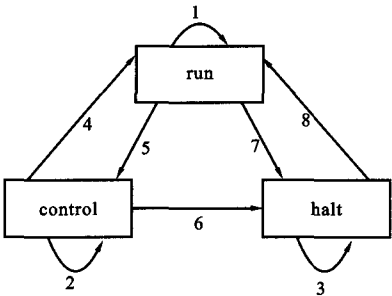


图 4 仿真调试控制状态机 EDCS

表 1 EDCS 状态转换条件

编号	状态转换条件
1	上电复位时,EDCS 进入运行状态;CPU 功能停信号有效时,保持原状态.
2	CPU 功能停信号有效时,保持原状态.
3	CPU 功能停信号有效时,保持原状态.
4	工作模式从仿真调试模式转换为正常功能模式,而且 CPU 功能停信号无效.
5	工作模式为仿真调试模式,仿真运行命令有效,而且 CPU 功能停信号无效时,从停止状态出发,在运行状态维持一个流水线站周期后,转换到控制状态.
6	工作模式为仿真调试模式,仿真停止命令有效,而且 CPU 功能停信号无效.
7	工作模式从正常功能模式转换为仿真调试模式,而且 CPU 功能停信号无效;或者工作模式为仿真调试模式,仿真单步命令有效,而且 CPU 功能停信号无效,从停止状态出发,在运行状态维持一个流水线站周期后,再转回停止状态.
8	工作模式从仿真调试模式转换为正常功能模式,而且 CPU 功能停信号无效;或者工作模式为仿真调试模式,仿真单步命令有效,而且 CPU 功能停信号无效,但只在运行状态保持一个流水线站周期就转回停止状态;或者工作模式为仿真调试模式,仿真运行命令有效,而且 CPU 功能停信号无效,但只在运行状态保持一个流水线站周期就转换到控制状态.

图 3 中的软件断点有效信号(SWBP_Valid)表示运行程序中设置的软件断点是否被激活.软件断点停信号(SWBP_Halt)用来表示嵌入式微处理器因为软件断点激活而处于仿真停状态,它有效的条件是:EDCS 处于控制状态,而且软件断点有效信号有效.硬件断点停信号(HWBP_Halt)用来表示嵌入式微处理器因为硬件断点激活而处于仿真停状态,它有效的条件是:EDCS 处于控制状态,而且内部生成的硬件断点有效信号有效.CPU 仿真停信号(CPU_DebugHalt)用于仿真调试时对嵌入式微处理器系统流水线的控制,它有效的条件是:EDCS 处于停止状态;或者,EDCS 处于控制状态,而且软件断点有效信号或硬件断点有效信号有效.

程序运行控制管理协议对流水线的控制机制是:(1)CPU 仿真停信号有效,则流水线所有站都立即停顿;(2)CPU 功能停信号无效是 EDCS 状态间转换的基本条件.这 2 条,使程序在调试时,流水线在运行和单步时严格按正常运行时流水线站边界前进,保证了程序在调试和正常运行时的执行轨迹一致.

图 3 中右侧的写使能信号(Write_Enable)和写数据信号(Write_Data)用于软件断点指令的恢复.因为软件断点设置不同于硬件断点,它是直接修改指令本身某个域为保留值,从而在指令译码时被识别为软件断点.仿真调试软件负责记录被设置为软件断点的指令的原始编码.因此,当流水线从仿真停顿恢复运行时,仿真调试软件必须首先通过软件断点停信号和硬件断点停信号判断仿真停顿的原因,若是仿真停命令或硬件断点导致的,则立即释放流水线运行;若是软件断点导致的,则需要先恢复软件断点指令的原始编码再释放流水线运行,以便嵌入式微处理器片内指令译码部件进行正确的指令译码,保证流水线恢复运行后执行正确的指令.

5 程序性能统计管理协议

图 5 是程序性能统计管理协议的接口图.左侧是程序性能统计管理协议和协议转换层之间的接口信号,右侧是程序性能统计管理协议和程序性能统计访问协议之间的接口信号,其中, N 和 n 的含义与图 2 中的相同,读/写使能信号,读写地址信号,读/写数据信号、读数据有效信号与上述片内资源读写管理协议和协议转换层之间的接口信号一致,用于程序性能统计管理协议内性能统计寄存器的设置和观察.性能统计寄存器包括:事件计数寄存器、事件使能寄存器和事件选择寄存器.程序性能统计管理协议支持同时统计多个事件,图 5 中的 b 即表示可同时统计的事件数.与此对应,事件计数寄存器的数量是 b 个,分别用于 b 个事件的统计;事件使能寄存器可以是一个或多个,它或它们总的位数是 b 位,每一位对应一个统计事件和一个事件计数寄存器,置位表示使能对应的事件计数寄存器进行事件统计;事件选择寄存器也可以是一个或多个,它或它们总的位数 $a = kb$, k 是整数,每 k 位一组,表示一个事件计数寄存器的事件选择编码.

图 5 中右侧的统计模式信号(Profile_Mode)和统计事件信号(Profile_Event)各位一一对应,表示对应的统计事件的统计模式.程序性能统计管理协

议支持 2 种统计模式:持续周期统计和发生次数统计.持续周期统计是统计事件从产生到结束期间所持续的系统时钟周期数,例如对整个或部分应用程序执行所消耗的时间进行评估就需要持续周期统

计.发生次数统计是统计事件发生的频次,例如对整个或部分应用程序执行期间产生中断的次数进行评估就需要发生次数统计.

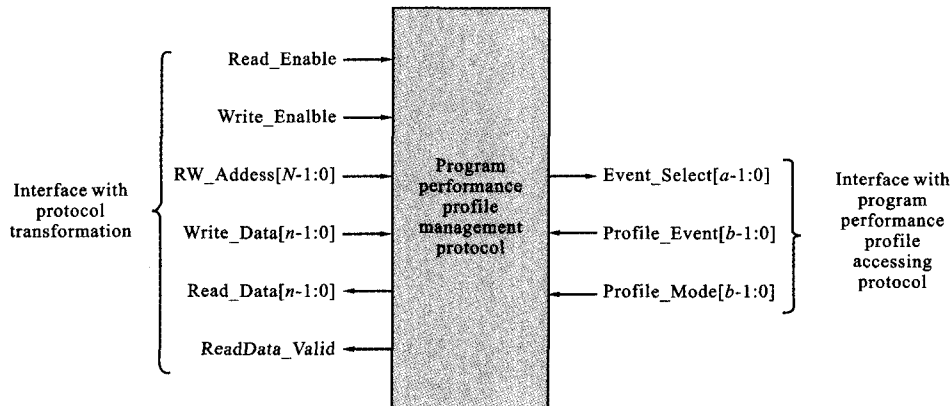


图 5 程序性能统计管理协议接口

6 结束语

本文将片上仿真调试部件的逻辑层次扩展为四层,层次更加明晰,使得片上仿真调试部件的设计更加灵活高效,实现更加快速容易.其中,片上仿真调试管理协议只需实现一次,即可反复移植重用,可以减少大量重新设计和验证的工作量,缩短设计周期和上市时间.本文所提可重用片上仿真调试协议结构已经成功应用于多款 DSP 芯片的片上仿真调试部件的研发.实践表明,对同一体系结构和不同体系结构的系列嵌入式微处理器的仿真调试开发环境设计,本文所提可重用片上仿真调试协议结构具有良好的适用性和灵活性.

参考文献:

- [1] Rob Oshana. Testing and debugging DSP systems[EB/OL]. [2009-12-11]. www.embedded.com.
- [2] Tony Garvey, Hugh O'Keeffe, Limerick. Debug of ARM(TM) based systems using EmbeddedICE(TM)[M]. Ashling Microsystems Ltd., 2001.

- [3] 张伟,李兆麟,张闯,等.一种基于 JTAG 的嵌入式微处理器片上可调试系统[J]. 计算机工程与应用, 2004 (12):4-7.
- [4] 黄海林,范东睿,许彤,等.嵌入式处理器在片调试功能的设计与实现[J]. 计算机辅助设计与图形学学报, 2006,18(7):113-118.
- [5] IEEE-ISTO. IEEE-ISTO 5001™-2003 the Nexus 5001 Forum™ Standard for a Global Embedded Processor Debug Interface, Version2.0[S]. Piscataway:IEEE-ISTO, 2003.
- [6] Miron Abramovici, Paul Bradley, Kumar Dwarakanath, et al. A Reconfigurable Design-for-Debug[C]// Proceedings of the 43rd annual ACM IEEE conference on Design automation. San Francisco: IEEE, 2006.
- [7] Morten Zilmer. Non-intrusive on-chip debug hardware accelerates development for MIPS RISC processors[EB/OL]. [2009-11-20]. www.amslink.com.

作者简介:

刘蓬侠 男,(1971-),副研究员,博士.研究方向为高性能微处理器和高性能数字信号处理器的研究与设计.