

一种以太网介质访问控制器芯片的设计与实现

梁 科,李国峰,王 锦,高 艺,林 列
(南开大学 信息技术科学学院,天津 300071)

摘 要: 完成了 10/100(Mb/s)以太网介质访问控制器芯片的设计与实现,介绍了芯片的架构和主要模块的设计方法,给出了仿真结果. 芯片采用 0.25 μm CMOS 工艺流片,工作电压为 2.5 V/3.3 V. 测试表明,芯片性能完全符合 IEEE802.3 标准,达到了设计要求.
关键词: 以太网;MAC;状态机
中图分类号: TN47 **文献标识码:** A **文章编号:** 1000-7180(2011)06-0001-04

ASIC Design and Realization of an Ethernet MAC Controller

LIANG Ke, LI Guo-feng, WANG Jin, GAO Yi, LIN Lie

(College of Information Technical Science, Nankai University, Tianjin 300071, China)

Abstract: The design and implementation of a 10/100(Mb/s) Ethernet media access controller chip are presented in this paper. Chip architecture and the design methods of main modules are introduced. The simulation results are also given in this paper. This chip is fabricated using 0.25 μm CMOS technology and operates at 2.5 V/3.3 V supply voltage. Test results show that the chip performance fully complies with IEEE802.3 standard and meets the design requirements.
Key words: Ethernet; MAC; State-machine

1 引言

介质访问控制(Media Access Controller, MAC)是以太网 IEEE 802.3 协议^[1]规定的链路层的子层,提供与介质访问控制方式有关的协议,在以太网中使用载波侦听多路访问和冲突检测(CSMA/CD)机制. 发送数据时,将从逻辑链路控制层(LLC)接收的数据组装成带 MAC 地址和差错校验字段的数据帧;接收数据时对物理层比特流拆帧,并完成地址识别和差错校验^[2-3]. 以太网 MAC 控制器与微处理器(MCU)、物理层收发器(PHY)、隔离变压器以及 RJ45 接口可构成一个如图 1 所示的完整的网络数据收发系统,只需通过网线将其连接到以太网中,就可使该系统成为以太网中的一个节点,微处理器可以通过 MAC 和 PHY 来发送和接收网络中的数据. 本文单独设计了 MAC 控制器并进

行了流片,MAC 也可与微处理器合并构成网络处理器芯片,如 Samsung 公司的 SoC 芯片 S3C4510B^[4];或与物理层设计合并构成以太网接口芯片,如 Realtek 公司的 RTL8019^[5].

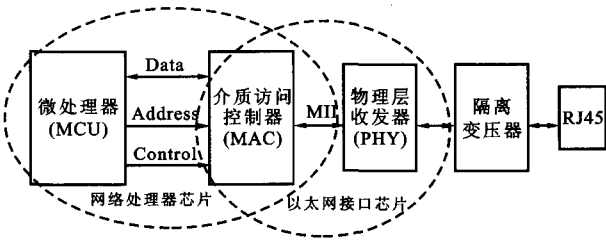


图 1 以太网数据收发系统框图

2 芯片设计

2.1 系统架构

本设计中,以太网介质访问控制器可以实现网络传输速率为 10 Mb/s 和 100 Mb/s 的数据收发功

能,具体包括数据包的装帧和拆帧、数据帧的发送与接收、冲突检测与处理、帧头的生成与检测、目的地址校验、CRC 循环冗余码的产生与校验以及对物理层的管理功能等;支持参数配置以适应不同的应用场合;支持半双工和全双工模式;与物理层收发器芯片的连接采用标准的介质无关接口(Media Independent Interface,MII).图2为以太网 MAC 芯片的结构图^[6],其中左侧信号是与处理器的接口信号,右侧是与 PHY 的 MII 接口信号.

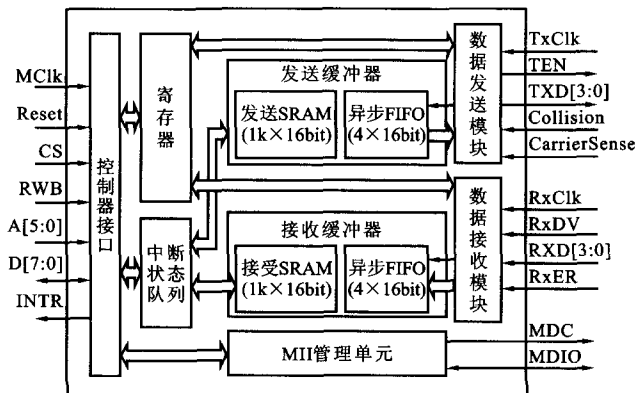


图2 以太网 MAC 芯片结构框图

2.2 数据发送模块

当逻辑链路层要求发送数据时,数据发送模块会在逻辑链路层提供的数据基础上构造数据帧,即在数据之前加上发送帧头 Preamble 和帧起始定界符 SFD(Start Frame Delimiter),并决定是否在数据之后加 Pad(填充位),同时还负责循环冗余校验码(CRC)的产生、等待网络空闲以及冲突处理等任务.

数据发送模块的控制部分采用有限状态机设计,图3表示其状态转换过程,图中的 CRS 和 COL 代表载波和冲突信号.

状态机默认处于 Idle 状态,当一帧数据由逻辑链路层交给 MAC 发送时,状态机进入 Preamble 状态,在端口 TXD[3:0]上发送帧头 Preamble 和 SFD,发完后进入 Data0 状态.在 Idle 状态时还将检测网络状态,若出现 CRS 有效信号,则进入 Defer 状态.

Data0 状态和 Data1 状态时,在 TXD[3:0]上分别发送数据字节的低半字节和高半字节,发完后根据数据帧长度和发送控制字转入 Pad 或 CRC 状态.

Pad 状态时,在 TXD[3:0]上发送 Pad 数据,以满足 802.3 规定的最小有效帧长度要求;CRC 状态时,在 TXD[3:0]上发送 32 位 CRC 校验数据,发完 CRC 后进入 Defer 状态.

在发送帧头、数据、Pad 和 CRC 期间,要随时进

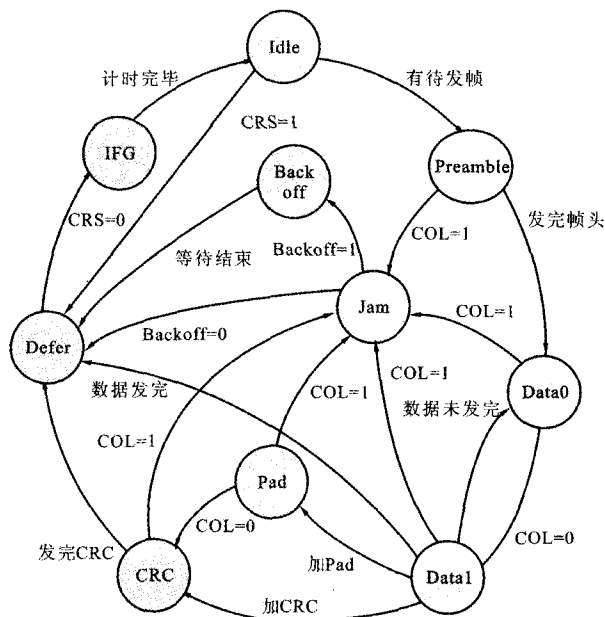


图3 数据发送模块状态转换图

行载波侦听,当检测到冲突时($COL=1$),则转入 Jam 状态进行冲突处理. Jam 状态时, TXD[3:0]上发送一个 32 位的阻塞信号,发送完毕后根据控制寄存器中的相应位决定进入 Backoff 或 Defer 状态.

进入 Backoff 状态后需等待 $128 \times r$ 个发送时钟(TxClk)周期, r 为采用二进制截断后退算法得出的随机数,等待结束后进入 Defer 状态.

在 Defer 状态时检测载波信号 CRS,若 $CRS=0$,表示网络当前空闲,此时进入 IFG (Inter-frame Gap) 状态.

在 IFG 状态时,进行帧间隔计时,计时完毕后回到 Idle 状态等待发送下一帧数据.

2.3 数据接收模块

当一帧数据到来时,首先被接收站点的物理层检测到并解码转换成二进制数据,然后传递给 MAC,由数据接收模块负责介质访问控制机制中与接收相关的功能,主要包括拆帧、目的地址过滤、数据长度检查、CRC 校验、接收过滤等.

为实现接收 MAC 模块的控制逻辑,为其设计了一个有限状态机,状态转换过程如图4所示.

状态机默认处于 Idle 状态, RxDV 由低变高时,表明一帧数据的到来,状态机进入到 Preamble 状态.

在 Preamble 状态若检测到 SFD 则转入 Data0 状态,否则进入 Drop 状态丢弃该数据帧.

在 Data0 和 Data1 状态分别接收数据的低半字节和高半字节.接收到的字节组成字后作为接收 FIFO 的写数据,同时用于 CRC 计算、地址过滤等

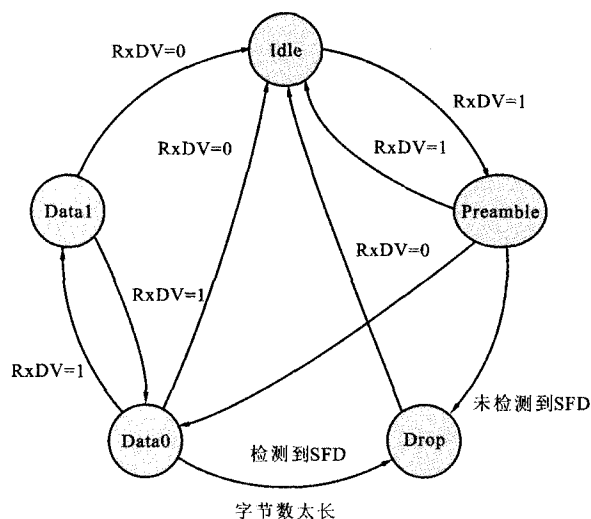


图 4 数据接收模块状态转换图

操作. FIFO 的写操作和数据的接收是同步进行的, 接收到一个字就写入 FIFO 中, 继而转移到接收 buffer 中. 当一帧数据接收完毕时, 如检测到该数据帧不符合接收要求(例如 CRC 错误), 会产生一个重写 buffer 的信号. 若在此状态中检测到接收数据的长度超过了 802.3 协议规定的最大有效帧长度, 将进入 Drop 状态.

在接收帧头、数据的过程中和进入 Drop 状态后检测 RxDV 信号,若 RxDV 变为无效则返回 Idle 状态。

2.4 发送与接收缓存模块

发送和接收缓存模块起到速率匹配的作用,使得处理器向 MAC 写入或读出数据帧的速率与 MAC 同 PHY 之间传输数据帧的速率相匹配。

发送缓存模块主要由两个存储部件组成: 2 kb 字节 buffer(512×32)用来存放待发送的数据帧; 异步 FIFO(4×32)作为两个不同时钟域间的数据通路, 用来在发送数据时起缓冲作用。当处理器要发送一帧数据时, 处理器首先向发送数据寄存器中写入数据帧的长度, 发送命令寄存器中的 CRC 使能和 Pad 使能位连同数据帧长度一并写入发送 buffer 中, 即在每帧数据前附上这帧数据的配置和长度信息以便在发送时进行控制。同时, 数据帧字节长度被转换成字长度锁存起来, 以便判断处理器何时写完一帧完整的数据。接着, 处理器往发送数据寄存器中写入要发送的数据, 当写入 buffer 中的字的个数等于已锁存的字长度时, 就表示这帧数据已经写完。

接收缓存模块和发送缓存模块类似,也包括 buffer 和 FIFO 两部分. 来自接收 MAC 模块的数据首先写入异步 FIFO 中,接着转移到 buffer 中. buff-

er 中存放新的数据帧之前要空出两个字的存储单元,数据帧接收完毕之后再 把状态信息和长度信息 存放到这两个单元里. 当处理器读数据帧时,数据帧 的状态首先从 buffer 中被读出来并送入接收数据 寄存器,处理器可通过读此寄存器把接收数据帧的 状态、长度以及接收到的数据读出来. 处理器每读 一次接收数据寄存器,就会使接收 MAC 模块产生读 buffer 信号,buffer 中新的数据被读出来并送入到 接收数据寄存器中. 其中长度信息一方面被锁到寄 存器中,一方面被转换为字长度,作为读完一帧数据 的依据. 处理器在读完长度信息之后,根据这个信息 计算出接下来要读的次数. 当处理器读完一帧数据 的最后一个字时,接收缓存模块会产生 buffer 读完 信号;若处理器在读出长度信息之后和读完整个数 据帧之前的某时想放弃读该数据帧,处理器可以置 接收命令寄存器中的丢弃位为 1,接收缓存模块随 即会产生放弃读 buffer 信号.

2.5 中断状态队列

本设计中,MAC 可为处理器提供中断及中断信息报告,共包括 5 种类型的中断:发送中断、接收中断、缓存中断、MII 管理层读中断和写中断。当中断触发时,相应的中断类型及状态就会被存储到中断类型寄存器中,同时使 INTR 信号变为有效。当处理器处理中断时,需首先读取中断类型寄存器并根据中断类型进行不同的处理。上述五种中断类型具有固定的优先级顺序,由高到低依次为 MII 管理层读中断、MII 管理层写中断、接收中断、发送中断和缓存中断。

2.6 MII 管理单元

MII 接口为 MAC 和 PHY 之间提供了一种简单、易实现的互连。MI I 接口支持 10 Mb/s 和 100 Mb/s 两种数据传输速率,除参考时钟频率不同外,这两种传输速率的操作和信号时序都相同。

MII 接口信号见图 2 右侧接口信号,其中 MDC 和 MDIO 称为 MII 管理接口,用来对 PHY 内部管理寄存器组进行控制。MDC 由 MAC 驱动,作为 MDIO 信号的时钟参考。MDIO 是一个双向信号,用来在 PHY 和 MAC 之间传输控制信息和状态信息。

3 仿真与流片结果

对以太网介质访问控制器的数据收发功能进行仿真,以数据发送过程为例,仿真结果如图 5 所示。

当需要发送一帧数据时,片选信号 CS 置为低电平,MAC 内部寄存器堆被选中;RWB 信号为低

电平,表示对寄存器执行写操作;在时钟 MClk 的上升沿,微处理器将需要发送的数据 11h 和 22h(16 进制)写入 MAC 的发送缓冲寄存器(地址为 17h),如图 5(a)所示.当发送缓冲器中写入一帧数据后,数据转移至异步 FIFO 并通过与物理层的数据接口 TXD 进行发送,依次发送同步信号、帧起始定界符、数据、填充位及循环冗余校验码,同时发送数据使能信号 TEN 置为高电平.发送成功后中断信号置为低电平,通知微处理器做出响应,如图 5(b)所示.

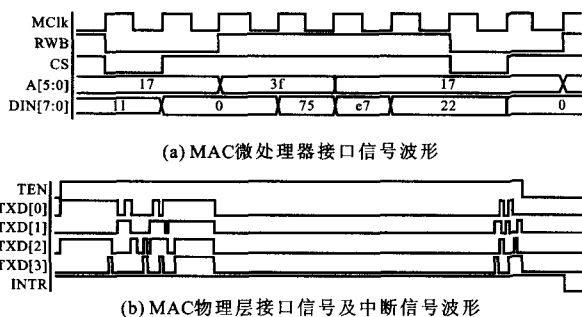


图5 MAC数据发送过程仿真波形图

这款芯片是一款纯数字芯片,采用 $0.25\ \mu\text{m}$ CMOS 工艺流片,芯片规模约为 5.7 万门,版图面积为 $2.6\ \text{mm} \times 2.6\ \text{mm}$ (pad limited),芯片的内核与 IO 供电电压分别为 2.5 V 和 3.3 V,采用 64 引脚 PQFP 封装,图 6 为芯片的版图.测试表明,该芯片完全符合 IEEE802.3 标准要求的 CSMA/CD 访问方法,达到了设计要求.

4 结束语

文中讨论了一种以太网介质访问控制器的架构、特性和主要模块的设计方法,并给出了仿真和流片结果.它既可作为独立芯片应用于以太网数据收

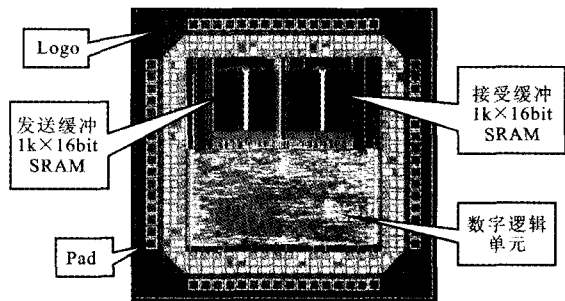


图6 芯片版图

发系统,也可作为 IP 与 MCU 或 PHY 结合构成网络处理器芯片或以太网接口芯片,具有一定的实际应用价值.

参考文献:

- [1] IEEE Std 802.3. Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications[S]. IEEE, 2002.
- [2] Andrew S T. Computer networks, (third edition)[M]. Englewood Cliffs, NJ: Prentice Hall, Inc, 1996.
- [3] 柳利军,熊良芳.基于FPGA的千兆以太网交换芯片的设计[J].微电子学与计算机,2006,23(3):80-81.
- [4] Samsung Co Ltd. S3C4510B datasheet[EB/OL]. [2010-09-05]. <http://www.samsung.com>.
- [5] Realtek Co Ltd. RTL8019 datasheet[EB/OL]. [2010-09-05]. <http://www.realtek.com.tw>.
- [6] 梁科,李国峰,马世亮,等.一种高性能网络控制器芯片的设计与应用[J].南开大学学报:自然科学版,2007,40(6):100-104.

作者简介:

梁科男,(1978-),博士后.研究方向为数字集成电路设计、嵌入式系统设计.