

基于半带滤波器的插值结构 FPGA 优化实现

沈 志, 王宏远

(华中科技大学 电子与信息工程系, 湖北 武汉 430074)

摘 要: 提出了一种在 FPGA 中以半带滤波器为基础实现插值系统的优化结构. 该结构结合半带滤波器自身特性及代数变换, 降低了计算复杂度和对系数量化位宽需求, 并通过使用多级插值方式降低了滤波器阶数. 辅以时间换空间的串行逻辑设计思想, 最大可能减少了硬件乘法器的数量. 相对传统方法, 该结构以极低的资源消耗, 获得了很高的滤波性能.

关键词: 半带滤波器; 插值系统; FPGA

中图分类号: TN713

文献标识码: A

文章编号: 1000-7180(2011)02-0015-05

Optimal FPGA Realization of Interpolation Architecture Based on Half-band Filter

SHEN Zhi, WANG Hong-yuan

(Department of Electronics and Information Engineering,
Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: A novel interpolation architecture implemented in FPGA chip based on halfband filter is presented in this paper. This architecture, which utilizes the characteristic of halfband filter and the technique of algebraic transformation, has reduced the computation complexity and the requirement to coefficient bit wide. Meanwhile, the ways of decreasing filter order with multistage interpolation are also introduced. By considering area-speed tradeoffs, the number of multiplication elements is reduced to the least. Comparing with the traditional method, the practical design achieves expected design performance with much less logic resource usage.

Key words: halfband filter; interpolation architecture; FPGA

1 引言

复杂的数字系统往往包含多采样率的数字信号处理, 通过使用内插(interpolation)和抽取(decimation)等手段, 完成不同采样率信号间的基本变换工作^[1]. 其中内插操作先将数据间插入零值以提高采样率, 再使用滤波器滤除频谱镜像. 通信上为保证信号时域不发生失真现象, 往往采用以 FIR 滤波器为基础的线性相位滤波器, 如标准 FIR 滤波器(standard FIR filter), 多相 FIR 滤波器(polyphase FIR filter), 半带 FIR 滤波器(half-band FIR filter)^[2-3]等等.

本文以半带 FIR 滤波器为基础, 结合其奈奎斯

特无串扰特性及 FIR 滤波器本身系数对称的特点, 先将运算量降低到通用并行 FIR 滤波器的八分之一, 并通过进一步代数变换, 提取公因子, 将乘法次数再减少一次, 且在满足频带性能的条件下降低了对系数量化位宽的需求. 另外, 通过逐级提高信号采样率, 多级插值的方式, 降低了整体滤波器所需要的设计阶数. 设计结构由于前级插值采样率低, 非常符合 FPGA 实现, 最高工作频率下 FPGA 完成乘法阶数与数据采样率呈反比的特点. 通过以时间换空间的串行设计思想^[4], 对单个高速硬件乘法器时分复用完成多次乘法运算. 最终设计在规模远远小于标准电路的情况下, 完成了较高的设计性能要求.

2 半带滤波器及其基本优化

半带 FIR 滤波器的通带和阻带相对于 $f_s/4$ 对称,在文献[3]中定义为

$$H_0(z) = h_0 + \sum_{k=1,3,\dots}^N h_k(z^k + z^{-k}) \quad (1)$$

由 $z = e^{j\omega}$,在文献[5]中也可以写成

$$H_0(e^{j\omega}) = h_0 + \sum_{k=1,3,\dots}^N 2h_k \cos k\omega \quad (2)$$

且半带滤波器满足以下关系:

通带边频和阻带边频关于 $f_s/4$ 对称,即

$$F_p + F_s = f_s/2$$

$$\omega_p + \omega_s = \pi \quad (3)$$

通带纹波和阻带纹波相等,即

$$\delta_p = \delta_s \quad (4)$$

半带滤波器频谱特性如图 1 所示.

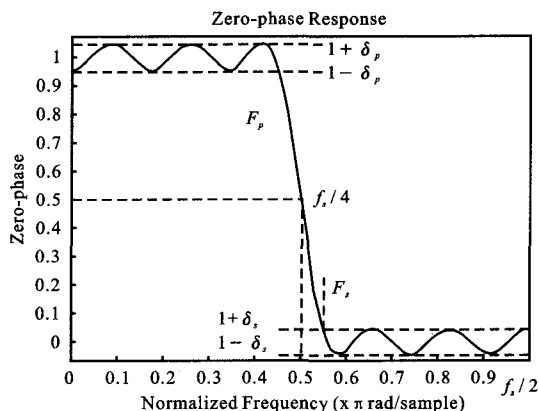


图 1 半带滤波器幅频图

频谱对称性的特点使得半带滤波器的时域冲击响应除极值点以外,在其余所有偶数点都为零,利用该性质,可以将运算量降低一半.同时利用 FIR 滤波器系数的对称性,将系数对折^[2],则可以进一步降低运算量至四分之一.

由于半带滤波器是典型的奈奎斯特(Nyquist)滤波器,在滤波每次计算一个插值点时,只用到了奇数项系数或者偶数项系数.在归一化的频谱响应图(图 1)上,分别将 $\omega = 0$ 和 $\omega = \pi$ 带入式(2),可得

$$h_0 + 2(h_1 + h_3 + \dots) = 1 \quad (5)$$

$$h_0 - 2(h_1 + h_3 + \dots) = 0 \quad (6)$$

解得

$$\begin{aligned} h_0 &= \frac{1}{2} \\ h_2 &= h_4 = \dots = 0 \\ h_1 + h_3 + \dots &= \frac{1}{4} \end{aligned} \quad (7)$$

从 h_0 及 h_{2k} 偶数项系数的值可知,原插值前非零点数据在滤波器中完全无需进行卷积运算.原数据只需要乘以 $1/2$,在逻辑实现上利用一位算术右移,即可完成运算,此操作将乘法运算量又降低一半.以一个 15 系数(等同 14 阶或 16 阶)半带滤波器 $\{h_7 \ 0 \ h_5 \ 0 \ h_3 \ 0 \ h_1 \ h_0 \ h_1 \ 0 \ h_3 \ 0 \ h_5 \ 0 \ h_7\}$ 结构为例,如图 2 所示.

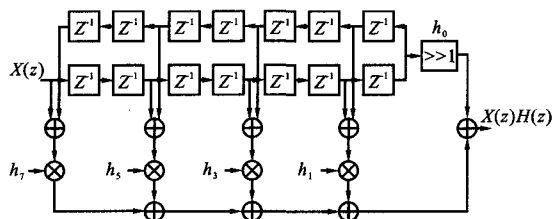


图 2 15 系数半带滤波器基本优化结构

普通 15 系数并行 FIR 滤波器需要对二插值后数据的每个点进行 15 次,两个点共计 30 次乘法卷积运算,在使用半带滤波器并根据其自身特点进行结构优化后,仅需要进行 4 次乘法运算,乘法运算量降低到了标准并行 FIR 滤波器的约八分之一.

3 半带滤波器算法变换优化

有 15 系数半带滤波器传递函数:

$$H(z) = h_0 + \sum_{k=1,3,5,7}^{N=7} h_k(z^k + z^{-k}) \quad (8)$$

由式(6)可以知道半带滤波器在的地方是存在一个零点的,即 $z = -1$ 的位置,则 $H(z)$ 将包含 $(1 + z^{-1})$ 这个因子^[5].通过将式(6)代入式(8),可以提取 $(1 + z^{-1})$ 因子,计算得

$$\begin{aligned} H(z) &= (1 + z^{-1}) \{ [a_0 z^{-6} + a_1 (z^{-4} - z^{-8}) + \\ &a_2 (z^{-2} - z^{-10}) + a_3 (1 - z^{-12})] + z^{-1} [a_0 z^{-6} - \\ &a_1 (z^{-4} - z^{-8}) - a_2 (z^{-2} - z^{-10}) - a_3 (1 - z^{-12})] \} \end{aligned} \quad (9)$$

有

$$\begin{aligned} a_0 &= h_1 + h_3 + h_5 + h_7 \\ a_1 &= h_3 + h_5 + h_7 \\ a_2 &= h_5 + h_7 \\ a_3 &= h_7 \end{aligned} \quad (10)$$

上式分解并不完全,且由式(7)结果可知 $a_0 = \frac{1}{4}$,对式(9)可以做进一步整理,将 $a_0 z^{-6}$ 单独提为一项:

$$\begin{aligned} H(z) &= (1 + z^{-1}) \{ a_0 z^{-6} + [a_1 (z^{-4} - z^{-8}) + \\ &a_2 (z^{-2} - z^{-10}) + a_3 (1 - z^{-12})] + a_0 z^{-1} z^{-6} - \\ &z^{-1} [a_1 (z^{-4} - z^{-8}) + a_2 (z^{-2} - z^{-10}) + a_3 (1 - z^{-12})] \} \end{aligned}$$

整理后可以得到

$$H(z) = a_0(1+z^{-1})\{(1+z^{-1})z^{-6} + (1-z^{-1}) \cdot \left[\frac{a_1}{a_0}(z^{-4} - z^{-8}) + \frac{a_2}{a_0}(z^{-2} - z^{-10}) + \frac{a_3}{a_0}(1 - z^{12}) \right] \} \quad (11)$$

式(11)是对插入零值后的卷积滤波算式,在实际处理中,可以将部分运算放到插值前完成,以降低实际所需的运算频率,定义 $\uparrow 2$ 操作为对原始数据每隔一个点插入零,并定义插值前的延迟操作为 $Z^{-1} = z^{-2}$,带入式(11)有

$$H(z, Z) = \frac{1}{4}(1+z^{-1})\{(1+z^{-1})Z^{-3} + (1-z^{-1}) \cdot [4a_1(Z^{-2} - Z^{-4}) + 4a_2(Z^{-1} - Z^{-5}) + 4a_3(1 - Z^{-6})]\} \quad (12)$$

这样做的好处是可以让较大部分的逻辑工作在较低的频率上,一方面逻辑资源可以完成更多次的运算,另外也减少了多次延迟操作所使用的寄存器资源消耗.经过以上化简和处理后的 15 系数半带滤波器结构如图 3 所示.

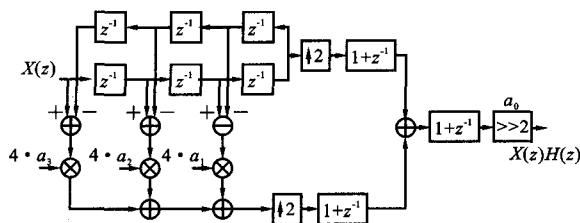


图3 15系数半带滤波器算法优化后结构

由式(10)可知,除 a_0 外其他所有 a_k 绝对值都小于 $1/4$,由于对 a_0 使用移位操作代替乘法运算,原先需要存储的较大值的系数现在无需占用系数存储器,不光节省了本身的存储空间,且原先损失高位存储空间的较小值系数可以获得更多位量化位宽,在实际计算中相当于使滤波器系数增加了两位位量化精度.故原先 w 位量化系数存储空间,现在可以实现 $w+2$ 位的量化效果.

另外 $(1+z^{-1})$ 因子的引入,从式(10)可以知道,由于存在 h_k 项正负交错的关系, a_k 值的范围相对于原先值将会减小,这样可以将 a_1 值尽量向量化极值放大,实际上又增加了一位量化位宽.

如图4所示设计 15 系数,阻带归一化带宽为 0.25π 的半带滤波器,当使用 9 bit 系数存储器时,可以看到以 a_k 为系数幅频响应较 h_k 提高了接近 17 dB.

4 多级插值

当插值系统一步插值成形时,由于通带宽度相对较小,且过渡带范围相对较窄,为达到设计性能会

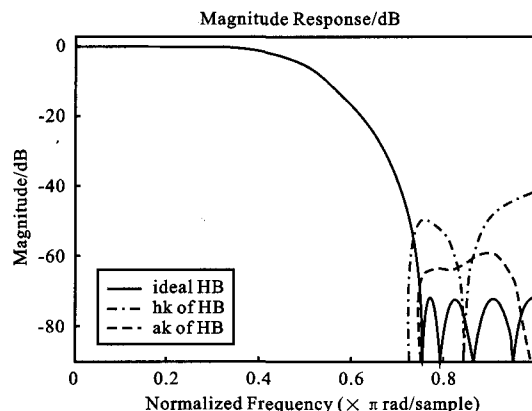
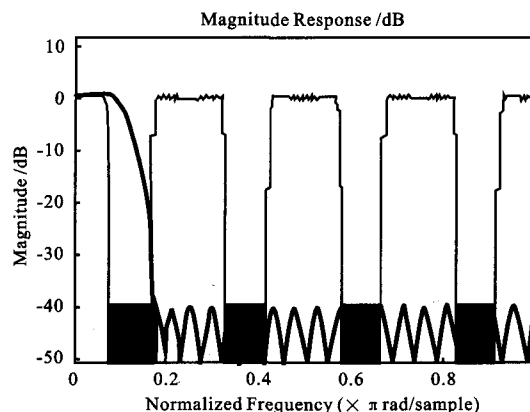


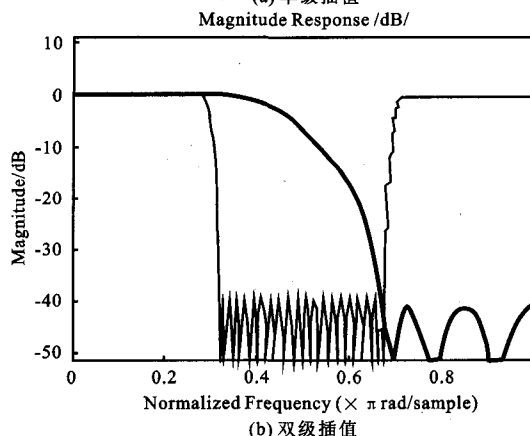
图4 8bit 系数存储器幅频响应对比

造成滤波器阶数非常高的情况,如图5(a)所示.

而多级插值成形时,每次插值需要滤除的镜像信号频率相对有用信号都比较远,则过渡带可以较宽,图5(b)为多级滤波器中一级.随着插值后采样率的提高,信号过渡带可以进一步展宽,所需要的通带阻带宽度都同步减小,滤波器阶数随之逐步降低,多个单级插值滤波器级联可以大幅降低滤波器整体阶数.



(a) 单级插值



(b) 双级插值

图5 单级插值与多级插值

以数字电视 QAM 调制器基带信号插值为例, IQ 分量信号分别在完成根升余弦滤波器基带成形后,还需要进行 8 倍插值,然后送 QAM 调制器进行

正交调制. 设计需要满足其带内 0.2 dB 平坦度, 带外 60 dB 以上衰减的要求, 设信号基带有效带宽 4 MHz, 当从 12.5 MHz 采样率插值到 100 MHz 采样率时, 通过 Matlab 仿真用 Parks-McClellan 算法^[6]设计 FIR 滤波器, 如采用一次插值成形系统, 需要 64 阶滤波器, 而采用多级插值系统时, 则仅需要 $16 + 7 + 6 = 29$ 阶滤波器即可。

当使用单级滤波器结构时, 所有滤波器都工作在插值后的最高频率上. 而使用多级滤波器时, 各级滤波器仅需要工作在各自单级插值后的频率上. 这对于以高频时钟工作的 FPGA, 如果对硬件逻辑进行时分复用使用, 针对单个乘法单元来说, 多级插值方式无疑可以完成更多阶的乘法运算, 从而大大减少实际使用的硬件资源总数。

5 FPGA 实现

数字信号处理中, 乘法器往往是系统中资源最紧张, 处理瓶颈最大, 计算周期最多的逻辑单元, 故信号处理结构优化较多围绕减少乘法次数进行. 本文设计源于阵列式 QAM 调制器实现, 通信基带处理中乘法运算非常多, 为能在单片 FPGA 上实现多路调制, 必须减少对硬件乘法器的使用。

在前面算法结构降低滤波器乘法次数的基础上, 利用 FPGA 内部主频时钟较高的特点, 可以采用以时间换空间的串行逻辑设计思想^[4], 对硬件乘法器时分复用, 多个高速周期内完成一次低速的卷积滤波运算. 对于 $\uparrow 2$ 操作, 用 2 倍采样门控信号在原始数据和零值中切换实现; 而 $(1+z^{-1})$ 操作, 延迟一级相加即可实现; a_k 系数值可以存入小的 ROM 中。

还是以 15 系数半带滤波器为例, 参照式(12)及图 3 可以将需要完成的三次乘法输入通过选择器进行切换, 选择器时钟只需要为输入数据时钟的三倍以上即可, 选择完成数据的进行减法运算后, 送入位宽为 9×9 位乘法器^[7], 9 bit 位宽在上述化简中可知等效于原先 12 bit 系数量化. 减少乘法器使用后的结构如图 6 所示, 为使结构清晰, 图 6 中控制模块未在框图中表示。

图 6 中限制逻辑综合速度提高的关键在于乘法运算前的两个选择器. 当阶数增加, 选择器组合逻辑扇入将直线上升, 会造成逻辑量快速增加从而引起综合速度的下降. 故当设计的滤波器阶数较高时, 建议将框图中上下两行延迟单元的使用两个双口 RAM 进行替换, 用控制器对 RAM 产生读地址量控制数据输出, 替换掉多路选择器, 从而提高系统综合后速度。

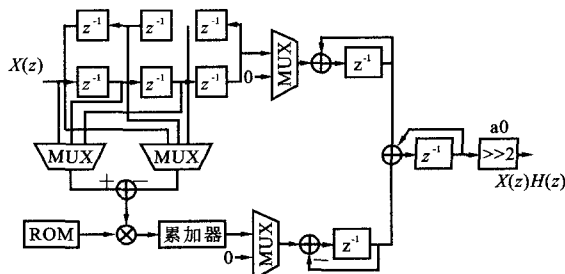


图 6 15 系数半带滤波器 FPGA 优化实现结构

6 实现结果

还是以前面 QAM 调制的 IQ 基带插值为例, 当 FPGA 工作在 100 MHz 主频下时, 12.5 MHz 的原始数据, 通过对数据及系数的控制, 可以完成 8 次乘法运算, 针对上节优化后的结构, 一个乘法器就可以实现 34 阶半带滤波器计算. 实际实现时, 由于单路指标并不需要滤波器这么高阶数, 可以用一个乘法器完成 IQ 两路的插值运算. 在从 12.5 MHz 起的前两次二插值, 都是用一个乘法器完成两路的运算, 而最后一次 50 MHz 到 100 MHz 的插值, 每路用一个乘法器, 则三次二插值的阶数分别为 18 阶, 10 阶和 10 阶, 共使用四个 9×9 乘法器. 整体框图如图 7 所示。

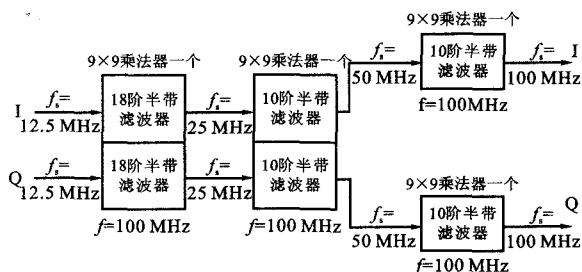


图 7 最终滤波器整体框图

最终实现性能如图 8 所示, 滤波器对原始信号的整体设计结果(粗实线)保持了带外 64 dB 以上的衰减, 在带内平坦度也控制在 0.1 dB 以内。

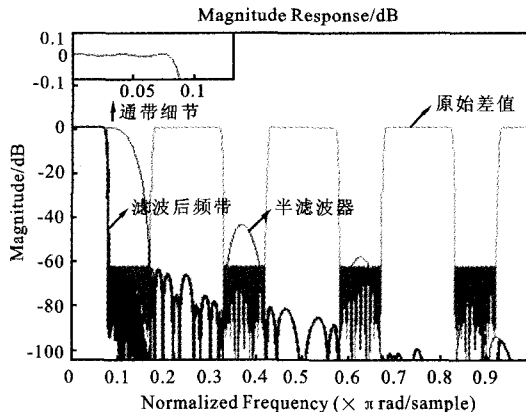


图 8 最终滤波器设计频带

7 结束语

表 1 中针对上节设计所需带内带外性能要求,从滤波器设计阶数角度与其他两种设计结构进行了对比.

表 1 各结构需要滤波器阶数对比

结构	滤波器阶数
单级对折 FIR	64
单级多相 FIR	64
改进多级半带 FIR	34

注:以上阶数仅为 IQ 基带插值单路滤波所需阶数.

从表 1 中可以得知通过多级设计可以大幅降低设计阶数的需求.

表 2 中则从上述所需阶数的设计实现结果上对最终资源上的三种结构进行了对比,可见优化后结构虽然与多相滤波器比相对复杂,需要逻辑资源有所增加,但对 FPGA 相对紧张的 DSP 块及片内 RAM 使用数量大大减少,有利于单片 FPGA 上的阵列数字信号处理实现.对于表 2 需要注意以下几点:(1)表中数据为 IQ 基带插值总资源消耗;(2)表中实现基于 Altera Stratix II 系列 FPGA,当使用 18×18 乘法器时,资源消耗等同于用 2 个 9×9 乘法

表 2 各结构消耗 FPGA 资源对比

结构	DSP 块	组合逻辑	寄存器	ROM/bit
单级对折 FIR	128	1 394	2 750	0
单级多相 FIR	32	192	272	768
多级半带 FIR	4	445	687	90

(上接第 14 页)

[6] Sahin O D, Gupta A, Agrawal D, et al. A peer-to-peer framework for caching range queries[C]//Proc of IC-DE, Piscataway, NJ:IEEE,2004:165-176.

[7] 曾碧卿,陈志刚,吴锐珍. P2P 网络支持复杂多维数据搜索的范围查询算法[J]. 计算机工程,2007,33(11):71-

器^[7]; (3)后综合时逻辑及寄存器会优先使用 DSP 块内寄存器资源,使得对比数据失真,故资源消耗全部为前综合时数量.

参考文献:

[1] 万能,王江宏,郭亮,等. LTE 中变速率 FIR 滤波器的 FPGA 实现[J]. 微电子学与计算机,2009,26(11):63-69.

[2] Richard G Lyons. Understanding Digital Signal Processing[M]. 2nd ed. Upper Saddle River, NJ: Prentice-Hall, 2004.

[3] Vaidyanathan P P. Multirate Systems and Filter Banks [M]. Englewood Cliffs, N J: Prentice-Hall, 1993.

[4] 何建标,王宏远,郭跃,等. 一种基于 FPGA 的 FIR 滤波器实现结构[J]. 微电子学与计算机,2008,25(3):47-50.

[5] Alan N. Willson. Desensitized Half-band Filters [J]. IEEE Transactions on Circuits and Systems, 2010,57(1):152-167.

[6] Parks T W, McClellan J H. Chebyshev approximation for nonrecursive digital filters with linear phase[J]. IEEE Trans Circuit Theory, 1972, 19(2): 189-194.

[7] Altera Corp. StratixII Device Handbook[M]. San Jose: Altera Corporation, 2008.

作者简介:

沈志男,(1983-),博士研究生. 研究方向为现代通信信号处理和现代数字信号处理.

王宏远男,(1946-),教授,博士生导师. 研究方向为图像通信、图像信号处理和现代数字信号处理.

72,85.

作者简介:

刘金岭男,(1958-),教授. 研究方向为数据库、数据仓库及数据挖掘.