

一种高速高精度比较器的设计

郭永恒, 陆铁军, 王宗民

(北京微电子技术研究所, 北京 100076)

摘 要: 基于预放大锁存快速比较理论, 提出了一种高速高精度 CMOS 比较器的电路拓扑. 该比较器采用负载管并联负电阻的方式提高预放大器增益, 以降低失调电压. 采用预设静态电流的方式提高再生锁存级的再生能力, 以提高比较器的速度. 在 TSMC0.18 μm 工艺模型下, 采用 Cadence Spectre 进行仿真. 结果表明, 该比较器在时钟频率为 1 GHz 时, 分辨率可以达到 0.6 mV, 传输延迟时间为 320 ps, 功耗为 1 mW.

关键词: 高速比较器; 低失调比较器; 失调电压; 预放大锁存比较器

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2011)01-0050-04

A High Speed High Resolution Comparator

GUO Yong-heng, LU Tie-jun, WANG Zong-min

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: Base on the analysis of preamplifier latch comparator, there is a high speed high resolution CMOS comparator presented. The comparator uses negative resistors in parallel with load transistors to improve the gain of pre-amplifier, in order to reduce offset voltage. Meanwhile, the comparator uses a preset quiescent current to improve the regenerative speed. Fabricated in TSMC 0.18 μm process model, it is simulated with Cadence spectre. The simulated results show the clock could be as high as 1GSPS, the resolution is 0.6 mV, delay time is 320 ps, and power consumption is 1 mW.

Key words: high speed comparator; low offset comparator; offset voltage; pre-amplifier latch comparator

1 引言

受通信高频化、数字化雷达、软件无线电等推动, A/D 转换器呈现出向高速度方向发展的显著特征^[1]. 对于高速 A/D 转换器而言, 比较器的设计尤为重要. 比较器会为模数转换器带来延迟、精度、功耗、输入电压范围、输入阻抗以及芯片面积等诸多方面的影响. 比较器的性能, 特别是速度和精度, 会直接决定模数转换器所能够实现的性能^[2].

在高速模数转换器的设计中, 通常采用如下类型的比较器获得较高的速度: 多级开环比较器^[3]、动态锁存再生比较器^[4-5]、预放大锁存比较器^[6]等. 多级开环比较器能够得到较高的速度和精度, 但由于受到多级放大器所带来的带宽限制, 很难实现 1GSPS 以上的速度. 动态锁存比较器可以实现较高

的速度, 但由于其结构的限制, 失调电压不能得到好的控制, 会直接影响到精度, 不能够满足高速高精度的应用要求. 预放大锁存比较器, 结合了多级开环比较器和动态比较器的优点, 在动态比较器前面增加了一级放大器, 从而能够将精度和速度很好的结合起来, 在较高的速度下同时能够得到较好的精度. 因此, 考虑到精度和速度的要求, 采用预放大锁存结构来设计高速高精度的比较器.

2 电路结构和工作过程

本文设计的比较器如图 1 所示, 比较器由预放大器、再生锁存器、输出锁存器三级组成. 其中, M0~M10 组成预放大器, 产生差分输入信号和参考电压经过放大后的第一级输出. M11~M17 组成锁存再生级, 将 P1、P2 节点产生的第一级输出通过内部

的正反馈产生第二级输出 N2、N3. M18~M23 组成输出锁存级, N2、N3 的输出经输出锁存级后产生最终的比较器输出信号。

比较器的工作过程如下: CLK 为高电平时, M0、M13、M17、M20、M23 开启, 比较器工作在复位状态, 预放大器的输出 P1 和 P2, 再生级的 N2、N3 都将会被复位到相同的电位. 由于 M16 一直提供一个稳定的直流电流, 这时再生级的节点 N1 仍会维持在一个较高的电位. 当 CLK 为低电平时, M0、M13、M17、M20、M23 均关闭, 比较器工作在再生状态. 预放大器产生第一级的输出 N1、N2, 通过 M14 和 M15 被传递给锁存再生级. M11 和 M12 构成了一组正反馈, 正反馈使得 N1、N2 的输出电位被分离

成一组不平衡的输出(一端为高接近 V_{DD} , 一端为低接近 GND). 这一组非平衡的输出经过输出锁存级进一步的调整后, 产生最终的比较器输出信号。

通过上述的工作过程可知, 比较器处于在再生状态时 M17 须提供一个较大的动态电流, 用于驱动再生级, 这样势必会增加系统功耗. 所以在设计时钟时, 使得 CLK 低电平的时间较短, 只要比较器在这段时间内能够为第二级的输入管 M18 和 M19 提供非平衡输入电压即可. 即第一级电路并不需要使得 N2、N3 的输出完全变为高电平或者低电平, 而是通过第二级电路进行进一步的比较. 通过这种方式, 动态功耗可以明显的被降低。

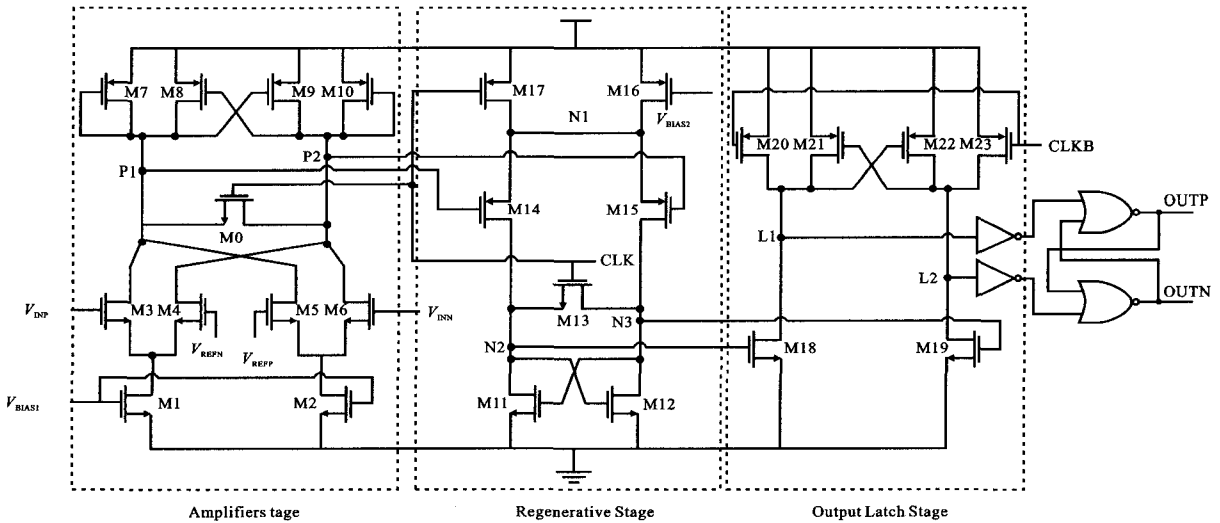


图 1 比较器的结构图

3 电路的设计和优化

3.1 降低失调电压

比较器的失调电压主要由预放大器和再生级的失调电压构成. 比较器的失调电压可由下式表达:

$$\sigma^2 V_{os} = \sigma^2 V_{os1} + \frac{1}{A_{pre}} \sigma^2 V_{os2} \quad (1)$$

由上式中可以看到, 较大的预放大器增益和较小的预放大器失调电压可以实现较小的比较器失调电压. 当预放大器的增益较高时, 再生级的失调相对比较器的整体失调电压来说不再重要, 可被忽略. 同时应对预放大器进行优化设计, 以减小预放大器失调电压。

3.1.1 提高预放大器的增益

在高速比较器中, 第一级的预放大器必须有一个比较高的带宽以保证其速度. 但是受到增益带宽积的限制, 在高带宽的情况下很难实现较高的增益。

本文采用两个 PMOS 管 M8、M9 作为负电阻同二极管连接的 PMOS 管 M7、M10 并联, 来实现较高的增益, 其增益为

$$A_v = \frac{g_{m3}}{g_{m7} - g_{m8}} \quad (2)$$

从上式中看到, 当 M7、M8 跨导相同时, 可以提供接近无穷大的增益. 因此, 在实际设计时, 使得 M7、M8 尺寸相同, 这样能够提供极大的电压增益. 而 M3 决定输入节点的电容, 所以同时调整 M3 的尺寸, 以获得较大的带宽. 通过对 M3、M7、M8 的尺寸调整, 可以在较大带宽时获得较高的增益。

3.1.2 减小预放大器的失调

在预放大器能够提供足够的增益时, 那么这时比较器的失调为

$$\sigma^2 V_{os} \approx \sigma^2 V_{os1} \approx \sigma_{3,4}^2 + \sigma_{5,6}^2 + \sigma_{8,9}^2 + \sigma_{7,10}^2 + \frac{\Delta Q^2}{C^2} \quad (3)$$

其中,

$$\sigma_{3,4}^2 \approx \frac{A_{VTN}^2}{W_{3,4}L_{3,4}} + \frac{V_{DAST3,4}^2}{4} \cdot \frac{A_{\beta N}^2}{W_{3,4}L_{3,4}} \quad (4)$$

$$\sigma_{5,6}^2 \approx \frac{A_{VTN}^2}{W_{5,6}L_{5,6}} + \frac{V_{DAST5,6}^2}{4} \cdot \frac{A_{\beta N}^2}{W_{5,6}L_{5,6}} \quad (5)$$

$$\sigma_{8,9}^2 \approx \frac{1}{A_{pre}} \left[\frac{A_{VTP}^2}{W_{8,9}L_{8,9}} + \frac{V_{DAST8,9}^2}{4} \cdot \frac{A_{\beta P}^2}{W_{8,9}L_{8,9}} \right] \quad (6)$$

$$\sigma_{7,10}^2 \approx \frac{1}{A_{pre}} \left[\frac{A_{VTP}^2}{W_{7,10}L_{7,10}} + \frac{V_{DAST7,10}^2}{4} \cdot \frac{A_{\beta P}^2}{W_{7,10}L_{7,10}} \right] \quad (7)$$

$A_{VTP}^2, A_{VTN}^2, A_{\beta P}^2, A_{\beta N}^2$ 分别代表阈值电压在工艺条件下的标准失配^[7]. V_{DAST} 是 MOS 管的初始过驱动电压. ΔQ 是由 M0 关闭所带来的电荷注入效应.

要获得较小的失调电压时,可以将 M3~M10 的尺寸适当放大, MOS 管的过驱动电压较小,同时降低 M0 所带来的电荷注入效应. 但是当 MOS 管尺寸增大时,产生的静态电容也会相应增大,会影响速度. 相对 PMOS 型晶体管而言, NMOS 晶体管在相同跨导的情况下有较小的静态电容. 因此, M3~M6 被设计的相对较大一些以降低预放大器的失调. 同时, M0 采用较小的尺寸以减小电荷注入所带来的影响.

3.2 减小比较器的延迟时间

一个基本的 NMOS 锁存器(图 2)的时间常数由下式表达:

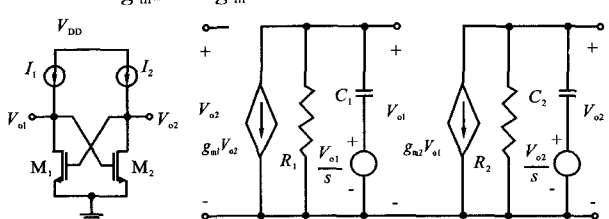
$$\tau_L \approx \frac{\tau}{g_m R} = \frac{\tau}{g_m R} \quad (8)$$


图 2 基本 NMOS 锁存器及小信号模型

如果主要的电容是 C_{GS} 时,则有

$$\tau_L = \frac{0.67WLC_{ox}}{\sqrt{2K'(W/L)I}} = 0.67C_{ox} \sqrt{\frac{WL^3}{2K'I}} \quad (9)$$

由上式中可以看到,延迟时间受到沟道长度的限制,再生级的晶体管应该用较小的尺寸进行设计. M11 和 M12 设计时采用较小的尺寸以获得较高的速度. 同时,如果初始的静态电流增大时候,也能够提高再生速度.

与传统的比较器相比,在再生级的设计中,增加了一个晶体管 M16 用来提供一个预设的电流来增

大再生级的驱动能力,从而提高再生速度. M16 使得 N1 节点在比较器处于复位状态时,仍能够保持在一个较高的电平. 因此,再生锁存级从复位到恢复的时间会被降低,而再生级的两个不平衡输出也会分离的更快,从而提高再生级的响应速度,减小比较器的延迟时间.

4 仿真结果

采用 TSMC0.18 μm 工艺,在 CADENCE 环境下用 SPECTURE 进行仿真. 时钟频率为 1 GHz,电源电压为 1.8 V.

图 3 所示为预放大器的频域仿真结果,从图中可以看到预放大器的电压增益为 16.5 dB, -3 dB 带宽约为 1 GHz,这表明预放大器在较高带宽的情况下同时得到了较高的增益. 图 4 为再生级在采用提供预设电流的晶体管 M16 与未采用 M16 的再生级输出对比. 由图中可以看到,采用 M16 后,再生级的两端输出分离的速度更快,变化的幅度也更大. 图 5 为时钟频率为 1 GHz 下比较器的功能仿真结果. 可以看到,在 1 GHz 时钟下,比较器能够按照给定的输入能够产生正确的输出,传输延迟时间为 320 ps. 图 6 采用了两个变化缓慢的斜波差分信号,以得到比较器的精度. 图中由上到下分别对应比较器的最终输出, L1、L2 节点的输出, N4、N5 节点的输出. 由图中可以看到,当比较器当输入差分信号精度最小为 0.6 mV 时,比较器仍能够产生正确的输出.

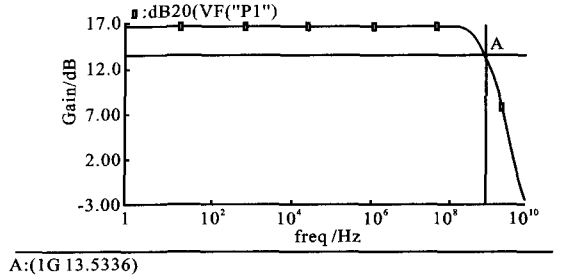


图 3 预放大器的频域仿真结果

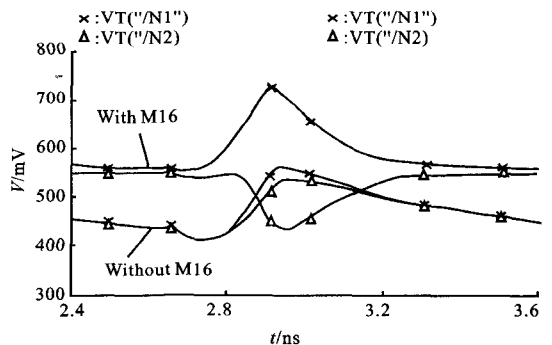


图 4 再生级的输出仿真结果

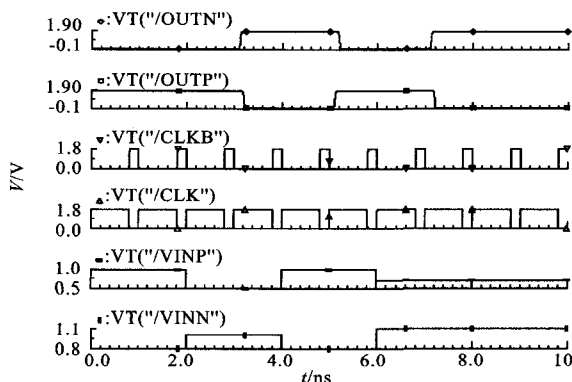


图 5 比较器的功能仿真结果

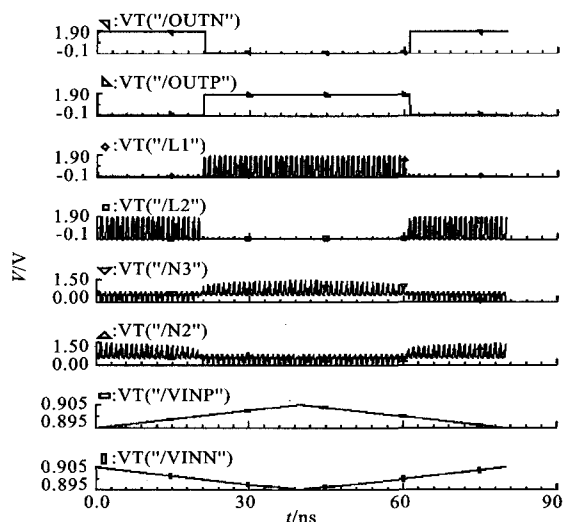


图 6 比较器的精度仿真结果

5 结束语

在分析预放大锁存比较器的基础上,文中设计了一个高速高精度的比较器.本文利用了负载电阻

与负电阻并联的方法,以提高预放大器在高带宽下的增益.同时,采用提供预设电流的方式增大再生级的驱动能力,以降低传输延迟时间.仿真结果表明,该比较器可以稳定工作在 1 GHz 的时钟频率下,最小分辨率为 0.6 mV,传输延迟时间为 320 ps.当输入信号范围为 1 V 时,能够用于 10 Bit 1GSPS 的高速 ADC.

参考文献:

- [1] 徐世六. 模拟/数字混合信号电路技术发展动态[J]. 微电子学, 2008, 38(1): 26-33.
- [2] Behzad Razavi, Bruce A Wooley. Design techniques for high-speed, high-resolution comparators[J]. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1916-1926
- [3] Allen Philip E. CMOS Analog Circuit Design[M]. 2nd ed. 北京: 电子工业出版社, 2003.
- [4] 高彬, 孟桥, 沈志远. 基于 0.18 μm CMOS 工艺的超高速比较器[J]. 微电子学, 2007, 37(4): 599-602.
- [5] 陈诚. 千兆以太网中低电压高速模数转换器研究设计[D]. 上海: 复旦大学, 2005.
- [6] Mehdi Banihashemi, A High-speed high-resolution Comparator[C]// The 47th IEEE International Midwest Symposium on Circuits and Systems. Hiroshima: IEEE, 2004, : 81-84.
- [7] Pelgrom M J M, Duinmaijer A C J, Welbers A P G. Matching Properties of MOS Transistors[J]. IEEE Journal of Solid-State Circuits, 1989, 24(5): 1433-1440.

作者简介:

郭永恒 男, (1983-), 硕士研究生. 研究方向为高速 ADC 设计.

(上接第 49 页)

- [6] 容观澳. 计算机图像处理[M]. 北京: 清华大学出版社, 2000.
- [7] 胡辉, 叶鑫华. 离散 Walsh 变换并行性分析与实现[J]. 计算机工程与应用, 2009, 45(2): 82-84.
- [8] Swick D A. Walsh function generation[J]. IEEE Trans on Information Theory. 1969, IT-15(1): 167-167.
- [9] 陈宁涛, 王能超, 施保昌. Walsh 矩阵的复制生成及其计算机图像[J]. 软件学报, 2006, 17(5): 1241-1250.
- [10] 郭卫斌, 王能超, 施保昌. M 序 Walsh 变换的快速算法设计[J]. 小型微型计算机系统, 2003, 24(2): 295-298.
- [11] 阮军, 韩定定. 基于 CUDA 的 DCT 快速变换实现方法

[J]. 微电子学与计算机, 2009, 26(8): 201-205.

- [12] 戴声奎, 刘建国, 汪国有, 等. 一种无乘法的整数 DCT 快速实现方法[J]. 微电子学与计算机, 2008, 25(5): 11-13.

作者简介:

董莹 女, (1979-), 硕士, 讲师. 研究方向为图形图像处理.

张健 男, (1977-), 博士, 讲师. 研究方向为计算机图形学、并行计算.