

阶梯浅沟槽隔离结构 LDMOS 耐压机理的研究

陈文兰¹, 孙晓红^{1,2}, 胡善文^{1,2}, 陈强³, 高怀^{1,2}

(1 东南大学 苏州研究院高频高功率器件与集成技术研究中心, 江苏 苏州 215123;

2 东南大学 国家 ASIC 系统工程技术研究中心, 江苏 南京 210096;

3 瑞典皇家工学院 电子系统系, 斯德哥尔摩 16440)

摘要: 提出了一种具有阶梯浅沟槽隔离结构的 LDMOS. 阶梯浅沟槽结构增加了漂移区的有效长度, 改善了表面电场及电流的分布, 从而提高了器件的击穿电压. 借助器件模拟软件 Silvaco 对沟槽深度、栅长及掺杂浓度等工艺参数进行了优化设计. 结果表明, 在保证器件面积不变的条件下, 新结构较单层浅沟槽隔离结构 LDMOS 击穿电压提升 36% 以上, 而导通电阻降低 14%.

关键词: LDMOS; 漂移区; 浅沟槽隔离; 击穿电压

中图分类号: TN386

文献标识码: A

文章编号: 1000-7180(2011)02-0056-05

Research on Breakdown Mechanism of LDMOS with Step Shallow Trench Isolation in the Drift Region

CHEN Wen-lan¹, SUN Xiao-hong^{1,2},

HU Shan-wen^{1,2}, CHEN Qiang³, GAO Huai^{1,2}

(1 High frequency & High Power Device and Integrated Technology Research Center,
Research Institute of Southeast University at Suzhou, Suzhou 215123, China;

2 National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China;

3 Department of Electronic System, the Royal Institute of Technology-KTH, Stockholm 16440, Sweden)

Abstract: A novel LDMOSFET with Step Shallow Trench Isolation (SSTI) in the drift region is proposed. With this design, the effective length of drift region is increased, and the surface electrical field becomes more uniformly distributed, resulting in a higher breakdown voltage. The device trench depth, gate length and doping concentration are further optimized. In computer simulation, when compared with a Monolayer-STI LDMOS (MSTI-LDMOS) with the same area, the breakdown voltage of the new device is 36% higher, and has a 14% lower on-resistance.

Key words: LDMOS; drift region; STI; breakdown voltage

1 引言

由于具有高功率增益、高效率及低成本等优点, LDMOS (Lateral Diffused Metal Oxide Semiconductor Transistor) 被广泛应用于移动通信基站、雷达、导航等领域. 为了提高 LDMOS 击穿电压, 增大输出功率, 通常采用增加漂移区长度和降低漂移区掺杂浓度的方法, 导致器件导通电阻 R_{on} 随之增加, 增大了功耗. 于是采用各种各样的改进结构^[1]以提

高击穿电压, 并保持较低 R_{on} , 如 SUPER-JUNCTION^[2]、漂移区变掺杂^[3]、电阻场极板^[4]、RE-SURF^[5]和全耗尽 SOI 结构^[6]等, 但这些技术工艺难度较大. 一个简单且有效的工艺方法就是在漂移区使用浅沟槽隔离技术 (Shallow Trench Isolation, STI), 文献^[7]研究了单层 STI 结构对 LDMOS 器件击穿性能的影响.

为了解决文献^[7]中单层 STI 结构边缘易击穿的问题, 并进一步提高击穿电压, 降低导通电阻, 本

文提出漂移区具有阶梯 STI 的 LDMOS 器件结构 (Step-STI LDMOS, SSTI-LDMOS), 并分析了阶梯 STI 深度、栅长和漂移区掺杂浓度等对击穿电压的影响。

2 器件结构与耐压机理

本文所提出的 SSTI-LDMOS 器件结构如图 1 (a) 所示, 其中沟道长度为 $0.25 \mu\text{m}$, 栅氧化层厚度为 20 nm , 漂移区长度为 $2.5 \mu\text{m}$, L_g 为多晶硅栅的长度, L_d 为漂移区长度, d_{ox} 为 LDD 与栅之间 SiO_2 层的厚度, d_{epi} 为外延层厚度, d_{s1} 和 d_{s2} 分别为两层沟槽的深度。与图 1 (b) 中单层浅沟槽结构 LDMOS (Monolayer-STI LDMOS, MSTI-LDMOS) 及图 1 (c) 中的传统结构 LDMOS (Conventional LDMOS, C-LDMOS) 比较, 其特征是在漂移区上部有一个通过两次刻蚀而形成的双层 STI 氧化层 (SiO_2) 结构, 而多晶硅栅延伸到 STI 上方起到场极板的作用。嵌入到漂移区上部的浅沟槽氧化层, 使漂移区有效长度 L'_d 增加了沟槽深度的两倍左右, 其表达式可近似写为:

$$L'_d \approx L_d + 2(d_{s1} + d_{s2}) \quad (1)$$

器件面积没变, 同时避免了传统栅场极板结构 LDMOS 中 LOCOS 工艺的鸟嘴效应。

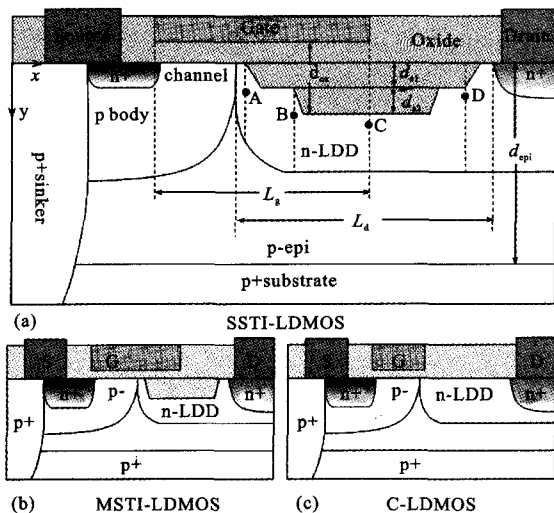
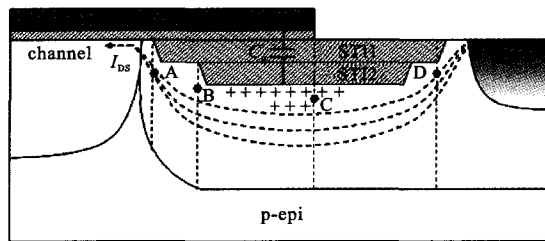


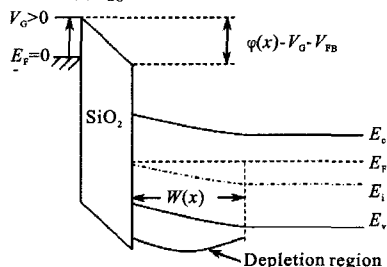
图1 n型 LDMOS 剖面图

漂移区和延长的栅之间形成一 MOS 二极管, 如图 2(a) 所示, 设其单位面积氧化层电容为 C_o 。由于临界击穿时, 漂移区表面电势 $\varphi(x)$ 高于栅压 V_G , 则漂移区表面产生感应正电荷而形成耗尽区^[8], 能带图如图 2(b) 所示。

设漂移区表面单位面积感应电荷量为 q_s , 耗尽区纵向宽度为 W , 则:



(a) I_{DS} 及漂移区表面耗尽区示意图



(b) 栅与漂移区之间 MOS 二极管能带图

图2 SSTI-LDMOS

$$q_s(x) = [\varphi(x) - V_G - V_{FB}]C_o \quad (2)$$

其中

$$C_o = \frac{\epsilon_0 \epsilon_{ox}}{d_{ox}} \quad (3)$$

$$W(x) = \frac{\epsilon_0 \epsilon_{ox}}{qN_D} \cdot \frac{\varphi(x) - V_G - V_{FB}}{d_{ox}} \quad (4)$$

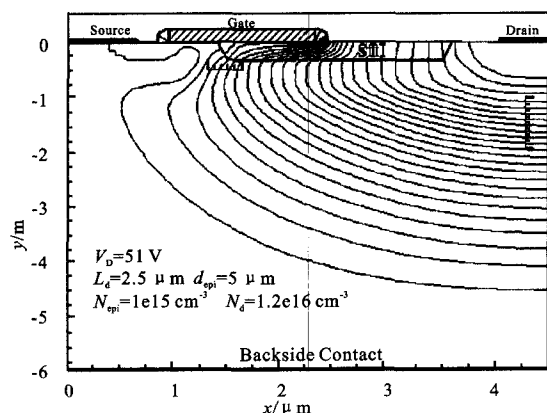
式中, V_{FB} 为场效应管的平带电压。由式(4)知, 耗尽层宽度 W 随 $\varphi(x)$ 的上升而增大, 随氧化层厚度 d_{ox} 的增大而减小, 在 C 点附近达到最大。

由于耗尽区为高阻区, 漏源电流 I_{DS} 将绕过表面耗尽区而转移至漂移区内部, 形成一弧形电流通路, 使得耗尽区内部电场强度上升, 并在 C 点出现峰值; 同时, SSTI-LDMOS 中的阶梯 STI 结构通过形成阶梯氧化层, 减小了单层 STI 结构靠近沟道一端(A 点)拐角处的曲率, 降低了电荷聚集程度, 从而降低拐角处电场峰值。因此, SSTI-LDMOS 表面电场趋向于均匀分布, 击穿电压能够得到大幅提升。

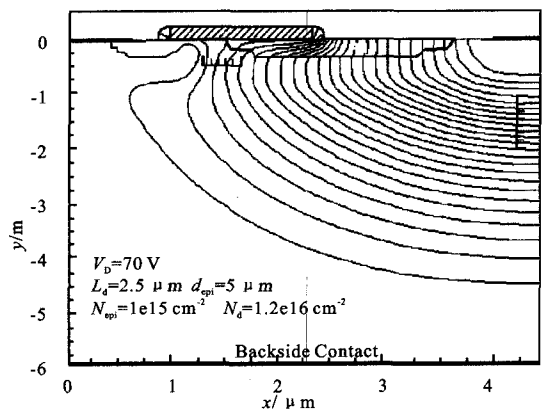
3 结果与讨论

3.1 临界击穿时的电势与电场分布

通过计算机仿真临界击穿时的等势线分布, 可以直观的看出等势线密集区域, 即器件最先发生击穿的区域, 如图 3 所示。比较两图可看出, 电势密集区域主要出现在表面横向和漏端纵向(图中标尺所示)。其中图 3(a) 中 MSTI-LDMOS 的表面电势分布不均匀, 密集在 STI 左端拐角处, 横向击穿也通常发生在该区域; 而图 3(b) 中 SSTI-LDMOS 表面电势从沟道到漏端近乎均匀分布, 因而横向击穿电



(a) MSTI-LDMOS



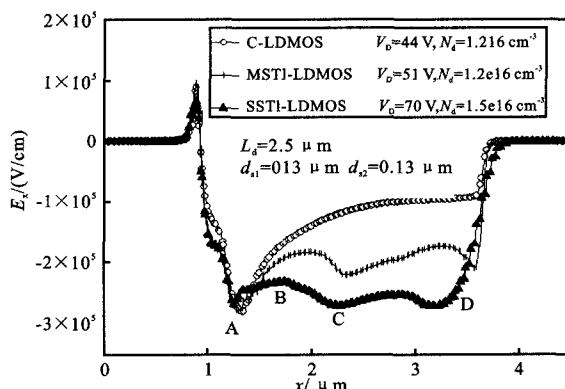
(b) SSTI-LDMOS

图3 等势线分布

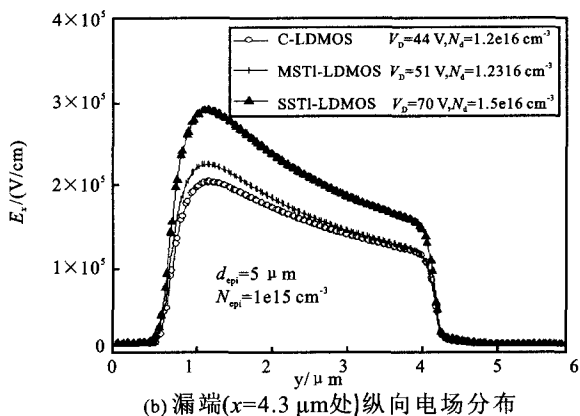
压上升. 本文主要通过增加外延层的厚度来提升漏端纵向击穿电压.

器件的击穿通常由电场强度最大的点决定, 分析表面和漏端电场强度的分布, 能够进一步了解器件的击穿特性. 通过在 Si/SiO₂ 界面处连续取点的方式得到 C-LDMOS 漏压 44 V、MSTI-LDMOS 漏压 51 V 和 SSTI-LDMOS 漏压 70 V 时的横向电场分布, 如图 4(a) 所示. 比较三条曲线, C-LDMOS 由于没有场极板, 电场分布最不均匀, A 点的峰值电场远大于漂移区表面其他区域, 横向击穿电压最低; MSTI-LDMOS 由于场极板和沟槽氧化层的作用, 漂移区中部 C 点和右端 D 点出现两个新的峰值电场, 横向击穿电压也随之上升; SSTI-LDMOS 峰值电场分布与 MSTI-LDMOS 类似, 不过阶梯氧化层降低了 A 点电场峰值, 使得源漏之间的电场分布趋于平坦, 因此横向击穿电压进一步上升.

漏端纵向电场分布, 如图 4(b) 所示, 其中 C-LDMOS 和 MSTI-LDMOS 漏端纵向电场峰值远低于图 4(a) 中横向电场峰值, 而 SSTI-LDMOS 漏端纵向电场峰值接近图 4(a) 中横向电场峰值. 因此, SSTI-LDMOS 通过调制横向电场分布, 使横向与纵



(a) 表面横向电场分布



(b) 漏端(x=4.3 μm处)纵向电场分布

图4 C-LDMOS、MSTI-LDMOS 和 SSTI-LDMOS 向击穿同时发生, 从而器件击穿电压达到最大.

3.2 器件工艺参数对击穿电压的影响

影响器件横向击穿电压的关键因素有阶梯 STI 深度、栅长、漂移区掺杂浓度等. 合理设计栅长和 STI 深度能在提高击穿电压的同时, 适当增加漂移区掺杂浓度, 从而在一定程度上抵消 STI 引起导电电阻的增加.

图 5(a) 为 SSTI-LDMOS 在不同漂移区掺杂浓度 N_d 下击穿电压与 STI 深度的关系曲线, 其中第一层 STI 深度 d_{s1} 和第二层 STI 深度 d_{s2} 相等. 图中可以看出, N_d 越低, 最大击穿电压越高, 且对应的 STI 深度 d_{STI} 越大. 这是由于图 4(a) 中三个峰值之间的平均电场得到进一步抬升, 电场分布更平坦, 从而使得漏端可以施加更高的电压. 同时, 由 (4) 式知, N_d 降低会增大耗尽层宽度 W , 导致 C 点电场峰值增加, 此时应相应增加 STI 的深度即氧化层的厚度, 以保持耗尽层宽度 W 在合理的范围内. 当 N_d 低于 $1.5 \times 10^{16} \text{ cm}^{-3}$ 时, 最大击穿电压变化并不明显, 具有较好的工艺容差, 满足击穿电压的条件下, 可以在器件设计中适当增加 N_d , 以减小导电电阻.

在优化横向击穿特性的同时, 还要考虑纵向击穿问题. 这就要求外延层厚度适当, 太薄会使纵向击

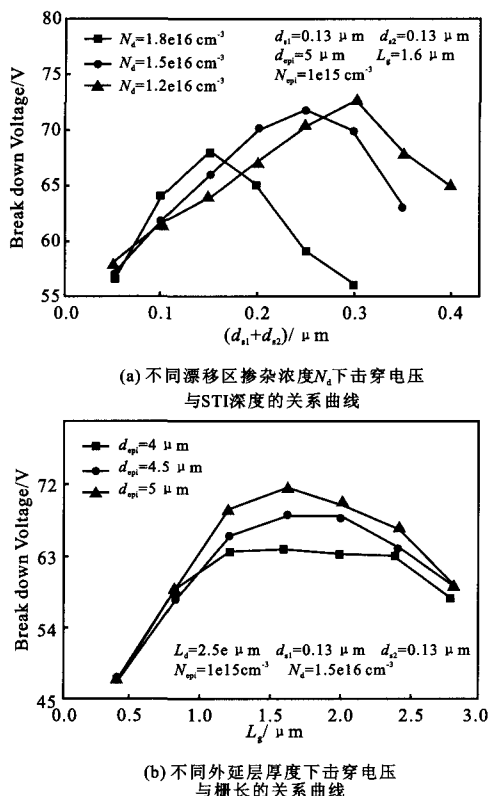


图5 SSTI-LDMOS

穿先于横向发生,而太厚会增加源端 p+ sinker 的工艺难度及导通电阻。

图 5(b)所示为 SSTI-LDMOS 在不同外延层厚度 d_{epi} 下击穿电压与栅长 L_g 的关系曲线。图中三条曲线在 L_g 较短和接近漏端时基本重合,而在中间区域,击穿电压随着 d_{epi} 增加而增加,且 d_{epi} 越小,击穿电压随栅长变化越不明显。因为栅长太短或是太长时,图 2(a)所示耗尽程度最大的 C 点向沟道或是漏端靠近,则图 4(a)所示 C 点峰值与 A 点峰值或是 D 点峰值重合,这使得横向电场分布不均匀,从而,器件横向击穿先于纵向击穿发生。当 L_g 适当,耗尽程度最大的 C 点位于漂移区中部时,横向电场分布趋于平坦,横向击穿电压达到最大。

比较图 6 所示 MSTI-LDMOS 与 SSTI-LDMOS 击穿电压随漂移区掺杂浓度 N_d 的变化关系曲线,可以看出:击穿电压随着 N_d 的增加而降低,而 SSTI-LDMOS 由于阶梯沟槽对电场分布的改善作用,击穿电压明显高于 MSTI-LDMOS;在 SSTI-LDMOS 和 MSTI-LDMOS 的 N_d 分别小于 $1.6 \times 10^{16} \text{ cm}^{-3}$ 和 $1.3 \times 10^{16} \text{ cm}^{-3}$ 时,击穿电压随 N_d 变化不明显。由于实际工艺中,掺杂浓度难以精确控制,器件设计中 N_d 取值应略小于拐点值,以实现较好的工艺容差。取 SSTI-LDMOS 和 CSTI-LDMOS

的 N_d 分别等于 $1.5 \times 10^{16} \text{ cm}^{-3}$ 和 $1.2 \times 10^{16} \text{ cm}^{-3}$ 时,两个器件的击穿电压分别为 70.6 V 和 51.8 V,导通电阻分别为 19.3 Ω 和 22.1 Ω 。

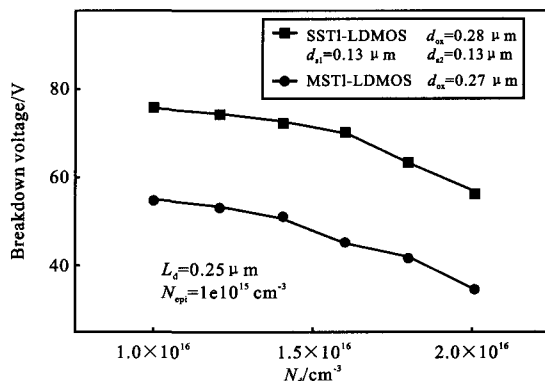


图6 SSTI-LDMOS 与 MSTI-LDMOS 击穿电压随漂移区掺杂浓度的变化关系曲线

SSTI-LDMOS 改善表面横向电场分布的方法与 MSTI-LDMOS 类似,不同点在于器件面积不变的条件下,漂移区有效长度得到了增加,电流和电场分布更均匀,因而击穿电压上升,导通电阻却没有等比例增加。在相同击穿电压的要求下,STI 结构 LDMOS 可以将漂移区做得更短,以减小器件面积和导通电阻,从而降低功耗。

4 结束语

为了满足功率器件对高击穿电压及高效率的要求,文中提出了漂移区具有阶梯 STI 结构的 LDMOS(SSTI-LDMOS)。该结构在避免 LOCOS 工艺鸟嘴效应,增加漂移区有效长度的同时,减小了单层 STI 结构边缘拐角曲率,使得漂移区电场分布均匀,从而有效提高器件的击穿电压,并通过增加漂移区掺杂浓度以减小导通电阻,提高器件效率。仿真结果表明,在器件面积不变,漂移区长度 L_d 为 2.5 μm 时,SSTI-LDMOS 击穿电压达到 70.6 V,较之 CS-TI-LDMOS 的 51.8 V 提升 36.3%,而导通电阻降低 14.5%,同时具有较好的工艺容差。

参考文献:

- [1] 项骏,林争辉. 600V 高压 LDMOS 的实现[J]. 微电子学与计算机, 2004, 21(11): 149—152.
- [2] Permt hammasin K, Wachutka G, Schmitt M, et al. Performance analysis of novel 600V super-junction power LDMOS transistors with embedded p-type round pillars[C]// International Conference on Simulation of Semiconductor Processes and Devices. Tokyo: IEEE, 2005: 179—182.

- [3] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film[J]. IEEE Trans Electron Dev, 1991, 38(7): 1650—1654.
- [4] Ke Daoming, Chen Junning, Shi Longxing, et al. A breakdown voltage analysis of field plate in a high-voltage power LDMOS[J]. Research & Progress of SSE, 2005, 25(1): 20—22.
- [5] Appels J, Coller M, Hart P, et al. Thin layer high voltage devices[J]. Philips Journal of Research, 1980, 35(1): 1—5.
- [6] 吴秀龙, 陈军宁, 柯导明. 全耗尽 SOI LDMOS 阈值电压的解析模型[J]. 微电子学与计算机, 2007, 24(11): 17—20.
- [7] Wang B, Nguyen H, Mavoori J, et al. Effect of layout orientation on the performance and reliability of high voltage N-LDMOS in standard submicron logic STI CMOS process[C]// Proceeding of IEEE International Reliability Physics Symposium. Anaheim: IEEE, 2005: 654—655.
- [8] Cortesa I, Roigb J, Flores D, et al. A numerical study of field plate configurations in RF SOI LDMOS transistors[J]. Solid-State Electronics, 2005, 50(2006): 155—163.

作者简介:

陈文兰 男, (1981—), 硕士研究生, 讲师. 研究方向为射频功率器件与集成电路设计.

(上接第 55 页)

参考文献:

- [1] 徐慧朴, 马孜, 林娜. 神经网络和自适应模糊神经网络两种算法在曲面重构中的比较[J]. 微电子学与计算机, 2008, 25(5): 201—204.
- [2] Huang Guohong, Xiong Zhihua, Shao Huihe. A new classification algorithm based on constructive neural networks[J]. Chinese Journal of Computers, 2005, 28(9): 1519—1523.
- [3] 汪烈军. 一种改进的结构自适应自组织神经网络算法[J]. 微电子学与计算机, 2007, 24(1): 106—109.
- [4] 蔡自兴, 徐光佑. 人工智能及其应用[M]. 北京: 清华大学出版社, 2004: 137—143.
- [5] 刘美容, 何怡刚, 谢宏. 种新的基于神经网络的模拟电路故障诊断系统[J]. 微电子学与计算机, 2008, 25(6): 54—57.
- [6] Gyugyi L. Unified power-flow control concept for flexible AC transmission systems[J]. IEEE Proceedings-c, 1992, 139(4): 323—331.
- [7] 叶其革, 王晨皓. 基于一种新型的统一潮流控制器设计方法[J]. 继电器, 2005, 33(5): 34—35.
- [8] 王宪保, 周德龙, 王守觉. 基于仿生模式识别的构造型神经网络分类方法[J]. 计算机学报, 2007, 30(12): 2110—2112.

作者简介:

黄江波 男, (1975—), 硕士, 讲师. 研究方向为人工智能与电子技术检测.

付志红 男, (1966—), 博士, 教授, 博士生导师. 研究方向为电力电子装置及电磁探测仪器.