

基于部分积优化的高速并行乘法器实现

李 康, 林钰凯, 马佩军, 史江义, 梁 亮

(西安电子科技大学 宽禁带半导体材料与器件国防重点实验室, 陕西 西安 71007)

摘 要: 提出了部分积产生与压缩单元的改进结构, 通过对部分积产生算法进行优化, 采用选择器结构来替换传统的与或门, 提高了部分积电路的性能, 并降低了该模块的面积与功耗. 对压缩单元的优化提高了部分积压缩的速度. 对 16×16 并行乘法器综合验证表明, 改进的乘法器性能提高 14.5%, 面积减少 7.1%, 同时功耗下降 17.2%.

关键词: 数字信号处理; 乘法器电路; 编码; 低功耗

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2011)01-0061-03

Implementation of High-speed Parallel Multiplier Based on Optimized Partial Product

LI Kang, LIN Yu-kai, MA Pei-jun, SHI Jiang-yi, LIANG Liang

(Key Laboratory - wide Bandgap Semiconductor Materials and Device, Xidian University, Xi'an 710071, China)

Abstract: An improved architecture of partial product generation and compressing units is researched in this paper. By optimizing the partial product generating algorithm with multiplexers in stead of traditional AND and OR gates, the performance of partial product circuits is improved. Meanwhile, the area and power consumption of the module is also decreased. Optimized compressor units enhance the speed of partial product compression processing. The results of synthesis and verification for 16×16 parallel multiplier show that its performance was increased by 14.5%, as well as the area decreased by 7.1% and the power consumption reduced by 17.2%.

Key words: digital signal processing; multiplying circuits; encoding; low-power electronics

1 引言

并行乘法器的运算可以概括为三个主要步骤: 首先通过重编码产生部分积; 其次通过部分积减少策略来减少部分积(如采用 2 行 Wallace 树); 最后使用进位传递加法器将剩余的两行部分积相加(如采用向前进位加法器)从而得到最终的乘积. 已经有许多技术从这三个方面对乘法器性能进行了改进^[1-5].

本文针对并行乘法器的前两个步骤进行优化. 首先优化了 Booth 编码结构, 提出一种基于选择器单元的部分积产生电路结构, 缩短了电路关键路径时延, 并在此基础上对华莱士树的 4:2 压缩结构进行了关键路径改进. 从而有效降低部分积产生的时延的同时, 减小了乘法器占用的芯片面积, 显著提高

了并行基 4Booth 乘法器的性能, 降低了电路结构复杂度和功耗.

2 优化的部分积产生电路设计

2.1 MBE 部分积产生电路

使用 Booth 编码算法通常用来在部分积产生时降低部分积产生的个数. 对于 $n \times n$ 位乘法器, Booth 编码单元使用 $n/2$ 次, 而解码单元需要使用 $n/2 \times (n+1)$ 次. 例如在一个 54×54 位乘法器中, Booth 编码电路占整个乘法器的 1.2%, 解码电路占 35%^[6]. 因而编码、解码逻辑对整个部分积, 乃至整个乘法器的性能产生显著影响, 有必要针对 BOOTH 编码 / 解码电路进行分析改进^[7].

假设乘数 A 的位宽 n 为偶数(若为奇数, 符号位可以扩展一位), 则 A 的基 4 Booth 编码为

$$A = \sum_{i=0}^{n/2-1} E_i \cdot 2^{2i} \quad (1)$$

式中, $E_i = -2A_{2i+1} + A_{2i} + A_{2i-1}$. 因此乘法器输出 D 为

$$\begin{aligned} D &= B \times A \\ &= B \times \left(\sum_{i=0}^{n/2-1} E_i \cdot 2^{2i} \right) \\ &= \sum_{i=0}^{n/2-1} (B \cdot E_i) \cdot 2^{2i} \end{aligned} \quad (2)$$

式中, $B \cdot E_i$ 为部分积. 由式(2)可以看出, 部分积数目压缩到初始状态的一半, 简化了电路结构. 从式(2)可得部分积产生的控制信号为

$$\begin{aligned} \text{Neg} &= A[2i+1] \\ X_2 &= A[2i-1] \oplus A[2i] \end{aligned} \quad (3)$$

$$X_1 = \overline{A[2i-1]} \oplus A[2i]$$

$$Z = \overline{A[2i+1]} \oplus A[2i]$$

由式(3)得到的部分积产生电路如图1所示.

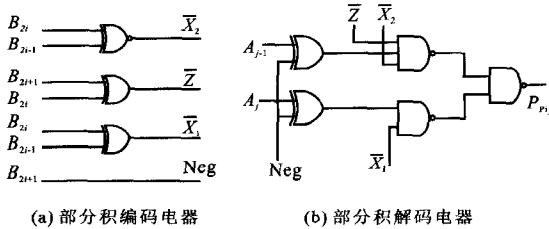


图1 部分积产生电路

可以看出, 由式(3)得到综合后的编解码电路主要由与或门实现, 会造成较长的关键路径延时. 有必要采用更快的电路单元来优化编解码电路单元, 提高其关键路径的性能, 选择器结构就是一种很好的选择.

2.2 基于选择器的部分积产生电路

通过对式(2)的重新设计控制信号, 得到优化的部分积产生表达式为

$$P_{pi} = P_{os} \cdot C_1 + \overline{P_{os}} \cdot C_0 \quad (4)$$

式中, C_1 为正符号控制; C_0 为负符号控制; A_{new} 为 2 倍部分积控制; P_{os} 为部分积产生控制, 上述控制信号表达式分别为

$$\begin{aligned} A_{new} &= A[2i-1] \oplus A[2i] \\ C_1 &= A_{new} \cdot A[2i-1] + A_{new} \cdot A[2i+1] \\ C_0 &= A[2i+1] \\ P_{os} &= A_{new} \cdot b[j-1] + \overline{A_{new}} \cdot b[j] \end{aligned} \quad (5)$$

式(5)的真值表如表1所示. 其中当编码值为 ± 0 时, 部分积输出不受选择器的控制. 在逻辑实现的过程中, 编码部分只需一个异或门和一个 2-1 选择器, 解码部分只需要 2 个 2-1 选择器, 从而能够

简化电路结构. 优化后的部分积编码电路的真值表及电路图分别如表1及图2所示.

表1 基于选择器的部分积真值表

b_{2i+1}	b_{2i}	b_{2i-1}	E_i	B_i	C_0	C_1
0	0	0	0	1	0	0
0	0	1	1	0	0	1
0	1	0	1	0	0	1
0	1	1	2	1	0	1
1	0	0	-2	1	1	0
1	0	1	-1	0	1	0
1	1	0	-1	0	1	0
1	1	1	-0	1	1	1

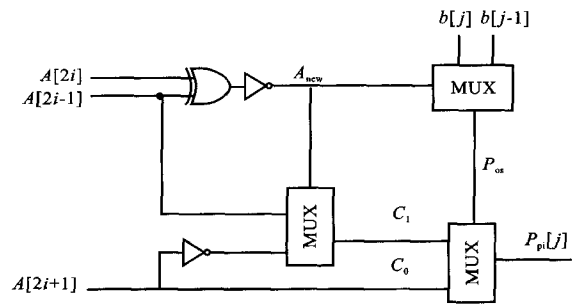


图2 基于选择器的编/解码电路

2.3 部分积压缩电路优化设计

并行乘法器的部分积产生后, 通常采用 WT 结构 (Wallace Tree) 对其进行压缩, 以提高乘法器部分积求和的速度. WT 结构将全部的部分积按列进行分组, 每列对应一组加法器, 各列同时相加, 前面列所产生的进位信号传至后列中进行相加产生新的部分积. 循环此过程直到将所有的部分积压缩到只剩下 2 行部分积, 再用高速加法器将这两行部分积相加得到最终运算结果, WT 结构如图3所示.

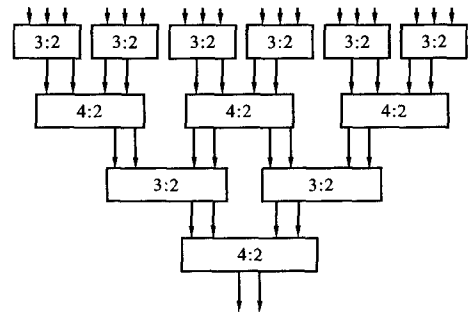


图3 华莱士树结构

在众多压缩器中, 4:2 压缩器具有 2:1 的压缩率, 压缩电路规整、对称, 有利于后端版图的设计. 通过对 WT 结构中 4:2 压缩电路的关键路径分析发现, 传统的由两个 3:2 压缩电路构成的 4:2 压

缩器具有 $4\Delta\text{XOR}$ (异或门延迟)的最坏路径延迟,其最长路径的延迟表达式为

$$S = C_{\text{IN}} \oplus (((I_1 \oplus I_2) \oplus I_3) \oplus I_4) \tag{6}$$

由式(7)综合后的压缩电路结构如图 4(a)中的粗线所示.通过对压缩器单元求和电路的重新调整,可以进一步缩短压缩电路单元的关键路径长度.对

式(7)进行如下的改动:
$$S = (C_{\text{IN}} \oplus I_R) \oplus ((I_1 \oplus I_2) \oplus I_3) \tag{7}$$

从式(8)可以看出关键路径延迟从 $4\Delta\text{XOR}$ 降低到 $3\Delta\text{XOR}$.优化后得到的综合电路如图 4(b)中的粗线所示.

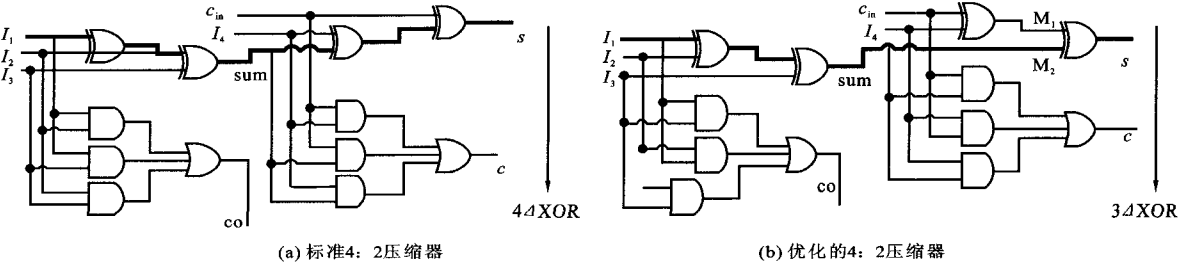


图 4 4 : 2 压缩器电路的改进

3 优化结构的性能分析

本文所提出的基于选择器结构的并行乘法器,在 Synopsys 公司的 Design Compiler 下,采用 SMIC 0.18 μm ,1.8 V 工艺库进行了综合分析.结果的分析中,首先将本文提出的基于选择器结构的部分积产生电路和关键路径改进的 4:2 压缩器结构同优化前的电路进行了延迟、面积及功耗上的对比,然后将优化设计的 16×16 并行乘法器与优化前的乘法器在整体性能、面积与功耗上进行对比分析.

3.1 部分积产生电路模块

通过对改进的电路进行仿真验证,经过综合后得出了部分积产生模块的延迟.表 2 所示为 16×16 乘法器部分积产生电路的性能比较.表项中的括号内说明了相对改善的百分比.从表 2 可以看出,基于选择器的部分积产生电路在延迟和面积上均要小于传统结构的部分积产生电路,电路延迟从 0.63 ns 降低到 0.36 ns,提升了 42.9%,而电路面积从 6 163.41 μm^2 降低到 2 461.55 μm^2 ,降低了 22.2%,同时功耗也从 20.06 nW 降低到 15.85 nW,改善了 21.0%.由此可见,基于选择器的部分积产生单元在三个方面都得到了显著的改善.

表 2 部分积产生电路性能对比

电路结构	延迟/ns	面积/ μm^2	功耗/nW
图 1 传统方法	0.63(1)	3 163.41(1)	20.06(1)
图 2 选择逻辑	0.36(0.571)	2 461.55(0.778)	15.85(0.790)

3.2 部分积压缩电路模块

将优化后的 4 : 2 压缩单元应用到 16×16 乘法器的压缩树设计中,其具体延迟、面积与功耗结果如

表 3 所示,表项中的括号内给出了相对百分比.从表中可以看出,经过优化以后,4 : 2 压缩器关键路径延迟从 1.38 ns 降低到 1.2 ns,相对于前者改善了 13%,但在面积上几乎没有改进,只减少了 0.1%,对电路功耗的改进也不明显,只有大约 1.31%的提升.由此可见,对 4:2 压缩器的关键路径的优化体现在了速度性能上,但是对面积和功耗并没有提高.

表 3 乘法器 WT 树性能对比

电路结构	最大延迟/ns	最大面积/ μm^2	功耗/nW
标准 4 : 2 压缩器	1.38(1)	17 999.14(1)	107.22(1)
优化 4 : 2 压缩器	1.2(0.870)	17 975.84(0.999)	105.82(0.987)

3.3 乘法器模块的性能分析

本文设计实现的 16×16 乘法器经过仿真验证,对其进行的性能分析如表 4 所示.表项中的括号内给出了相对于优化前的各项性能的百分比.通过对并行乘法器的部分积产生单元与部分积压缩环节的优化,乘法器的最大延迟从 2.68 ns 降低到 2.29 ns,性能提高了 14.5%,面积减少了 7.1%,同时功耗下降了 17.2%.可以看出,本文所采用的技术,对并行乘法器的性能与功耗的改善显著.

表 4 16×16 并行乘法器性能对比

电路结构	最大延迟/ns	最大面积/ μm^2	功耗/nW
传统 Booth 算法	2.68(1)	46 589.64(1)	272.04(1)
选择逻辑	2.29(0.855)	43 286.45(0.929)	225.23(0.828)

4 结束语

针对传统 MBE 结构的并行乘法器电路结构进行了优化改进.通过采用能够提高速度的选择器单

(下转第 68 页)

5 结束语

基于分数阶微积分理论,研究了一个新的分数阶系统的混沌动力学特性.数值模拟证明该分数阶系统确实存在混沌,并且得出分数阶系统能产生混沌吸引子的最低阶数为 2.49 阶.基于分数阶系统稳定性理论,设计了非线性控制器,从而使得分数阶混沌系统达到混沌投影同步.该方法设计简便,不需要计算 Lyapunov 指数,数值仿真结果验证了该同步方法的有效性.

参考文献:

- [1] Hartley T T, Lorenzo C F, Qammer H K. Chaos in a fractional order Chua's system[J]. IEEE Transactions on Circuits and Systems I, 1995, 42(8): 485-490.
- [2] Li C P, Peng G J. Chaos in Chen's system with a fractional order[J]. Chaos Solitons & Fractals, 2004, 22(2): 443-450.
- [3] 盛苏英,陆国平,吴新华.混沌同步新方法研究[J]. 微电子学与计算机, 2007, 24(5): 80-82.
- [4] Matignon D. Stability results of fractional differential e-

quations with applications to control processing[C]// IMACS. Lille: IEEE-SMC, 1996.

- [5] Hifer R. Applications of fractional calculus in physics [M]. New Jersey: World Scientific, 2001.
- [6] Podlubny I. Fractional differential equations[M]. New York: Academic Press, 1999.
- [7] Charef A, Sun H H, Tsao Y Y, et al. Fractal system as represented by singularity function [J]. IEEE Transactions on Automatic Control, 1992, 37(9): 1465-1470.
- [8] Tavazoei M S, Haeri M. A necessary condition for double scroll attractor existence in fractional-order systems[J]. Physics Letters A, 2007, 367(1/2): 102-113.
- [9] 蔡国梁,谭振梅,周维怀,等.一个新的混沌系统的动力学分析及混沌控制[J]. 物理学报, 2007, 56(11): 6230-6237.

作者简介:

王 慧 女, (1981-), 硕士生. 研究方向为聚类分析、混沌控制.

白晨希 女, (1981-), 硕士生. 研究方向为 XML 安全性理论、混沌控制.

(上接第 63 页)

用来改进部分积产生电路,并对部分积压缩电路进行了关键路径优化,进一步降低了电路延迟和功耗.所采用的电路优化在对并行乘法器整体性能改进的同时,有效地降低了乘法器电路的功耗.为了进一步改善并行乘法器的性能、功耗和面积,下一步工作将从部分积产生以及压缩树算法上对并行乘法器结构进行优化改进.

参考文献:

- [1] Young E K, Yoon J O, Cho K J, et al. Efficient design of modified Booth multipliers for predetermined coefficients[C]// ISCAS 2006. Island of Kos: IEEE, 2006. 2717-2720.
- [2] Kang J, Gaudiot J. A simple high-speed multiplier design[J]. IEEE Transactions on Computers, 2006, 55(10): 1253-1258.
- [3] Strollo A G M, De Caro D. Booth folding encoding for high performance squarer circuits[J]. IEEE Transac-

tions on Circuits and Systems II: Analog and Digital Signal Processing, 2003, 50(5): 250-254.

- [4] Kuang S, Wang J, Guo C. Modified booth multipliers with a regular partial product array[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(5): 404-408.
- [5] Sahoo S K, Shekhar C. Design and analysis of a compact fast parallel multiplier for high speed DSP applications using novel partial product generator and 4:2 compressor[J]. International Journal of Electronics, 2008, 95(1/2): 139-157.
- [6] Goto G, Inoue A, Ohe R, et al. A 4.1-ns compact 5454-b multiplier utilizing sign-select Booth encoders[J]. IEEE Journal of Solid-state Circuits, 1997, 32(11): 1676-1682.
- [7] Yeh W, Jen C. High-speed Booth encoded parallel multiplier design[J]. IEEE Transactions on Computers, 2000, 49(7): 692-701.