

一种高速低功耗优先级编码器结构

杨 磊^{1,2}, 闫 浩^{1,2}, 张铁军¹, 王东辉¹

(1 中国科学院 声学研究所数字系统集成实验室, 北京 100190; 2 中国科学院 研究生院, 北京 100190)

摘 要: 优先级编码器是数字系统中一种重要的基本电路. 它可以对多个输入请求进行仲裁, 挑选出其中最高优先级的请求编码输出, 指示最高优先级请求的位置. 在传统的优先级编码器结构里, 对每个输出都采用单独的放电路径, 管子多功耗大. 由此提出了采用共享放电路径的优先级编码器结构, 减少管子的数目, 降低功耗. 仿真结果显示, 平均延时下降了 17%, 平均功耗下降了 5.4%.

关键词: 优先级编码器; 放电路径

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2011)02-0074-03

A New Priority Encoder with High Speed and Low Power

YANG Lei^{1,2}, YAN Hao^{1,2}, ZHANG Tie-jun¹, WANG Dong-hui¹

(1 Digital System Integration Lab, Institute of Acoustics, Chinese Academy of Sciences, Beijing 100190, China;

2 Graduate School of Chinese Academy of Science, Beijing 100190, China)

Abstract: The priority encoder is an important basic circuit in digital systems. It is used to arbitrate among many requests, and choose a request with highest priority to complete coding, which indicates the position of the request with highest priority. The priority encoder proposed before introduces separate discharging path for each output, which leads many transistors and big power. This paper introduces a new priority encoder with shared discharging path, which is used to reduce the number of transistors and the power. The simulation result indicates that the average delay has been reduced 17%, and 5.4% average power reduction is achieved.

Key words: priority encoder; discharging path

1 引言

优先级编码器是数字系统中一种重要的基本电路, 它在许多方面都有广泛的应用. 比如在内容可寻址存储器里, 可能会有多个位置匹配成功, 则需要优先级编码器来保证只有最高优先级结果可以输出^[1]. 在多 bit 的优先级编码器里, 不同位置的 bit 有不同的优先级. 优先级编码器会完成最高优先级的判断, 并把这个有效的最高优先级转换成二进制地址编码. 所以, 优先级编码器包含两个部分, 优先级判断部分和地址编码部分. 优先级判断部分会把多 bit 的输入请求根据固有的优先级位置转变成 one-hot 的请求输出; 地址编码部分则把 one-hot 编码转变成地址编码输出. 地址编码输出结果指示

one-hot 输出中 1 的位置. 通常, 优先级判断的过程是, 首先检查最高优先级的 bit, 如果它没有收到更高优先级模块级联来的优先级令牌, 或者自己希望获得该优先级令牌, 就拒绝传递令牌到次优先级位置, 否则传递令牌. 最坏的情形是只有最低优先级的 bit 期望获得令牌, 则令牌会从最高优先级 bit 传递到最低优先级 bit, 整个决定的时间会很长.

2 优先级编码器

2.1 优先级判决部分电路结构

对 8bit 的优先级编码器, 其优先级判断部分实现原理如图 1 中公式所示. 其中引入了前向的结构, LA_inter 是低 4bit 送给高 4bit 的前向信号. 更多 bit 的编码器可以通过 8bit 级联的方式实现.

$$\begin{aligned}
 EP0 &= \overline{LA_in} \cdot D0 \\
 EP1 &= \overline{LA_in} \cdot D1 \cdot \overline{D0} \\
 EP2 &= \overline{LA_in} \cdot D2 \cdot \overline{D1} \cdot \overline{D0} \\
 EP3 &= \overline{LA_in} \cdot D3 \cdot \overline{D2} \cdot \overline{D1} \cdot \overline{D0} \\
 LA_inter &= \overline{LA_in} \cdot D0 + D1 + D2 + D3 \\
 EP4 &= \overline{LA_inter} \cdot D4 \\
 EP5 &= \overline{LA_inter} \cdot D5 \cdot \overline{D4} \\
 EP6 &= \overline{LA_inter} \cdot D6 \cdot \overline{D5} \cdot \overline{D4} \\
 EP7 &= \overline{LA_inter} \cdot D7 \cdot \overline{D6} \cdot \overline{D5} \cdot \overline{D4} \\
 LA_out &= LA_in + D0 + D1 + \dots + D7
 \end{aligned}$$

图1 8bit 优先级判断工作原理

在上面的公式中, $D0 \sim D7$ 是输入信号, 为 1 则表示有请求, $D0$ 优先级最高. $EP0 \sim EP7$ 是相应的输出信号, 为 one-hot 编码, 没有请求则全 0. LA_in 是更高优先级模块输入的信号, 如果为 1, 表示更高优先级部分存在请求, 则 $EP0 \sim EP7$ 全部清 0. LA_out 是输出给下一级的指示信号, 作用和上级输入的 LA_in 作用相同. LA_inter 是内部产生的超前指示信号, 避免级联路径太长, 用于提高判断的速度.

这种类型的电路在文献[2]中实现, 其单元结构如图 2 所示.

在 CLK 信号低电平阶段, 通过 4 个 pMOS 管 $M0 \sim M3$ 进行预充电, 使得输出 $EP0 \sim EP3$ 初始为 0. 当某个 bit 存在请求, 且是最高优先级时, 该路径放电, 使输出变高. 当 LA_in 为高时, 需要把输出都清 0, 那么, LA_in 的延迟判断可能会导致错误. 由于初始时, LA_in 为低电平, 则放电路径打开, 获得优先级的路径会开始放电, 如果最后判断 LA_in 应该是高电平, 则该路径的提前放电会导致错误. 这里加入 $M4 \sim M7$ 来避免该错误. 当 LA_in 最后为高时, 会控制 $M4 \sim M7$ 管再次充电, 从而把输出都清 0.

该电路结构对每个输出都使用了单独的放电路径, 这会导致管子数目过多, 功耗更大. 而且, 放电中串联的路径太长, 也增加了放电的延时. 针对此问题, 本文中设计了新的优先级编码器单元结构.

2.2 结构的改进

本文设计了多个输出共享放电路径的优先级编码器结构, 节省了管子的数目. 另外, 通过调节共享放电路径上管子的尺寸, 可以加快放电的速度. 其 8bit 单元电路结构如图 3 所示.

当输入信号 $D2$ 为 1 时, $M0$ 管被关断, 则 $EP3$ 的放电路径被关闭. 其他输入也类似, 当更高优先级的输入存在请求时, 更低优先级的放电路径被关闭.

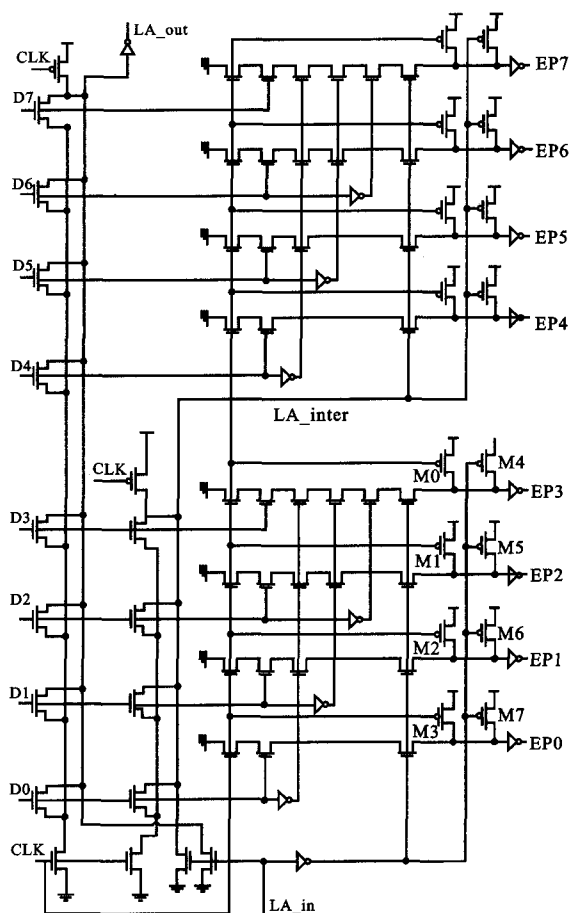


图2 原始优先级编码器结构

而且, 在本电路中, 输入 $D0 \sim D3$ 控制的管子离充电电路更近, 因此初始充电的电容更小, 充放电带来的功耗也更低. 最长的放电路径是 $M0, M1, M2, M3$ 的串联, 而且某些晶体管会被多个输出放电路径共享. 考虑到晶体管的寄生电容, 根据 Elmore 延时模型的分析, 采用 $M3 > M2 > M1 > M0$ 的晶体管尺寸可以获得更小的放电延时.

2.3 两个控制时钟

本电路中同样存在图 2 所示电路中判断错误的问题. 初始时, LA_in 为低电平, $M3$ 管打开, 此时如果匹配则会进行放电. 如果最后判断 LA_in 为高, 则之前的放电会导致结果的错误. 本文中设计了一个新的方法来解决该问题. 如图 3 所示, 产生 LA_inter 部分的电路由时钟 $CLKA$ 控制充放电, 输出部分的电路由时钟 $CLKB$ 控制充放电, $CLKB$ 相对 $CLKA$ 有一定的延时, 则当 $CLKB$ 为高电平控制输出开始放电时, 要求保证 LA_in 已经是最后判决的结果. 从图 3 可以看出, 时钟 $CLKA$ 的负载要小于 $CLKB$ 的负载, 因此可以采用如图 4 所示的时钟延时树结构, 既保证 $CLKB$ 相对于 $CLKA$ 的延时, 也

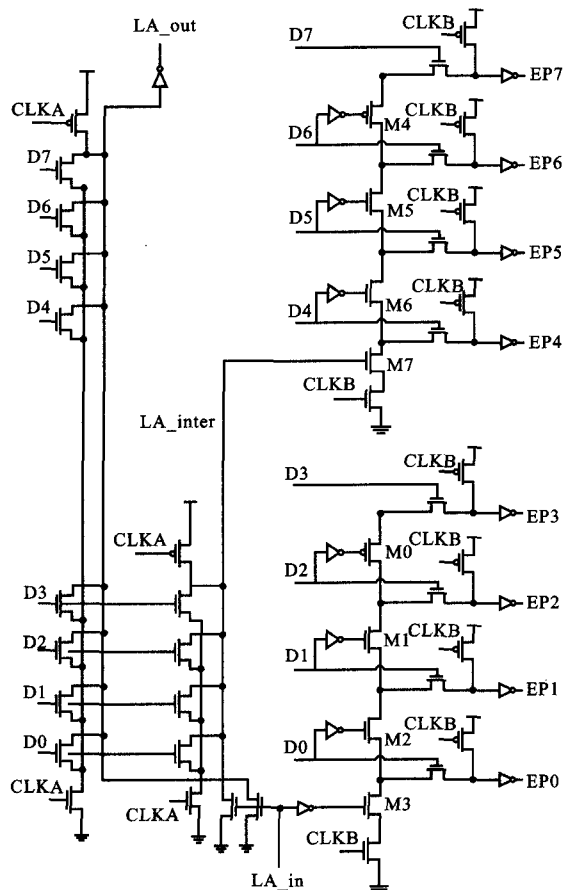


图3 改进的8bit单元结构

增加了时钟 CLKB 的驱动能力. 树的级数可以根据 LA_in 判断所需延时大小来调整.

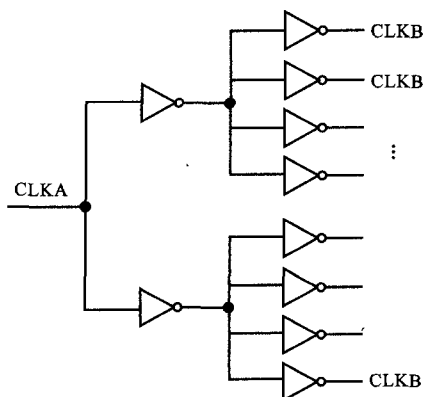


图4 时钟延时树

2.4 地址编码器

优先级编码器部分产生的 one-hot 输出, 需要经过地址编码器产生相应的地址编码输出. 这部分采用 ROM-like 的结构实现^[3]. 以 4bit one-hot 编码为例, 其电路示意图如图 5 所示. 两个 pMOS 管始终开启. 当 Input1 信号为高时, 控制 M0 管打开, 在 A 点进行分压. 只要保证 M0 管和 pMOS 尺寸合

适, 可以使得 Output0 输出高电平, 编码输出 01. 通过配置各个输入中 nMOS 管的数目和位置, 可以控制输出不同的编码结果.

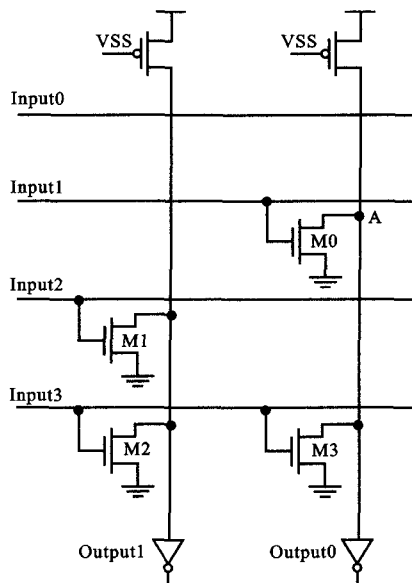


图5 ROM-like 地址编码器

3 实验结果

采用 SMIC 90 nm 工艺, 两种结构的 64bit 优先级编码器原理图仿真结果如下. 表 1 中显示了输出 one-hot 编码部分各个 bit 的延时结果, 可以看到, 新的优先级编码器结构编码延时平均降低了 17%. 功耗比较结果如表 2 所示, 平均功耗下降了 5.4%.

表1 多个输出的判决延时比较

	Delay/ps	
	Old	New
Bit<x>		
Bit<0>	90.6	78.1
Bit<2>	107.5	97.3
Bit<60>	94.1	82.7
Bit<63>	122.0	110.1
Average	103.6	86.0

表2 功耗比较结果

Power/ μ W	
Old	New
100.1	94.67

同时, 对于 8bit 优先级编码器单元, 管子的数目从 102 减少到 76 个.

(下转第 81 页)

果如表 1 所示.

表 1 两种方法性能参数比较

性能参数	6—6 分段	1—6—5 分段	提高
SNR	66.35dB	70.95dB	5.8%
SFDR	70.18dB	75.40dB	7.8%

结果显示,本设计 1—6—5 分段结构减少了寄生电容,使 ADC 的动态性能信噪比 SNR 和无杂散动态范围 SFDR 分别有 5.8%和 7.8%的提高.

6 结束语

文中设计了一种用于数字 PFC(功率因数校正)的 12 位精度、1 MSPS 采样率的逐次逼近型 A/D 转换器.通过采用新的电荷分段结构,减小了 DAC 模块中出现的寄生电容带来的影响,改善了 ADC 的微分非线性 DNL 和动态性能.本设计采用 0.35 μm CMOS 工艺流片验证.在采样频率为 0.98 MSPS,输入信号为 50 kHz 时,仿真结果显示,本设计的信噪比 SNR 与无杂散动态范围 SFDR 较六六分段都有提高.此 A/D 转换器下一步将嵌入集成到数字 PFC 控制芯片中.

参考文献:

- [1] Zhang Wanfeng, Feng Guang, Liu Yanfei, et al. A dig-

ital power factor correction (PFC) control strategy optimized for DSP [J]. IEEE Transation on Power Electronics, 2004, 19(6): 1474—1485.

- [2] 孙彤,李冬梅. 逐次逼近 A/D 转换器综述[J]. 微电子学, 2007, 37(4): 523—531.
 [3] McCreary L J, GRAY R P. All-MOS charge redistribution analog-to-digital conversion techniques — PART I [J]. IEEE JSSC, 1975, SC—10(6): 371—379.
 [4] Ayaskant S. 12-bit non-calibrating noise-immune redundant SAR ADC for system-on-a-chip [C]// IEEE ISCAS, Island of Kos; IEEE, 2006: 1515—1518.
 [5] Behzad R, Bruce A. W. Design techniques for high-speed, high-resolution comparators [J]. IEEE JSSC, 1992, 27(12):1916—1926.
 [6] Emil H, Robert H, Per L, et al. Layout generation of matched capacitors[C]// Radio vetenskap och kommunikation 2002. Stockholm, 2002.

作者简介:

杨超男, (1984—), 硕士研究生. 研究方向为模拟集成电路设计.

赵野男, (1977—), 副研究员. 研究方向为模拟集成电路和电源管理 SoC 设计.

周玉梅女, (1962—), 研究员, 博士生导师. 研究方向为深亚微米 VLSI 物理设计、低功耗设计、智能功率集成电路及数模和混合集成电路技术.

(上接第 76 页)

4 结束语

优先级编码器电路最主要用在内容可寻址存储器的编码输出部分,其功耗和工作速度对整个系统的影响很大.之前提出的优先级编码器基本单元中,对每个输出都采用单独的判决路径,管子多,功耗大.文中提出了改进的优先级判决结构,采用了多个输出共享放电路径的方式,减少了管子的数目.同之前的优先级编码器相比,文中的电路获得了 5.4% 的功耗降低,延时也下降了 17%.而且,对于 8bit 的优先级编码器单元,管子的数目从 102 减少到 76 个.

参考文献:

- [1] Kadota H, Miyake J, Nishimichi Y, et al. An 8kb content-addressable and reentrant memory[J]. IEEE Journal of Solid-State Circuits, 1985, 20:951—957.
 [2] DelgadoFrias J G, Nyathi J. A VLSI high-performance encoder with priority lookahead[C]// Proc 8th IEEE Great Lakes Symp. VLSI, 1998:59—64.
 [3] Wang J S, Huang C H. High-speed and low-power CMOS priority encoders[J]. IEEE J Solid-State Circuits, 2000, 35:1511—1514.

作者简介:

杨磊男, (1984—), 博士. 研究方向为 VLSI 电路设计、处理器体系结构.