

一种用于数字 PFC 的嵌入式 SARADC

杨 超, 赵 野, 周玉梅

(中国科学院 微电子研究所, 北京 100029)

摘 要: 设计了一个用于数字 PFC(功率因数校正)的 12 位精度的逐次逼近(SAR)A/D 转换器. 对 DAC 模块中出现的电容寄生问题进行了详细分析, 针对性提出了一种 1—6—5 式的新型电容分段结构, 并采用伪差分结构消除电荷注入和时钟馈通引入的一阶效应, 使 ADC 性能有很大提高. 上述设计在 0.35 μm CMOS 工艺下完成, 目前该芯片正在流片中. 仿真结果表明, 在采样频率为 0.98 MSPS, 输入信号为 50 kHz 时, 新型分段结构 ADC 的信噪比 SNR 与无杂散动态范围 SFDR 较六六分段约有 6% 的提高.

关键词: 逐次逼近; 电容寄生; 伪差分; 数字功率因数校正

中图分类号: TN431.1

文献标识码: A

文章编号: 1000-7180(2011)02-0077-05

A Design of Embedded SAR ADC for Digital PFC

YANG Chao, ZHAO Ye, ZHOU Yu-mei

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper presents a 12 bit SARADC for a system of digital Power Factor Correction. The questions about parasitic capacitor of DAC module have been analyzed and solved using a new architecture which is 1—6—5 capacitor segments. A pseudo-differential method is used to eliminate charge injection and degrade clock feed-through in order to improve the ADC. This design has been tape out using 0.35 μm CMOS process. Simulation results show that the SNR and the SFDR of this design are about 6% higher than those of 6—6 segment with a 50 kHz sinusoidal input under a 0.98 MHz sampling rate.

Key words: SAR; parasitic capacitor; pseudo-differential; digital PFC

1 引言

在开关电源管理系统中, 为了减小电网中的谐波失真、提高能量利用率, 功率因数校正即 PFC (Power Factor Correction) 是必不可少的. 传统的 PFC 是由模拟方法控制实现的, 但是随着数字技术的崛起, 凭借其快速、可靠和灵活性等特点, 数字控制开始应用于 PFC 系统中^[1].

新型数字 PFC 控制芯片的系统框图如图 1 所示. PFC 系统检测开关电源系统中的模拟电压、电流信号, 并通过 A/D 转换器将这些信号转换为数字信号. 数字信号通过预测算法来产生 PWM 控制脉冲, 进而实现功率因数校正功能. 而 SARADC (Suc-

cessive Approximation Register Analog-to-Digital Converter) 具有能够不产生传输延迟而转换异步信号、中等速度、中等精度、低功耗和低成本等优点, 适合数字 PFC 控制芯片的嵌入集成. 本文设计了一种用于数字 PFC 芯片的嵌入式 SARADC, 在综合考虑了电容寄生、低功耗和面积等性能要求后, 设计了 1—6—5 电容分段的伪差分结构的 DAC 模块, 整体 ADC 电路在 0.35 μm CMOS 工艺下完成, 目前该芯片正在流片中.

2 SAR ADC 的原理及拓扑结构

逐次逼近 ADC 主要由 DAC、比较器、寄存器控制部分和其他模拟电路组成^[2], 其中 DAC 和比较

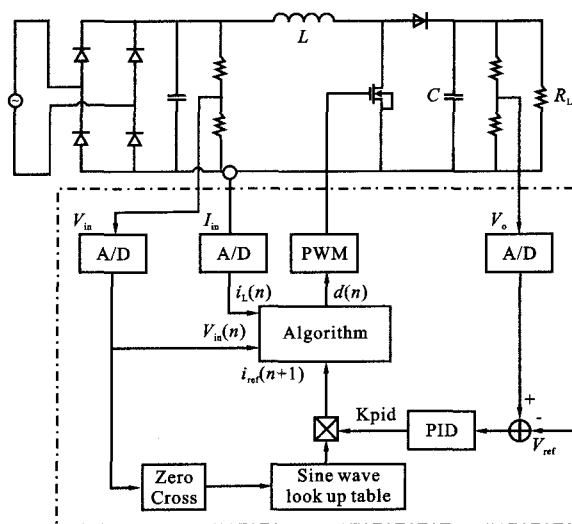


图1 数字 PFC 控制芯片系统框图

器是最重要的模块. 逐次逼近结构采用的是二进制搜索算法, 其基本结构如图 2 所示.

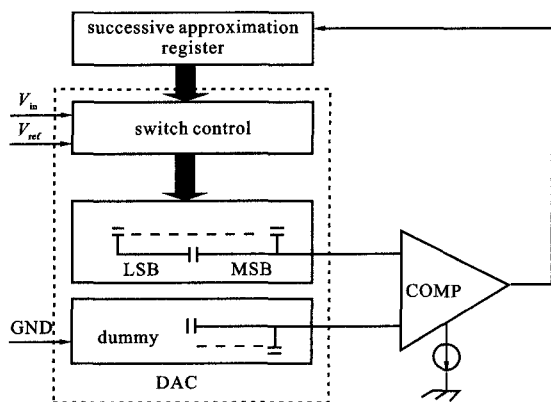


图2 SAR ADC 的基本拓扑结构

本文中设计的 ADC 完成一次转换需要 17 个时钟周期, 其时序如图 3 所示. 转换过程如下: 每一次比较开始, 产生信号 clear ($1 * T$), 清除电容阵列上的存储电荷; 之后, 产生采样信号 sample ($3 * T$), 采样输入的模拟信号, 并且在此时间比较器完成失调存储; 下面进入位循环阶段 (successive approximation $12 * T$), 在每个周期内, DAC 模块在逐次逼近寄存器的控制下实现电荷再分配, 经比较器产生数字码字; 最后产生 EOC (End of Conversion $1 * T$), 锁存转换后的数字信号.

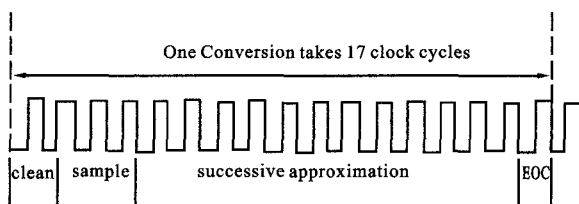


图3 SARADC 时序图

3 SARADC 电路实现

3.1 电容寄生分析及新分段结构

电荷按比例缩放 DAC 是目前应用较多的一种类型, 它利用电容通过电荷重分配完成二进制搜索算法^[3], 功耗比较小, 而且不需要额外的采样保持电路. 考虑面积和性能的原因, 本文设计的 ADC 采用分段式电容阵列.

本文中设计的 12 bit 数字量是由 1 个中间参考电压、高位 6 位和低位 5 位构成, 并没有采用高位 6 位、低位 6 位的传统设计方法. 因为在实际版图设计中, 电容自身以及连线存在着不可避免的寄生电容, 而此寄生电容 (尤其是低位寄生电容) 对 ADC 的性能有很大的影响, 如图 4 所示.

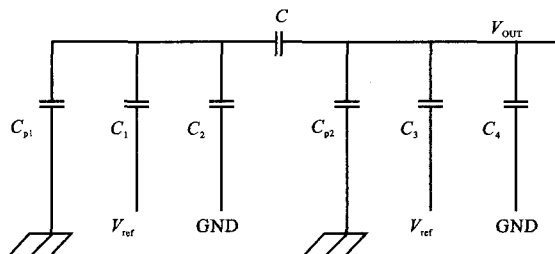


图4 分段电容阵列示意图

为了保证电容阵列的匹配性, C 取为单位电容. 令 C 左边有 L 个低位, C_1 为所有连接到 V_{ref} 的等效电容, C_2 为所有连接到 GND 的等效电容, C_{p1} 为所有低位电容引入的寄生电容, 其值为

$$C_{p1} = \alpha * C.$$

其中, 低位电容越多, α 越大. 令 C 右边有 M 个高位 ($M+L=12$), C_3 为所有连接到 V_{ref} 的等效电容, C_4 为所有连接到 GND 的等效电容, C_{p2} 为所有高位电容引入的寄生电容, 其值为

$$C_{p2} = \beta * C.$$

(高位电容越多, β 越大). 在某时刻, 令低位有 a 个单位 C 连接到 V_{ref} , 则

$$C_1 = a * C,$$

有 $(2^L - 1 - a) * C$ 个单位 C 连接到 GND, 则

$$C_2 = (2^L - 1 - a) * C;$$

令高位有 b 个单位 C 连接到 V_{ref} , 则 $C_3 = b * C$, 有 $(2^M - 1 - b)$ 个单位 C 连接到 GND, 则 $C_4 = (2^M - 1 - b) * C$. 经推导, V_{OUT} 端的输出表达式 (1) 如下:

$$V_{OUT} = \left(\frac{a}{2^{M+L} - 1 + (\alpha 2^M + \beta 2^L + a\beta)} + \frac{b 2^L + b\alpha}{2^{M+L} - 1 + (\alpha 2^M + \beta 2^L + a\beta)} \right) \times V_{ref} \quad (1)$$

令 $A = 2^{M+L} - 1 + (\alpha 2^M + \beta 2^L + \alpha \beta)$, 由 V_{OUT} 可知: β 在分母上, 影响的是 ADC 的增益误差, 对 ADC 的线性性能没有影响. 因此高位的寄生可以不用考虑. 而 α 在分子、分母上都存在, 它影响到 ADC 的 DNL 性能. 在低位由全 GND 向全 VREF 转换时, 静态特性微分非线性 $DNL = \alpha LSB$, 如果寄生比较大, 将严重影响该 ADC 的 DNL, 如图 5 所示. 进而使 A/D 转换器的动态特性变得比较差.

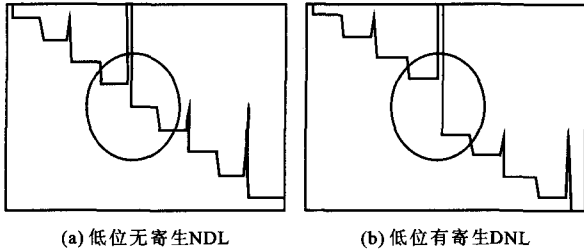


图5 低位有无寄生对 DNL 的影响

因此如果要减小该寄生电容对 DNL 和动态性能的影响, 可以通过减少低位的电容数目来减小该寄生. 所以本设计低位采用 5 位, 使得低位电容数目减少一半, 进而使寄生电容至少减半. 本文提出的 DAC 整体电路如图 6 所示. 其中 V_{ref} 与 V_b (此处取 0) 为直流参考量, 还有中间电压 $V_m = (V_{ref} + V_b)/2$, 通过时序控制来实现 12 bit 的判决精度. 不考虑寄生电容, 在位循环比较过程中, V_{OUT} 点的电压表达式(2)为

$$V_{OUT} = V_m - \frac{2016}{2047} V_{in} + \left(\frac{2048}{2047} \sum_{i=1}^{11} \frac{k_i}{2^{13-i}} + \frac{k_{12}}{2} \right) * V_{ref} \quad (2)$$

式中, k_i 与 k_{12} 取 0 或 1. 这里只是将输入的信号 V_{in} 缩小为原来的倍, 并不影响 ADC 的线性性能.

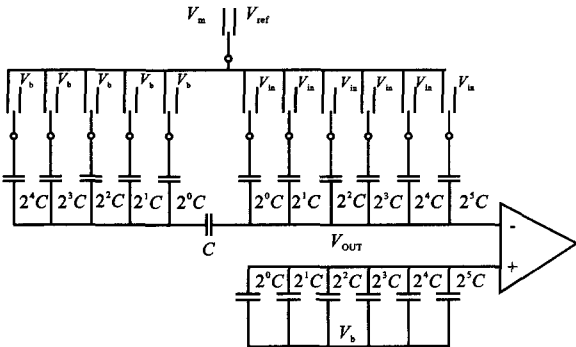


图6 DAC 中分段电容阵列图

为了减小由于电荷注入和时钟馈通引起的比较器两端的不匹配, 本设计还采用了伪差分的电路结构^[4]如图 6 所示, 使比较器的正、反相输入端有相同输入电容. 为了节省面积, Dummy Array 中的低五

位电容可以省略, 因为分段电容和低端电容等效一个电容负载, 该电容负载的差异导致的失调可以忽略.

由于电容阵列的低端是高阻悬空端, 所以为了防止低端有电荷聚集. 在每一次比较的开始都要清空该端的聚集电荷.

3.2 比较器电路结构的选择

为了达到高速高精度的性能, 本设计 SAR ADC 采用的是经典的零失调时钟控制比较器^[5], 它包括电容耦合的三级预放大器和一级锁存器. 在采样时刻, 反馈电路开关闭合, 比较器的失调电压存储在电容上. 在逐次逼近比较阶段, 反馈开关断开, 失调电压被消除. 前三级预放大器的放大倍数要足以抵消后级 LATCH 所引起的失调. 由于采用的是全差分结构, 共模噪声和开关电荷注入的一阶效应被抑制. 该比较器结构如图 7 所示.

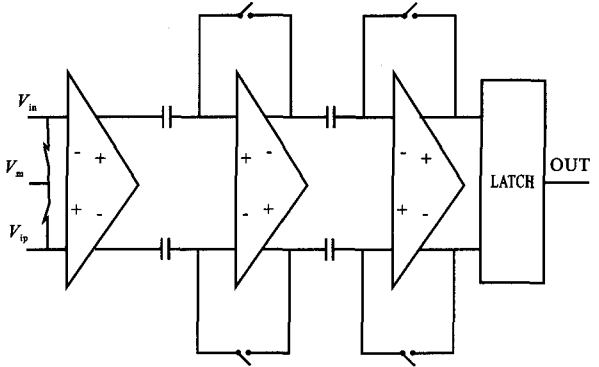


图7 多级级联并带有失调消除

由于比较器的失调是固定不变的, 失调电压是对 ADC 失调误差产生影响. 如果对失调误差的影响是可以容忍的, 可以不用考虑失调消除.

3.3 其它电路结构的选择

在电源管理系统中, 由于来自其他电路的干扰, 电源电压引入的噪声比较大. 本设计采用内部产生 PTAT 电流, 给其他偏置电路提供偏置电流, 使整体电路的 PSRR 性能提高.

4 整体电路与版图

ADC 整体电路图如图 8 所示, 整体电路分为模拟和数字两部分. 这样便于版图的设计和加快后仿真的进度, 可以大大缩短设计周期.

本文中设计的 SARADC 采用 $0.35 \mu m$ CMOS 工艺验证, 整体电路版图如图 9 所示. 在版图设计中, 为了满足匹配要求, 电容阵列采用共质心画法^[6]. 数字部分与电容阵列、模拟部分要互相隔离,

以减小噪声影响. 比较器管子要对称放置以尽可能减小引入的失调. 整体版图尺寸为 $1.5\text{ mm} \times$

2.4 mm , 其中 core 的面积为 $625\text{ }\mu\text{m} \times 920\text{ }\mu\text{m}$.

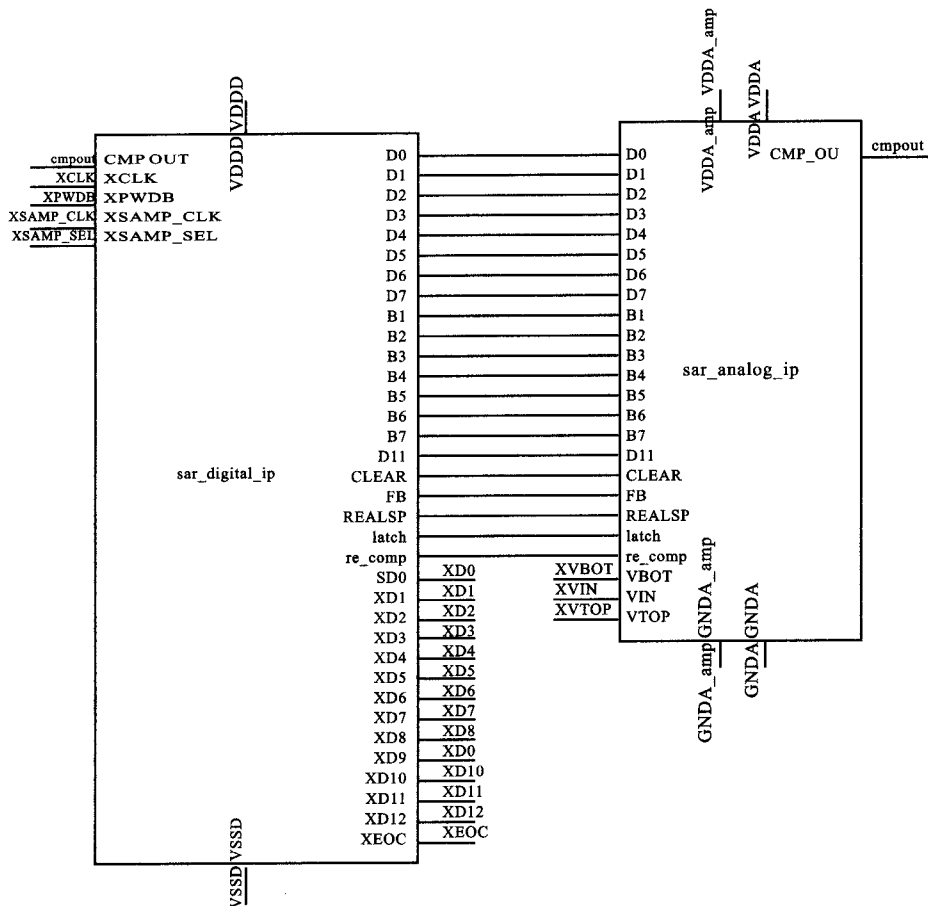


图 8 整体电路框图

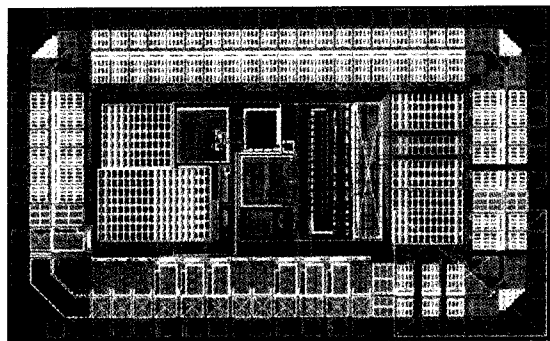


图 9 本设计 SARADC 版图

5 仿真结果

将高 6 位、低 6 位的电容分段方法与 1-6-5 分段方法进行对比, 分别提取各自电容阵列的低位寄生电容后, 对整体电路进行后仿真并做 FFT 分析.

使用 Hspice 对整体电路进行后仿真, 并且用 Matlab 对电路输出的数字码进行 FFT 分析. 在时钟输入为 16.667 MHz , 即采样频率为 0.98 MSPS ,

数字 PFC 控制系统要求的频率为 50 kHz 输入信号时, 两种分段方法得到的后仿真结果如图 10 所示.

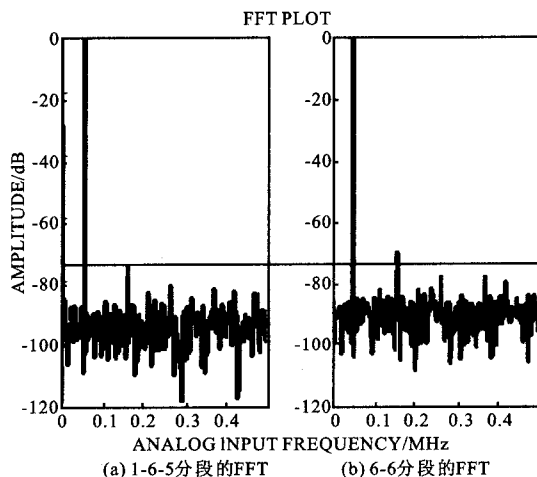


图 10 两种分段方法 FFT 分析对比

图 10(a) 为 1-6-5 分段版图提取寄生后的 FFT, 图中的横线为其 SFDR; 图 10(b) 为 6-6 分段版图提取寄生后的 FFT. 将两种方法的信噪比 (SNR) 和无杂散动态范围 (SFDR) 分别作对比, 结

果如表 1 所示.

表 1 两种方法性能参数比较

性能参数	6—6 分段	1—6—5 分段	提高
SNR	66.35dB	70.95dB	5.8%
SFDR	70.18dB	75.40dB	7.8%

结果显示,本设计 1—6—5 分段结构减少了寄生电容,使 ADC 的动态性能信噪比 SNR 和无杂散动态范围 SFDR 分别有 5.8%和 7.8%的提高.

6 结束语

文中设计了一种用于数字 PFC(功率因数校正)的 12 位精度、1 MSPS 采样率的逐次逼近型 A/D 转换器.通过采用新的电荷分段结构,减小了 DAC 模块中出现的寄生电容带来的影响,改善了 ADC 的微分非线性 DNL 和动态性能.本设计采用 0.35 μm CMOS 工艺流片验证.在采样频率为 0.98 MSPS,输入信号为 50 kHz 时,仿真结果显示,本设计的信噪比 SNR 与无杂散动态范围 SFDR 较六六分段都有提高.此 A/D 转换器下一步将嵌入集成到数字 PFC 控制芯片中.

参考文献:

- [1] Zhang Wanfeng, Feng Guang, Liu Yanfei, et al. A dig-

ital power factor correction (PFC) control strategy optimized for DSP [J]. IEEE Transation on Power Electronics, 2004, 19(6): 1474—1485.

- [2] 孙彤,李冬梅. 逐次逼近 A/D 转换器综述[J]. 微电子学, 2007, 37(4): 523—531.
 [3] McCreary L J, GRAY R P. All-MOS charge redistribution analog-to-digital conversion techniques — PART I [J]. IEEE JSSC, 1975, SC—10(6): 371—379.
 [4] Ayaskant S. 12-bit non-calibrating noise-immune redundant SAR ADC for system-on-a-chip [C]// IEEE ISCAS, Island of Kos; IEEE, 2006: 1515—1518.
 [5] Behzad R, Bruce A. W. Design techniques for high-speed, high-resolution comparators [J]. IEEE JSSC, 1992, 27(12):1916—1926.
 [6] Emil H, Robert H, Per L, et al. Layout generation of matched capacitors[C]// Radio vetenskap och kommunikation 2002. Stockholm, 2002.

作者简介:

杨超男, (1984—), 硕士研究生. 研究方向为模拟集成电路设计.

赵野男, (1977—), 副研究员. 研究方向为模拟集成电路和电源管理 SoC 设计.

周玉梅女, (1962—), 研究员, 博士生导师. 研究方向为深亚微米 VLSI 物理设计、低功耗设计、智能功率集成电路及数模和混合集成电路技术.

(上接第 76 页)

4 结束语

优先级编码器电路最主要用在内容可寻址存储器的编码输出部分,其功耗和工作速度对整个系统的影响很大.之前提出的优先级编码器基本单元中,对每个输出都采用单独的判决路径,管子多,功耗大.文中提出了改进的优先级判决结构,采用了多个输出共享放电路径的方式,减少了管子的数目.同之前的优先级编码器相比,文中的电路获得了 5.4% 的功耗降低,延时也下降了 17%.而且,对于 8bit 的优先级编码器单元,管子的数目从 102 减少到 76 个.

参考文献:

- [1] Kadota H, Miyake J, Nishimichi Y, et al. An 8kb content-addressable and reentrant memory[J]. IEEE Journal of Solid-State Circuits, 1985, 20:951—957.
 [2] DelgadoFrias J G, Nyathi J. A VLSI high-performance encoder with priority lookahead[C]// Proc 8th IEEE Great Lakes Symp. VLSI, 1998:59—64.
 [3] Wang J S, Huang C H. High-speed and low-power CMOS priority encoders[J]. IEEE J Solid-State Circuits, 2000, 35:1511—1514.

作者简介:

杨磊男, (1984—), 博士. 研究方向为 VLSI 电路设计、处理器体系结构.