

动态自适应端接电阻控制电路

潘 科^{1,2}, 何书专^{1,2}, 李 丽^{1,2}, 潘红兵^{1,2}, 李 伟^{1,2}

(1 南京大学 物理系 微电子设计研究所, 江苏 南京 210093; 2 江苏省光电信息功能材料重点实验室, 江苏 南京 210093)

摘 要: 介绍了一种动态自适应片上端接电阻控制电路. 它以电流源作为参考电阻, 并采用数字信号动态地控制端接电阻阻值, 从而达到与传输线匹配的目的. 为了在端接匹配后保持端接电阻的稳定, 设计了新颖的锁电路, 与传统的锁电路相比节省了面积. 该设计基于 SMIC 0.18 μm 3.3 V/1.8 V CMOS 混合信号工艺完成物理版图设计, 在 USB 2.0 收发器中有成功应用.

关键词: 阻抗匹配; 端接电阻; 锁电路; USB2.0

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2011)02-0082-04

An Adaptive Termination Resistors Control Circuit

PAN Ke^{1,2}, HE Shu-zhuan^{1,2}, LI Li^{1,2}, PAN Hong-bing^{1,2}, LI Wei^{1,2}

(1 Institute of VLSI Design, Physics Department of Nanjing University, Nanjing 210093, China;

2 Key Laboratory of Advanced Photonics and Electronics Materials, Nanjing 210093, China)

Abstract: A digital approach of on-die adaptive termination resistors control circuit is described in this paper. Current source is used as the reference resistor and digital signals as control signals for termination matching. We proposed a new area efficient lock circuit to make the termination resistors stable after termination matching. The Layout design is based on SMIC 0.18 μm 3.3 V/1.8 V CMOS mixed-signal process and was used in a USB 2.0 transceiver successfully.

Key words: impedance matching; termination resistor; lock circuit; USB2.0

1 引言

当今数字设计中, 芯片的处理速度越来越快, 大量的数字产品需要把时序控制在皮秒量级. 在如此高的工作频率下, 导线的行为不再像简单的理想导线, 而会呈现出高频效应, 像传输线一样把电信号传输到相邻器件, 或从相邻器件接收电信号. 如果不能合理处理这些传输线, 就有可能破坏系统时序, 令整个数字系统无法工作. 因此, 阻抗匹配是高速电路必须满足的设计要素^[1].

如图 1 所示, 当驱动器将信号发送到传输线上时, 信号幅度取决于缓冲器的电压、缓冲器的源电阻和传输线的阻抗^[2]:

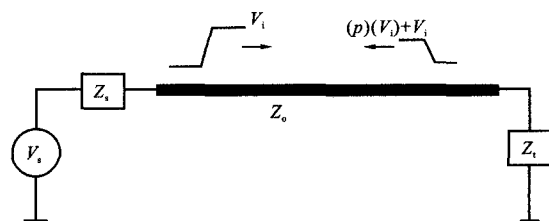


图 1 入射信号在不匹配的终端反射

$$V_i = V_s \frac{Z_0}{Z_0 + Z_s} \quad (1)$$

若传输线终端所接阻抗不等于传输线的特征阻抗, 则部分信号将朝信号源方向反射. 反射信号分量取决于反射系数:

$$\rho = \frac{Z_L - Z_0}{Z_L + Z_0} \quad (2)$$

收稿日期: 2010-01-13; 修回日期: 2010-04-10

基金项目: 国家“八六三”计划项目(2008AA01Z135); 国家自然科学基金项目(60876017); 江苏省科技支撑计划项目(BE2009143)资助课题

若源端所接阻抗也不等于传输线的特征阻抗,信号将在源端再次发生反射.这种反射和逆反射反复发生,从而产生过冲、下冲、振铃等信号完整性问题.这些信号上的畸变会导致时钟线上的误触发,以及总线上的数据错误,甚至导致系统无法工作.因此,端接匹配是满足高速情况下传输线信号完整性要求的必需条件.

在 CMOS 芯片之间的高速信号传输中,构造片上端接电阻通常比使用片外分立电阻更有优势.因为片外端接总会产生由封装寄生元件和内部电路元件组成的末端接残根,而且这个残根通常会在信号线上引入不可接受的较大反射^[3].

然而片上器件(FET 和互连器件)构造的端接电阻会随加工工艺、电源、信号电压和温度的变化而变化.这些变化很大,所以不可能在设计时确定合适大小的器件来构造满意的端接电阻.必须采用可连续或周期性自动调节的片上端接器来实现端接电阻.

本文介绍了一种可自动调整的端接电阻,它以电流源作为参考电阻,阻值由数字信号控制,并自动与传输线匹配.为了在端接匹配后保持端接电阻的稳定,本文设计了新颖的锁电路,与传统的锁电路相比节省了面积.该设计基于 SMIC 0.18 μm 3.3 V/1.8 V CMOS 混合信号工艺完成物理版图设计,并在 USB2.0 收发器中有成功应用^[4].

2 端接电阻控制电路结构

常用的端接电阻控制电路采用一个外部电阻作为参考电阻^[5].本文采用电流源作为参考电阻,不需要再增加外部电阻,从而简化了应用时的部件需求,端接电阻控制器的电路结构如图 2 所示.电流源与复制电阻阵列形成分压器,其输出的电压 V_H 经过一个低通滤波器输入差分放大器的正端.从带隙基准输出的参考电压 V_{ref} 经过一个低通滤波器输入差分放大器的负端.差分放大器比较正负两端的电压输入,输出一个信号.该信号经过寄存器后输入时钟下降沿触发的计数器,驱动计数器向上/下计数.计数器产生二进制控制信号 $C\{4:0\}$ 同时控制端接电阻阵列和复制电阻阵列的阻值.

其中,复制电阻阵列与端接电阻阵列结构相同,分别由 31 个受控电阻 R_p 以及 1 个固定电阻 R_i 并联形成.其中 R_i 的阻值在最好情况工艺角(best corner)下确定,而 R_p 的阻值在最坏情况工艺角(worst corner)下确定.

控制信号 $C\{4:0\}$ 控制并联入电路的电阻个数,

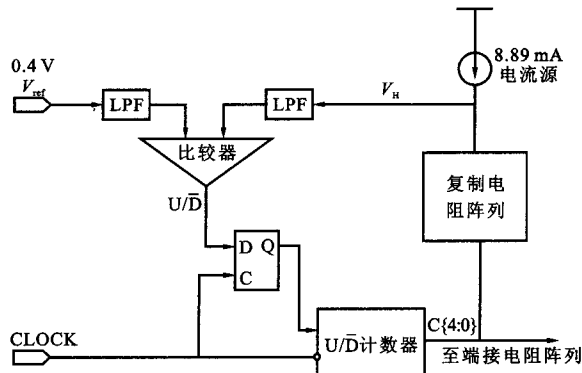


图2 端接电阻控制器结构图

如图 3 所示.端接电阻的阻值 R_{eq} 为

$$R_{eq} = \frac{R_p}{\left(N + \frac{R_p}{R_i}\right)} \quad (3)$$

式中, N 为并联入电路的电阻 R_p 的数目.控制信号 $C\{4:0\}$ 通过控制 N 的大小从而调节电阻阵列的阻值.

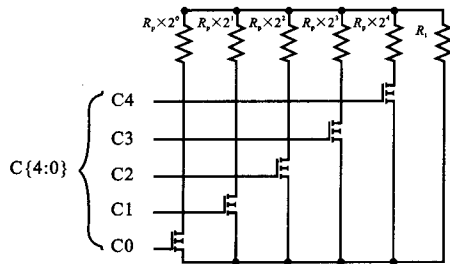


图3 电阻阵列的电路结构图

$C\{4:0\}$ 不断加大或减小,直到电阻阵列的阻值等于传输线的特征阻值.如果 V_H 大于 V_{ref} ,意味着端接电阻阵列阻值大于传输线的特征阻值,比较器产生高电平的信号,计数器向上计数, $C\{4:0\}$ 的二进制值每个时钟周期加一,从而打开电阻阵列中并联的电阻,使阵列阻值减小.这个过程将一直继续,直到 V_H 绕 V_{ref} 不断波动,如图 4(a) 所示.

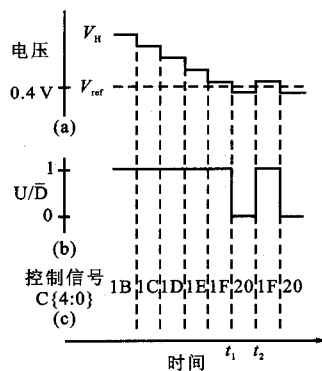


图4 (a) V_H 和 V_{ref} 波形; (b) U/D 波形;
(c) $C\{4:0\}$ 的十六进制值

图 4 所示为 V_H , V_{ref} 和信号, 以及控制信号 $C\{4:0\}$ 的十六进制表达。由图可知, 当 $V_H > V_{ref}$, 信号为 1, 驱动计数器向上计数, 增加电阻阵列中的并联电阻, 使电阻阵列阻值减小, 进而减小 V_H 。当 $V_H < V_{ref}$, 如图 4 所示 t_1 时刻, $U/\bar{D}$ 输出信号 0, 驱动计数器向下计数, 减少电阻阵列中的并联电阻, 使电阻阵列阻值增大, 进而在下一时钟周期 (如图 4 所示 t_2 时刻) 增大 V_H 。此后 V_H 围绕 V_{ref} 上下波动, 驱动计数器反复向下、向上计数, 控制信号 $C\{4:0\}$ 在 1 个比特的范围内波动。此时电阻阵列阻值便动态稳定在传输线的特征阻值。在 USB2.0 收发器设计中, 根据协议要求, 高速模式下端接电阻阻值 $45\ \Omega$, 失配范围小于 10% [6], 即端接电阻的阻值范围是 $40.5\ \Omega$ 至 $49.5\ \Omega$ 。因此, 采用 $8.89\ \text{mA}$ 的电流源以及 $0.4\ \text{V}$ 的参考电压 V_{ref} 。对于其他协议的收发器, 可设置不同的电流源和参考电压以满足协议要求。

3 锁电路

一旦 V_H 围绕 V_{ref} 上下波动, 控制信号将在一个比特的值间变化, 端接电阻阵列的阻值并没有稳定而且这个持续变化的控制信号不断开关电阻阵列, 将在端接的信号线中引入不可接受的噪声。因此有必要检测信号, 当其在逻辑 1 和逻辑 0 之间反复变化时锁定控制信号的输出。

文献[7]采用 $N+1$ 个 D 触发器 (N 为控制信号的位数) 及 1 个专用的计数器构成锁电路, 检测反复变化的 $U/\bar{D}$ 信号并发出锁存控制信号的指令。本文设计了一种全新的电路来实现锁信号功能。

如图 5 所示, 在图 2 的基础上分别增加了一个 D 触发器和一个异或门, 用于检测 $U/\bar{D}$ 信号的变化。 $U/\bar{D}$ 计数器增加了低电平有效的同步使能端, 使能端无效时, 计数器不计数并保持上一时钟周期

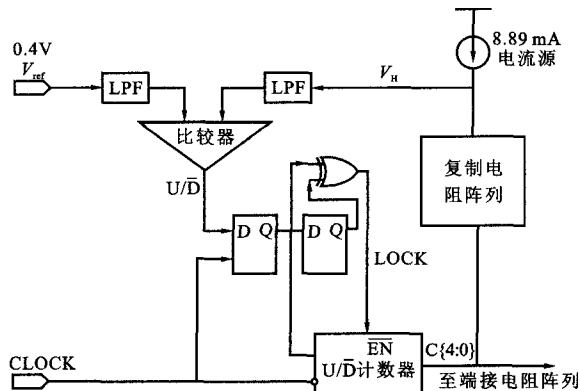


图 5 增加了检测电路的控制器结构图

的输出信号。异或门输出的 LOCK 信号与 $U/\bar{D}$ 计数器的使能端相连。当 V_H 越过参考电压 V_{ref} 时, $U/\bar{D}$ 信号就会发生变化, 而这个变化将被异或门检测到, 并输出 LOCK 高电平关闭 $U/\bar{D}$ 计数器, 从而达到锁定控制信号 $C\{4:0\}$ 的目的。

可以看出, 为了持续锁定控制信号 $C\{4:0\}$, $U/\bar{D}$ 信号必须不断的变化, 使 LOCK 一直为高。将图 5 中的电流源设计为如图 6 所示电路, 其中 M1 与 M2 宽长比相等, M3 的宽长比为 M1 的 $1/N$, 即:

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} \quad (4)$$

$$\frac{W_3}{L_3} = \frac{W_1}{NL_1} \quad (5)$$

流过参考电阻阵列的电流:

$$I = I_s + I_o \quad (6)$$

M4 和 M5 作为开关使用, 其栅极分别连接反相时钟信号 CLOCK 和 $\overline{\text{CLOCK}}$, 当 M4 打开时 M5 关闭, 此时:

$$I_1 = \frac{I_s}{N} \quad (7)$$

一个时钟周期后 M5 打开, M4 关闭:

$$I_1 = 0 \quad (8)$$

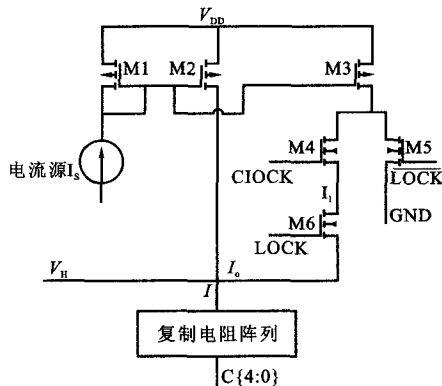


图 6 电流源电路结构

M6 作为开关使用, 开关信号为异或门输出的 LOCK 信号。这样, 一旦 V_H 越过 V_{ref} , 信号发生变化, 异或门就输出高电平的 LOCK 信号将控制信号 $C\{4:0\}$ 锁定, 电阻阵列的阻值也即被锁定, 同时打开 M6, 这时:

$$I = I_s + I_o = I_s + I_1 \quad (9)$$

而 I_1 的不断变化使得 V_H 仍能围绕 V_{ref} 不断变化, 使 $U/\bar{D}$ 信号持续地发生改变, LOCK 信号就将保持高电平将控制信号 $C\{4:0\}$ 锁定。

考虑到 USB 2.0 的协议要求, 将 M3 的宽长比设为 M1 的 $1/20$, 在锁定控制信号后, V_H 与 V_{ref} 最大相差 $1/20$, 端接电阻阵列将稳定在 $45 \times (1 \pm$

0.05) Ω 的范围内,满足协议 $\pm 10\%$ 的要求。

采用新的控制电路后, V_H 、 V_{ref} 、 $U/\bar{D}$ 和 LOCK 信号,以及控制信号 $C\{4:0\}$ 的十六进制表达如图 7 所示。可以看出,在 t_1 时刻, V_H 从上往下越过 V_{ref} , $U/\bar{D}$ 信号发生翻转,此翻转被异或门检测到并输出高电平的 LOCK 信号。LOCK 信号锁定控制信号 $C\{4:0\}$ 并打开 M6,此后 I_o 的不断变化使得控制信号 $C\{4:0\}$ 持续锁定,从而提供稳定的端接电阻,并避免了控制信号反复变化所引入的噪声。

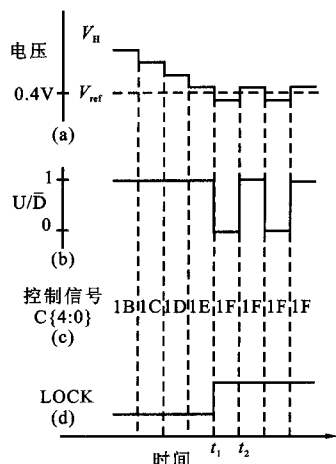


图7 (a) V_H 和 V_{ref} 波形;(b) 波形;
(c) $C\{4:0\}$ 的十六进制值;(d) LOCK 波形

由图 5 及图 6 可以看出,本文采用了 1 个 D 触发器,1 个异或门以及 6 个 MOS 管实现了锁电路。1 个典型的动态 D 触发器的 MOS 管数目是 8 个^[8]。与文献[7]采用的锁电路实现方式相比,本文的实现方式大约节省 $8 \times N$ 个 MOS 管,其中 N 为控制信号位数。若精度要求增加,控制信号位数 N 增大,节省的面积将更加显著。

4 仿真结果及版图实现

本电路基于 SMIC 0.18 μm 3.3 V/1.8 V CMOS 工艺器件模型设计,并在 USB 2.0 协议要求下仿真。仿真结果如图 8、9 所示。可以看出,在 V_H 越过 V_{ref} 后,锁电路发挥作用,控制信号 $C\{4:0\}$ 不再变化,提供稳定的端接电阻。 V_H 在 0.395 mV 到 0.415 mV 之间摆动,端接电阻阻值在 44.4 Ω 到 46.7 Ω 之间,完全满足 USB 2.0 协议要求。

图 10 所示为该端接电阻控制电路在 4 层金属,0.18 μm 工艺下的版图实现,面积为 300 $\mu\text{m} \times 120 \mu\text{m}$ 。

5 结束语

文中介绍了一种可自动调整的端接电阻,它以

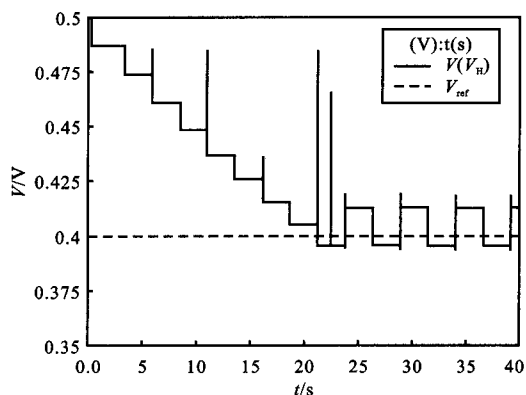


图8 V_H 和 V_{ref} 仿真波形

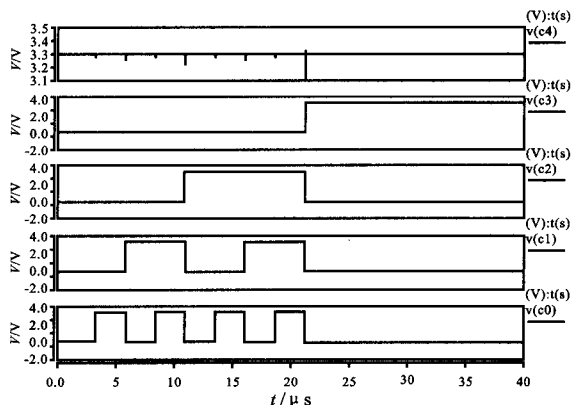


图9 $C\{4:0\}$ 仿真波形

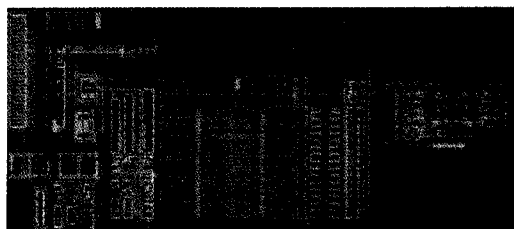


图10 端接电阻控制电路版图

电流源作为参考电阻,其阻值由数字信号控制,与传输线匹配。设计了一种新颖的锁电路对端接匹配后的控制信号锁定,从而提供稳定的端接电阻,避免了控制信号反复变化引入的噪声。与传统的锁电路相比节省了面积。该设计基于 SMIC 0.18 μm 3.3 V/1.8 V CMOS 混合信号工艺完成了物理版图设计,并在 USB 2.0 收发器中有成功应用。

参考文献:

- [1] 陈冠,陈向东,石念. 2.4 G CMOS 低噪声放大器设计[J]. 微电子学与计算机,2009,26(5):235-238.
- [2] Stephen H Hall, Garrett W Hall, James A McCall. 高速数字系统设计[M]. 北京:机械工业出版社,2005:14-40.
- [3] William J Dally, John W Poulton. 数字系统工程[M]. 北京:科学出版社,2006:434-440.

(下转第 90 页)

闲置的上下文存储位置,为新任务的配置做准备;前一任务完成后自动切换到新的任务.由于重构控制和布局策略模块的分离实现,通过结构参数和布局算法参数配置不同的结构布局算法不会影响重构控制,可以快速建立不同应用的仿真模型.

6 结束语

针对动态可重构 SoC 设计空间探索构架中的动态可重构协处理器建模,本文提出布局决策和重构控制相分离的系统级模型,并用 SystemC 语言实现模型描述,模拟了对任务调用的重构处理.该模型中结构和布局算法采用参数化配置,通过调整参数可以模拟不同结构和布局算法的重构处理,具有较好的通用性和灵活性.可将该模型嵌入动态可重构 SoC 的设计空间探索构架,实现动态可重构处理器快速建模,有助于系统不同方案的快速分析和优化.

参考文献:

- [1] 孙康,沈海斌,王继民,等.参数化的可重构系统抽象模型[J].浙江大学学报:工学版,2008,42(8):1323—1329.
- [2] William W C Chu. Reconfigurable computing systems cost/benefit analysis model [D]. Waterloo: University of Waterloo, 2005.
- [3] 季爱明,沈海斌,严晓浪.可重构结构设计空间快速搜索方法[J].电子与信息学报,2006,28(9):1744—1747.
- [4] Kamana Sigdel, Mark Thompson, Carlo Galuzzi, et al. rSesame — A generic system-level runtime simulation framework for reconfigurable architectures [C]// Proceedings of The 2009 International Conference on Field-Programmable Technology. Sydney: IEEE, 2009: 460—464.
- [5] Wu Kehuai, Jan Madsen. COSMOS: a system-level modelling and simulation framework for coprocessor-coupled reconfigurable systems [C]// Proceedings of 2007 International Conference on Embedded Computer Systems; Architectures, Modeling and Simulation. Samos: IEEE, 2007: 128—136.
- [6] HSIUNG Pao-ann, LIN Chaosheng, LIAO Chih-feng. Perfecto: A systemc-based design-space exploration framework for dynamically reconfigurable architectures [J]. ACM Trans Reconfigurable Technol Syst, 2008, 1(3): 1—30.
- [7] Antti Pelkonen, Kostas Masselos, Miroslav Cupak. Systemk-level modeling of dynamically reconfigurable hardware with SystemC [C]// Proceedings of the 10th Reconfigurable Architectures Workshop, International Parallel and Distributed Processing Symposium. Nice: RAW, 2003: 174—181.
- [8] Yang Qu, Kari Tiensyrja, Kostas Masselos. System-level modeling of dynamically reconfigurable co-processors [J]. Lecture notes in computer science, 2004: 881—885.

作者简介:

王 鹏 男, (1985—), 硕士研究生. 研究方向为嵌入式系统设计、可重构计算等.

(上接第 85 页)

- [4] 肖飞,何书专,李丽,等.一种 0.18 μm 的高速 USB 2.0 收发器[J].微电子学与计算机,2009,26(12):96—99.
- [5] Lopez Delgadillo E, Garcia Andrade M A, Diaz Mendez J A. Automatic impedance control for chip-to-chip interconnections on Electronics [C]// 15th IEEE International Conference Circuits and Systems, 2008. Malta: IEEE, 2008: 332—335.
- [6] Compaq, Hewlett-Packard, Intel, et al. Universal serial bus specification, Revision 2.0 [M]. 2000: 119—194.
- [7] Koo Kyoung Hoi, Kyungkido, Seo Jinho. Impedance Control Circuit; United States, 2003/0030579 A1 [P]. 2003—02—13.
- [8] Rabaey Jan M, Anantha Chandrakasan, Borivoje Nikoli. 数字集成电路——电路、系统与设计 [M]. 北京:电子工业出版社, 2004.

作者简介:

潘 科 男, (1982—), 硕士研究生. 研究方向为超大规模集成电路设计.

何书专 男, (1974—), 工程师. 研究方向为集成电路设计技术.

李 丽 女, (1975—), 副教授, 硕士生导师. 研究方向为超大规模集成电路设计.