

基于 802.11a 的 FFT/IFFT 处理器设计

吴 斌¹, 姜 鑫^{1,2}, 周玉梅¹

(1 中国科学院 微电子研究所, 北京 100029; 2 电子科技大学 电子工程学院, 四川 成都 610054)

摘 要: 设计了一种应用于 802.11a 的 64 点 FFT/IFFT 处理器. 采用单蝶形 4 路并行结构, 提出了 4 路并行无冲突地址产生方法, 有效地提高了吞吐率, 完成 64 点 FFT/IFFT 运算只需 63 个时钟周期. 提出的 RAM 双乒乓结构实现了对输入和输出均为连续数据流的缓存处理. 不仅能实现 64 点 FFT 和 IFFT, 而且位宽可以根据系统任意配置. 为了提高数据运算的精度, 设计采用了块浮点算法, 实现了精度与资源的折中. 16 位位宽时, 在 HJTC 0.18 μm CMOS 工艺下综合, 内核面积为: 0.626 7 mm^2 , 芯片面积为: 1.35 $\text{mm} \times 1.27 \text{ mm}$, 最高工作频率可达 300 MHz, 功耗为 126.17 mW.

关键词: FFT; IFFT; 块浮点; 并行无冲突地址

中图分类号: TN92

文献标识码: A

文章编号: 1000-7180(2011)04-0061-04

Design of a FFT/IFFT Processor for 802.11a

WU Bin¹, JIANG Xin^{1,2}, ZHOU Yu-mei¹

(1 Institute of Microelectronics, Chinese Academy of Science, Beijing 100029, China;

2 School of Electronic Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China)

Abstract: In this paper, we present a 64 point FFT/IFFT processor developed primarily for the application in a OFDM based IEEE 802.11a WLAN baseband processor. The proposed processor uses the four-parallel architecture of single butterfly to efficiently improve throughput, and requires only 63 clock cycles for a 64 points FFT/IFFT. Double PingPang architecture is proposed to perform storage of both input and output streaming data. The proposed processor not only supports the operation of FFT/IFFT in 64 points but can also config bits-width arbitrarily according to system demand. In addition, it uses Block-floating point algorithm which can improve precision of the processor, balances precision and resource. The proposed processor of 16 bits is designed in a HJTC 0.18 μm CMOS process, the core area is 0.626 7 mm^2 , the tape-out area is 1.35 $\text{mm} \times 1.27 \text{ mm}$. At the highest clock frequency is 300 MHz, the power is 126.17 mW.

Key words: FFT; IFFT; block floating point; parallel conflict free address

1 引言

无线局域网(WLAN)是 1990 年代计算机网络与无线通信技术相结合的产物,它使用无线信道来接入网络,为通信的移动化、个人化和多媒体应用提供了潜在的手段,并成为宽带无线接入的有效途径之一. 802.11a 作为无线通信的一种典型协议,它工作在 5 GHz 频段,利用 OFDM 系统作为物理层实

现技术,提供 6~54 Mb/s 的数据速率.

OFDM 系统中的调制和解调分别由 IFFT 和 FFT 来实现. 因此,FFT/IFFT 处理器是 802.11a 系统中的重要模块. 设计一种高速、高吞吐率、通用性强的 FFT/IFFT 处理器成为关键. 本文设计的 FFT/IFFT 处理器采用单蝶形 4 路并行结构,不但可以实现 64 点的 FFT 和 IFFT 变换,位宽还可以根据系统要求任意配置,采用块浮点算法来提高运算的精度. 测试结果表明了设计的正确性,速度、吞

收稿日期: 2010-02-08; 修回日期: 2010-04-29

基金项目: “新一代宽带无线移动通信网”国家科技重大专项(2009ZX03007-002)

吐率满足 802.11a 系统的要求。

2 基 4 FFT/IFFT 算法

FFT 算法的基本思想为是利用旋转因子的对称性、周期性和可约性,将 N 点序列分解成多个较短序列^[1],这些短序列又可以重新组合为原序列,进而使总的运算次数得到减少。

对于 N 点有限长序列,其 FFT 为

$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{nk} \quad (k = 0, 1, \dots, N-1) \quad (1)$$

将式(1)进行时域分解得到

$$X(k) = \sum_{n=0}^{N/4-1} x(4n)W_N^{4nk} + \sum_{n=0}^{N/4-1} x(4n+1)W_N^{(4n+1)k} + \sum_{n=0}^{N/4-1} x(4n+2)W_N^{(4n+2)k} + \sum_{n=0}^{N/4-1} x(4n+3)W_N^{(4n+3)k} \quad (2)$$

令: $W^P = W_N^k$,代入式(2)并进行等价代换,利用旋转因子的特性可以得到

$$\begin{cases} X(k) = A + BW^P + CW^{2P} + DW^{3P} \\ X(k + N/4) = A - jBW^P - CW^{2P} + jDW^{3P} \\ X(k + N/2) = A - BW^P + CW^{2P} - DW^{3P} \\ X(k + 3N/4) = A + jBW^P - CW^{2P} - jDW^{3P} \end{cases} \quad (3)$$

进行变量替换得到基 4 蝶形单元运算公式:

$$\begin{cases} A' = A + BW^P + CW^{2P} + DW^{3P} \\ B' = A - jBW^P - CW^{2P} + jDW^{3P} \\ C' = A - BW^P + CW^{2P} - DW^{3P} \\ D' = A + jBW^P - CW^{2P} - jDW^{3P} \end{cases} \quad (4)$$

对 N 点有限长序列的 IFFT 公式取共轭变换有

$$x(n) = \frac{1}{N} \{ \text{FFT}[X^*(k)] \}^* \quad (5)$$

上式说明:只需先将 $X(k)$ 取共轭,最后再将运算结果取共轭,并除以 N ,就可以直接利用 FFT 模块实现 IFFT 运算。所以 FFT 和 IFFT 运算可以复用同一个模块。

3 FFT/IFFT 处理器的设计方案

3.1 处理器的基本结构

FFT/IFFT 处理器的整体结构如图 1 所示,主要包括 RAM、地址产生模块、顺序调整模块、控制移位模块、产生指数模块、蝶形运算单元和 ROM。

由于采用 4 路并行运算,为了实现对连续流输入可以连续流输出,采用了双乒乓结构的 RAM 缓存数据流,对运算结果的存储采用了原位运算。为了提高精度,采用的是块浮点算法^[2]。

3.2 蝶形单元的设计

由于设计要实现 64 点 FFT 变换,采用三级基

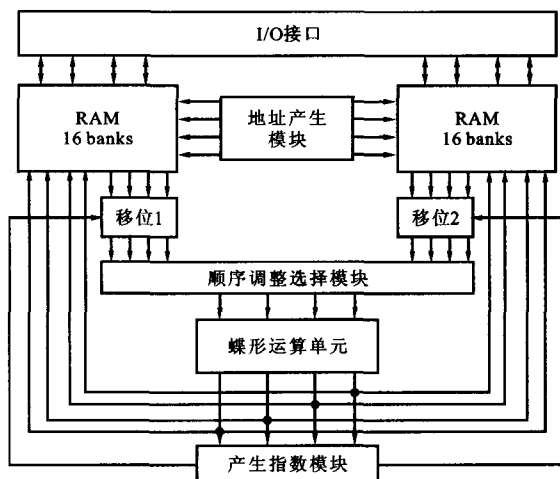


图 1 FFT/IFFT 处理器整体结构图

4 运算即可,4 路数据并行计算。本设计采用的是 DIT (Decimation - In - Time) 法,输入顺序,输出倒序,蝶形单元的实现如图 2 所示。

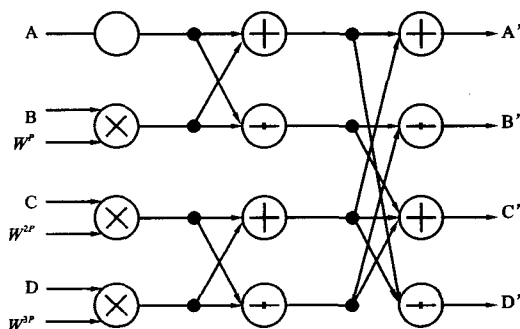


图 2 基 4 蝶形运算单元

用了 3 个复数乘法器和 8 个复数加法器。而一个复数乘法器,直接展开运算:

$$(a + jb) \times (c + jd) = (ac - bd) + j(ad + bc)$$

需要 4 个实数乘法器和 2 个实数加法器。上式进行变换可以得到

$$(a + jb) \times (c + jd) = ((c - d)a + (a - b)d) + j((a - b)d + (c + d)b)$$

后式需要 3 个实数乘法器和 5 个实数加法器。在硬件实现上,乘法器的资源远大于加法器,通过以上变换节省了一定的硬件开销。

3.3 乒乓结构 RAM 的设计

为了实现对数据的连续流处理,输入输出均采用了乒乓结构,实现框图为图 3。

RAM1 和 RAM2 完成对输入数据的乒乓缓冲存储,输入数据首先写入 RAM1,写满后,开始写入 RAM2,同时从 RAM1 中读出数据计算,计算的结果按照原位运算规则再写回相应的地址,最后一级的计算结果要写入 RAM3,从 RAM3 中读出计算输

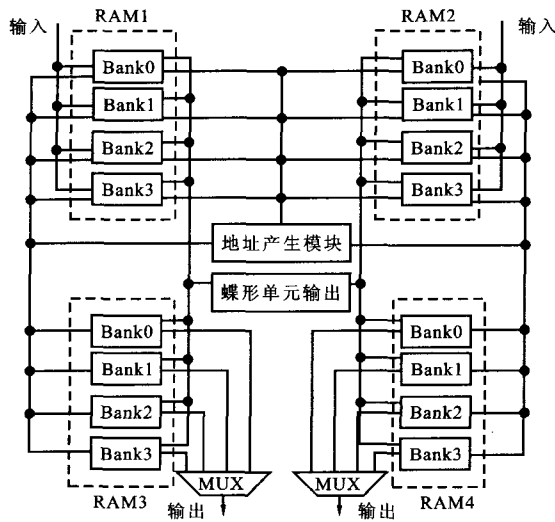


图 3 输入输出 RAM 乒乓结构

出,同时从 RAM2 中读出数据进入蝶形单元计算,计算的结果存回 RAM2,最后一级计算结果写入 RAM4,从 RAM4 中读出计算输出. 输入的连续流数据由 RAM1 和 RAM2 乒乓缓冲, RAM3 和 RAM4 实现乒乓连续输出. 实现了连续流的数据处理,满足了高吞吐率的要求.

3.4 块浮点实现

设计采用块浮点来提高运算的精度,输入的 n 位数据通过符号位扩展为 $n+2$ 位,写入 RAM,读出后经过移位模块判断取出相应的 n 位进行蝶形运算,由于一个基 4 蝶形运算单元中,输入数据的加减也最多只有两次进位,所以蝶形单元的输出用 $n+2$ 位即可,通过对蝶形单元输出数据的最高 3 位进行检测,找出每一级应该共享的最大指数,然后反馈给移位模块,在下一级读出时进行移位处理,直到完成整个 FFT/IFFT 运算. 实现结构如图 4 所示.

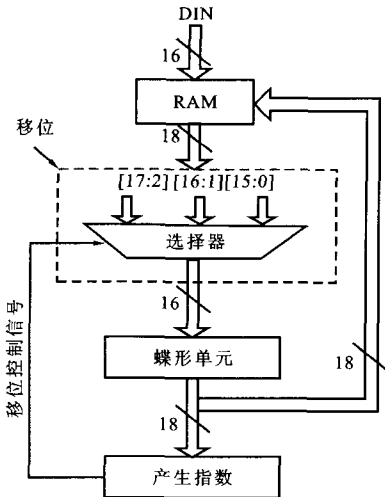


图 4 块浮点实现结构图

块浮点 FFT 算法兼有定点算法和浮点算法的优点,耗费资源与定点运算相当,精度与浮点接近,是一种适用的算法.

3.5 并行无冲突地址产生模块设计

对于 4 个数据并行处理的结构就要保证每次读出的 4 个数据分别存储在不同的 RAM 中^[3],否则,在并行读数时会产生冲突. 因此,数据开始输入系统时不能依次存储,否则,(0、1、2、3)存在同一块 RAM 里,当做为一组读出时,就产生了地址冲突. 本设计中的地址采用二维地址,即块地址和点地址,块地址为表示 RAM 块的地址,点地址为 RAM 中数据存储的地址. 地址产生规律如图 5 所示. 其中 Count0 从 0 计数到 15, Count1 从 16 计数到 31, Count2 从 32 计数到 47, Count3 从 48 计数到 63,根据 4 个计数器产生 4 路点地址;块地址只需相应的计数器按照下面的加法规则即可得到. 最后一级为倒序输出,由于 FFT 的输入和输出是串行的,因此,计数器从 0 到 63 计数,产生 64 个倒序输出的点地址^[4].

Counter0	b[5]	b[4]	b[3]	b[2]	b[1]	b[0]
Stage1_RAM_addr0	1'b0	1'b0	b[5]	b[4]	b[3]	b[2]
Stage2_RAM_addr0	1'b0	1'b0	b[3]	b[2]	b[5]	b[4]
Stage3_RAM_addr0	1'b0	1'b0	b[3]	b[2]	b[1]	b[0]
Counter1	b[5]	b[4]	b[3]	b[2]	b[1]	b[0]
Stage1_RAM_addr1	1'b0	1'b0	b[5]	b[4]	b[3]	b[2]
Stage1_RAM_addr1	1'b0	1'b0	b[3]	b[2]	b[5]	b[4]
Stage3_RAM_addr1	1'b0	1'b0	b[3]	b[2]	b[1]	b[0]
Counter2	b[5]	b[4]	b[3]	b[2]	b[1]	b[0]
Stage1_RAM_addr2	1'b0	1'b0	b[5]	b[4]	b[3]	b[2]
Stage2_RAM_addr2	1'b0	1'b0	b[3]	b[2]	b[5]	b[4]
Stage3_RAM_addr2	1'b0	1'b0	b[3]	b[2]	b[1]	b[0]
Counter3	b[5]	b[4]	b[3]	b[2]	b[1]	b[0]
Stage1_RAM_addr3	1'b0	1'b0	b[5]	b[4]	b[3]	b[2]
Stage2_RAM_addr3	1'b0	1'b0	b[3]	b[2]	b[5]	b[4]
Stage3_RAM_addr3	1'b0	1'b0	b[3]	b[2]	b[1]	b[0]
Reverse_RAM_addr	1'b0	1'b0	b[1]	b[0]	b[3]	b[2]
RAM_block_addr	b[5]	b[4]	+ b[3] b[2] + b[1] b[0]			

图 5 并行地址产生图

4 功能验证与 FPGA 实现

本设计全部由 Verilog 语言实现,用 Modelsim 进行了 RTL 代码的功能仿真和 FPGA 网表的功能仿真和时序仿真,仿真结果与 Matlab 结果进行比较显示正确.并计算了本设计进行 FFT/IFFT 变换的信噪比,和定点算法结果对比,显示出本设计采用的块浮点算法精度较高.采用 Altera Stratix II EP2S180F 1020C4 FPGA 进行实现,四块 RAM 和两块 ROM 均采用配置 FPGA 内置资源的方式实现.经 Quartus II 8.0 仿真综合,16 位位宽时,资源使用情况如表 1 所示.

表 1 FPGA 资源使用表

类别	资源	百分比
查找表	1 434	<1%
逻辑寄存器	1 186	<1%
存储器位	2 147	<1%
DSP 块	18	2%

综合结果显示设计的 FFT/IFFT 处理器在上述 FPGA 上的最高工作频率为 221.24 MHz.

5 ASIC 实现

本文设计的 FFT/IFFT 处理器采用 Verilog 语言编码,Modelsim 完成 RTL 功能仿真和 FPGA 网表的前仿后仿,Synopsys Design Compiler 在 HJTC 0.18 μm CMOS 工艺库下完成逻辑综合,Synopsys Astro 完成布局布线,Prime Time 完成静态时序分析,Prime Power 完成功耗分析,VCS 完成 ASIC 网表的前仿真和后仿真.芯片面积为 $1.35\text{ mm} \times 1.27\text{ mm}$,Core 面积为 0.6267 mm^2 .版图为做过电压降分析之后,外围的一圈为 69 个 Pad(图 6).

6 结束语

本文研究了一种应用于 802.11a 系统的 FFT/IFFT 处理器.能够实现 64 点 FFT/IFFT 运算,只需 63 个时钟周期,提出的无冲突地址产生方法允许 4 路并行处理,大大提高了系统的并行度和吞吐率.提出的 RAM 双乒乓结构实现了对输入和输出均为连续数据流的缓存处理.位宽可以根据系统任意配置.为了提高数据运算的精度,设计采用了块浮点算法,实现了精度与资源的折中.16 位位宽时,在 HJTC 0.18 μm CMOS 工艺下综合内核面积为

0.6267 mm^2 ,投片面积为 $1.35\text{ mm} \times 1.27\text{ mm}$,最高工作频率可达 300 MHz,功耗为 126.17 mW.

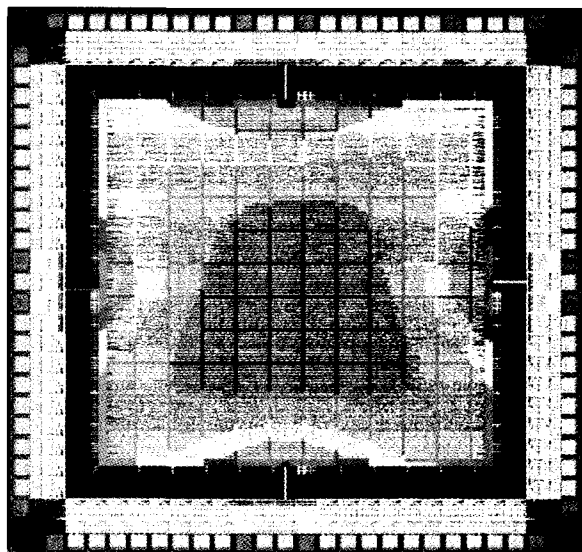


图 6 FFT/IFFT 处理器版图

参考文献:

- [1] 元中瑞,张浩,邱昕. 802.16e 系统变长可配置 FFT 的设计与实现[J]. 微电子学与计算机, 2009, 26(2):1-4.
- [2] 刘亮,王雪静,叶凡,等. 应用于超宽带系统中的低功耗、高速 FFT/IFFT 处理器的设计[J]. 通信学报, 2009, 29(9):40-45.
- [3] Peng Yongjun. A parallel architecture for VLSI implementation of FFT processor[C]// ASIC International Conference. [S. L.]:IEEE,2003:748-751.
- [4] Alfonso Troy, Koushik Maharatna, Milos Krstic, et al. Low-power VLSI implementation of the inner receiver for OFDM-based WLAN systems[J]. IEEE Transactions on circuits and systems, 2008, 55(2):672-686.
- [5] Wey ChinLong, Lin ShinYo, Wang HsuSheng, et al. A low-cost continuous-flow FFT processor for UWB applications[C]// IEEE International Conference on Advances in Electronics and Micro-electronics. Washington: IEEE, 2008:126-131.

作者简介:

吴 斌 男,(1976-),副研究员.研究方向为宽带有线/宽带无线通信、宽带家庭网/宽带接入网通信 SoC,实时信号处理 VLSI 体系架构设计与实现.

姜 鑫 男,(1983-),硕士研究生.研究方向为数字集成电路设计.

周玉梅 女,(1962-),研究员,博士生导师.研究方向为深亚微米集成电路设计技术和低功耗设计技术研究.