

一种基于并行处理技术的插值滤波算法及其 FPGA 实现

邓 军^{1,2}, 杨银堂²

(1 西安电子科技大学 电子工程学院, 陕西 西安; 2 西安电子科技大学 微电子学院, 陕西 西安 710071)

摘 要: 插值滤波器性能直接影响到全数字接收机的误码率, 设计性能良好且易于硬件实现的插值滤波器是设计全数字接收机的关键. 在对已有的拉格朗日立方插值滤波器 Farrow 结构进行分析和研究的基础上, 使用了并行处理技术来提高滤波器的速度, 并对该算法结构进行了仿真, 在 FPGA 上实现. 分析结果表明, 改进后的结构有更快的运行速度和更低的功耗.

关键词: 全数字接收机; 插值滤波器; Farrow 结构; FPGA

中图分类号: TN914.4

文献标识码: A

文章编号: 1000-7180(2010)11-0082-04

An Algorithm of Interpolation Filter Based on Parallel Processing Technology and Its FPGA Implementation

DENG Jun^{1,2}, YANG Yin-tang²

(1 School of Electronics Engineering, Xidian University, Xi'an 710071, China;

2. School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: The performance of interpolation filter has a direct impact on the bit error rate of all digital receiver. It is the key to all-digital receiver that design a good performance of the interpolation filter. The analysis and research are based on the existing Farrow structure of Lagrange interpolation filter. The parallel processing technology are used to improve the speed of filter. We have simulated and realized the structures for FPGA. The results show that the structure has faster operational rate and lower energy consumption.

Key words: all-digital receiver; interpolation filter; Farrow structure; FPGA

1 引言

在全数字接收机中, 插值滤波器通过内插得到最佳采样值以实现码元同步的功能. 插值滤波器性能的好坏直接影响到全数字接收机的误码率, 设计性能良好的插值滤波器是设计全数字接收机的关键^[1].

在全数字化接收解调器中, 对不同速率的数字信号采样频率往往是固定的, 因此采样频率和符号速率通常是不同步的. 理想情况下对码元的判决要在时间连续脉冲波形的中间时刻进行, 因此需要对

采样以后的接收信号进行处理来实现码元同步. 由采样定理可知, 采样频率只要满足奈奎斯特采样定理就可由采样信号唯一地恢复出原始原模拟信号.

插值滤波算法是一种数字信号处理方法, 实现这些算法, 既可以用软件编程来实现, 也可以用硬件来实现. 这些算法都涉及大整数运算, 计算量很大, 因此软件编程实现的效率不高; 而使用硬件, 特别是设计超大规模集成电路(VLSI)模块来实现这些算法是十分有效的^[2]. 采用流水线设计技术和时分复用技术, 可以有效地减少电路规模^[3], 但在运行速度上效果并不理想. 于是, 本文在已有的拉格朗日立

收稿日期: 2009-09-18; 修回日期: 2009-11-18

基金项目: 国家自然科学基金项目(60466047)

方插值滤波器 Farrow 结构基础上,融入了并行处理技术来提高其运算速度,并降低功耗.通过仿真并在 FPGA 上实现,得到基于并行处理技术的 Farrow 结构在频率响应及误码率性能上接近原结构,且与原结构相比有更快的运行速度和更低的功耗.

2 插值滤波原理

对于插值滤波器问题,文献[1]中分析得很清楚.为了分析插值滤波原理,Floyd M. Garder 给出插值滤波器速率转换模型^[4].该模型如图 1 所示.

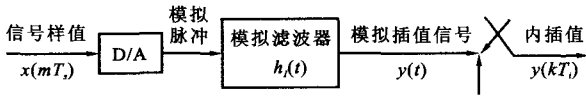


图 1 插值滤波器速率转换模型

假定 T 为调制信号的符号周期, T_s 为接收机采样周期.由于 T_s 的定时来源于独立的本地振荡时钟,所以 T/T_s 的值一般不是有理数.输入信号为采样值 $x(mT_s)$,输出的抽样值表示为 $y(kT_i)$,它是以 T_i 为周期的函数,有 $T_i = T/k$, k 是一个小整数,与时钟恢复算法无关.对图 1 的分析可以看出,插值滤波器实际上完成了时变插值和抽取的功能.信号值经 D/A 变换与模拟滤波器 $h_I(t)$ 后,输出信号为

$$y(t) = \sum_m x(mT_s) h_I(t - mT_s)$$

对 $y(t)$ 在时刻 $t = kT_i$ 重采样得到输出为

$$y(kT_i) = \sum_m x(mT_s) h_I(kT_i - mT_s) \quad (1)$$

新的采样点就是最佳的插值点,只要将模拟滤波器 $h_I(t)$ 换成数字滤波器,就可以用数字的方法实现插值.

定义基本指针 $m_k = \text{INT}\left(\frac{kT_i}{T_s}\right)$, 分数间隔 $\mu_k = \frac{kT_i}{T_s} - m_k$, 滤波器指针 $i = \text{INT}\left(\frac{kT_i}{T_s}\right) - m = m_k - m$, 则式(1)可改写为

$$y(kT_i) = y[(m_k + \mu_k)T_s] = \sum_{N_1}^{N_2} x[(m_k - i)T_s] h_I[(i + \mu_k)T_s] \quad (2)$$

式(2)就是数字插值滤波器的基本方程.

常用的插值滤波器有线性插值滤波器、拉格朗日插值滤波器以及由最佳低通滤波器构成的性能优良的插值器.在本文中,主要研究的是拉格朗日立方插值滤波器.下面给出了 4 抽头的拉格朗日立方插值滤波器的脉冲响应:

$$h(t) = \begin{cases} \frac{1}{6}(t/T_s)^3 + (t/T_s)^2 + \frac{11}{6}(t/T_s) + 1, & -2T_s \leq t < -T_s \\ -\frac{1}{2}(t/T_s)^3 - (t/T_s)^2 + \frac{1}{2}(t/T_s) + 1, & -T_s \leq t < 0 \\ \frac{1}{2}(t/T_s)^3 - (t/T_s)^2 - \frac{1}{2}(t/T_s) + 1, & 0 \leq t < T_s \\ -\frac{1}{6}(t/T_s)^3 + (t/T)^2 - \frac{11}{6}(t/T_s) + 1, & T_s \leq t < 2T_s \\ 0, & \text{otherwise} \end{cases} \quad (3)$$

3 拉格朗日插值滤波器的 Farrow 实现结构

由于理想的 sinc 函数是不能物理实现的,就需要有一个能满足需要,并且易于硬件实现的内插函数.常用的内插滤波器有简单的线性内插器、拉格朗日内插器和由最佳低通滤波器构成的性能优良的内插器,其中拉格朗日内插器较适合硬件实现^[5].C. W. Farrow 提出了一种典型的易于硬件实现的完全计算式嵌套结构——Farrow 结构,用 Farrow 结构设计拉格朗日立方插值滤波器的原理如下:

插值滤波器是一种时变线性滤波器,冲激响应函数 $h_I(i, \mu)$ 是内插估值点 μ 的函数,而 μ 是随时间变化的,所以冲激响应也是随时间变化的.对于这种带有可变因子的滤波器来说,可使用 Farrow 结构进行设计.下面用 Farrow 结构设计拉格朗日立方插值滤波器.

由式(1)可知冲激响应的系数分别为

$$C_{-2}(\mu) = h_{-2}(-2 + \mu) = c_0(-2) + c_1(-2)\mu + c_2(-2)\mu^2 + c_3(-2)\mu^3 = -\frac{1}{6}\mu + \frac{1}{6}\mu^3$$

$$C_{-1}(\mu) = h_{-1}(-1 + \mu) = c_0(-1) + c_1(-1)\mu + c_2(-1)\mu^2 + c_3(-1)\mu^3 = \mu + \frac{1}{2}\mu^2 - \frac{1}{2}\mu^3$$

$$C_0(\mu) = h_0(0 + \mu) = c_0(0) + c_1(0)\mu + c_2(0)\mu^2 + c_3(0)\mu^3 = 1 - \frac{1}{2}\mu - \mu^2 + \frac{1}{2}\mu^3$$

$$C_1(\mu) = h_1(1 + \mu) = c_0(1) + c_1(1)\mu + c_2(1)\mu^2 + c_3(1)\mu^3 = -\frac{1}{3}\mu + \frac{1}{2}\mu^2 - \frac{1}{6}\mu^3$$

于是可得到插值滤波器的 Farrow 结构,图 2 给出了该滤波器的 Farrow 结构实现框图.

可以看出, Farrow 结构的关键路径(处理一个样点所需的最小时间)由 4 个乘法与 6 个加法时间来限定.若 T_M 、 T_A 分别是乘法、加法操作所需时间,则采样周期 T_{sample} 应为: $T_{\text{sample}} \geq 4T_M + 6T_A$.

对该结构插值滤波器进行 Verlog HDL 编程,

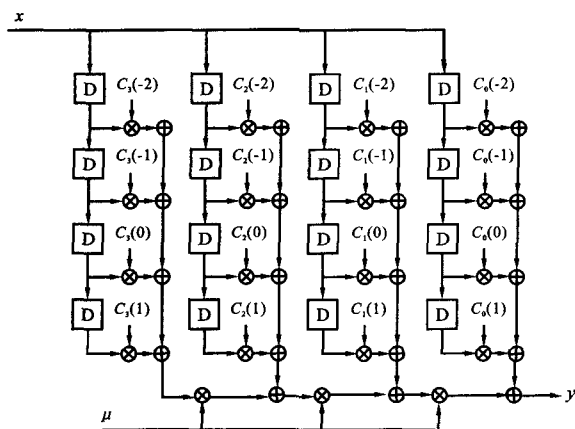


图2 拉格朗日立方插值滤波器的 Farrow 结构实现框图并在 Actel 的 FPGA(A3P030)上下载成功. 图3 为仿真波形.

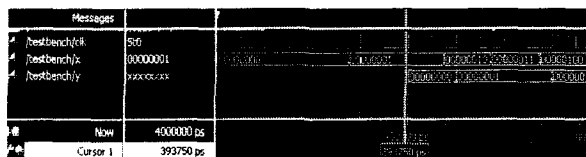


图3 Farrow 结构的插值滤波器仿真波形图

4 基于并行处理技术的 Farrow 结构

并行处理涉及体系结构、算法映射、程序设计等多项技术. 在并行处理中, 多个输出在一个时钟周期内并行地计算, 这样, 有效采样速度提高到与并行级数相当的倍数. 并行处理也能用来降低功耗, 其发掘了计算中可供利用的并发性. 当一组互不相关的计算能够在一个流水线系统中按交替方式计算时, 则它们也能够利用复制的硬件按并行处理的模式计算^[6-8].

在不考虑内插估值点 μ 的情况下, 拉格朗日立方插值滤波器的 Farrow 结构可视为一个单输入单输出(SISO)系统, 为了获得一个并行处理结构, SISO 系统必须转换为多输入多输出(MIMO)系统. 以二级并行处理为例, 其转换的原理如图4所示. 可以看出, 在第 k 个时钟周期, 有 2 个输入 $x(2k)$ 和 $x(2k+1)$ 被处理, 同时输出产生 2 个样点.

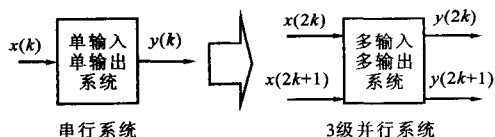


图4 SISO 系统转换为 MIMO 系统原理

由于 MIMO 系统的结构, 在任意一条线处插入一个锁存器就会产生一个有效延时, 相当于有两个

对应于采样率的时钟周期^[7]. 对于 VLSI 实现结构而言, 并行处理的关键路径保持不变, 然而并行处理结构在同样的时间里输入的数据是原来的 n 倍, 相当于速度提升为原来的 n 倍. 而且时钟周期 T_{clk} 必须满足:

$$T_{\text{clk}} \geq 4T_M + 6T_A$$

但是, 由于 2 个样点是在一个时钟周期内而不是两个时钟周期内处理的, 因此采样周期 T_{sample} 应由式(4)确定:

$$T_{\text{sample}} = \frac{1}{2} T_{\text{clk}} \geq 2T_M + 3T_A \quad (4)$$

显然, 由于关键路径的减小, 运算速度也就增加了.

另外, 并行处理的功耗降低原理是通过降低电源电压来降低功耗, 其可以降低到 βV_{cc} (β 为一小于 1 的常数). 一个 L 路并行系统的功耗 P_{par} 可降低为原来 SISO 系统功率 P_{seq} 的 β^2 倍. 即:

$$P_{\text{par}} = (LC_{\text{charge}})(\beta V_{\text{cc}})^2 \frac{f}{L} = \beta^2 C_{\text{charge}} V_{\text{cc}} f = \beta^2 P_{\text{seq}}$$

式中, L 为并行处理级数; C_{charge} 表示在单个时钟周期里充放电的电容, 即沿着关键路径的电容; V_{cc} 是电源电压; f 是采样频率; 且 $P_{\text{seq}} = C_{\text{charge}} V_{\text{cc}} f$.

又知原始结构的传播延时为 $T_{\text{seq}} = \frac{C_{\text{charge}} V_{\text{cc}}}{k(V_{\text{cc}} - V_t)^2}$, 参数 k 是工艺参数的函数, 而 L 级并行系统的传播延时为 $LT_{\text{seq}} = \frac{C_{\text{charge}} \beta V_{\text{cc}}}{k(\beta V_{\text{cc}} - V_t)^2}$.

由上面 T_{seq} 和 LT_{seq} 的表达式, 得到下面的二次方程来求出 β .

$$L(\beta V_{\text{cc}} - V_t)^2 = \beta(V_{\text{cc}} - V_t)^2$$

下面将并行处理加入到拉格朗日立方插值滤波器的 Farrow 结构中(以二级为例), 如图5所示.

5 仿真结果分析及实现

以 2 倍符号速率对接收到的 4QAM 调制信号进行采样, 求出时钟误差后, 分别用原始 Farrow 结构立方插值法和基于并行流水线技术的 Farrow 结构插值法对采样序列进行的插值滤波绘出插值滤波器输出信号星座, 如图6所示. 显然图6(a)中原始 Farrow 结构得到的星座信号点与图6(b)中基于并行流水线技术的 Farrow 结构得到的星座信号点基本一致.

另外, 通过误码率性能考查了原始 Farrow 结构立方插值滤波器和基于并行处理技术的 Farrow 结

构插值滤波器的滤波性能.以 16QAM 信号为例,采样速率为 4 倍的符号速率,系统脉冲响应取滚降因子为 0.5 的升余弦脉冲函数,得到上述两种滤波器

插值滤波后的误码率对比图如图 7 所示.可以看出,基于并行处理技术的 Farrow 结构插值滤波器与了原始 Farrow 结构的插值滤波器的误码率基本一致.

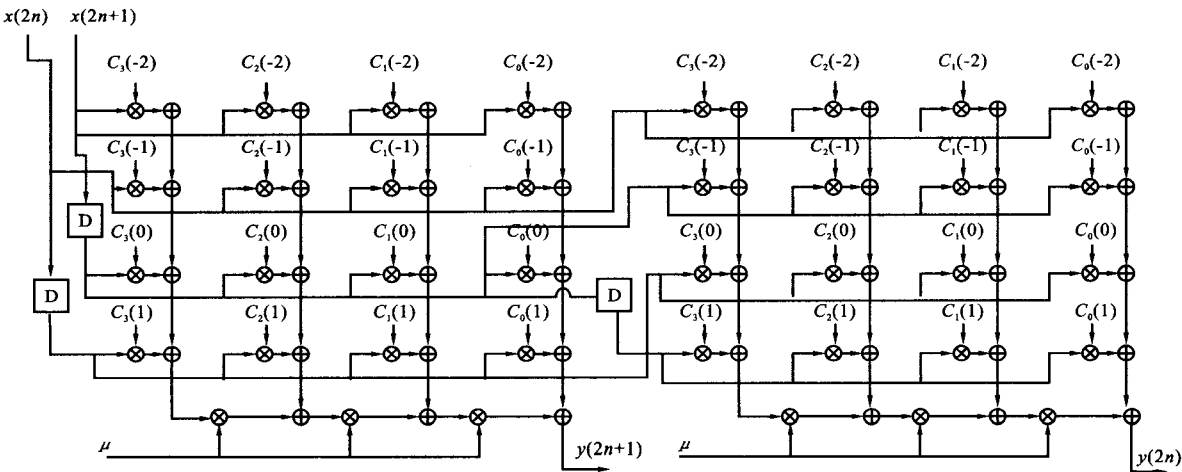
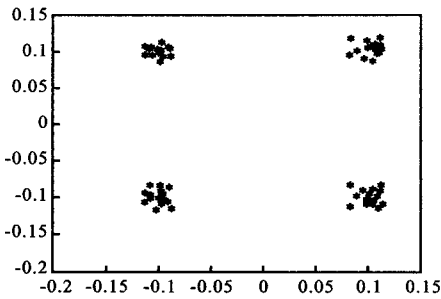
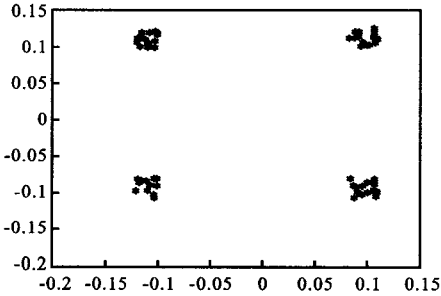


图 5 二级并行拉格朗日立方插值滤波器的 Farrow 结构



(a) 原始Farrow结构得到的星座信号点



(b) 基于并行处理的Farrow结构得到的星座信号点

图 6 原始 Farrow 结构和基于并行处理的 Farrow 结构得到的星座信号点对比图

最后,我们对基于并行处理技术的 Farrow 结构的插值滤波器进行了 Verlog HDL 编程,并在 Actel 的 FPGA(A3P030)上下载成功.图 8 为仿真波形,仿真中只研究编程的正确性,故假设 $\mu=1$.由图中可以看出,输出的结果与图 3 相比基本一致,符合希望所得到的结果.

6 结束语

本文主要完成的工作是对拉格朗日立方插值滤

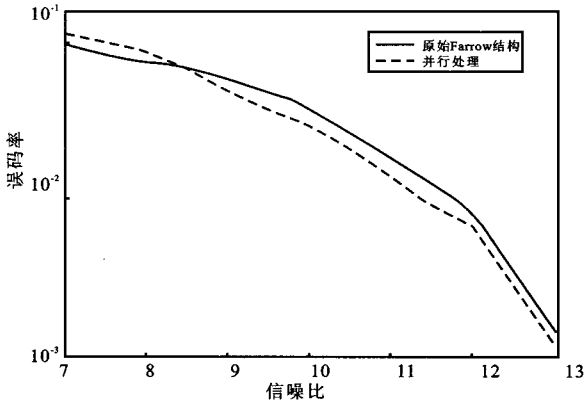


图 7 16QAM 的两种结构的插值滤波器误码性能对比图

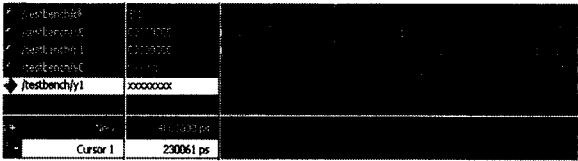


图 8 基于并行处理的 Farrow 结构的仿真波形图

波器的 Farrow 结构进行研究,在 Farrow 结构的基础上,加进并行处理技术对该结构进行改进.对改进的结构进行仿真和与原始结构进行比较,并用 Matlab 得到各种结构的信号星座图和误码性能进行了仿真.实验证明,对原始的 Farrow 结构加入并行处理技术后,关键路径减少,运行速度提高,功耗降低.但耗用的资源却增加,将加大大专用集成芯片的面积.

(下转第 90 页)

由此看来,卡尔曼滤波算法在这里并不优越,同时由于其算法复杂,状态噪声方差和量测噪声的估计难度大,而其他两种算法比较简便、实现容易,精度也能保证.所以该雷达系统不宜选用卡尔曼滤波作为目标跟踪滤波的算法,适合选用 $\alpha-\beta$ 滤波或最小二乘法滤波进行测量数据滤波,然后用最小二乘法进行航迹拟合外推拦截点的方法作为雷达跟踪滤波的基本算法方案.

4 结束语

本文通过仿真研究分析,表明对于超近程主动防护雷达而言,由于其所需侦察目标距离近、跟踪时间短和小机动等特点,卡尔曼滤波算法并不适合作为其跟踪滤波算法,相反 $\alpha-\beta$ 滤波和最小二乘法滤波完全能够满足系统要求.当然由于是仿真分析,在实际应用中还需对算法和参数的选取作进一步修正

和实践验证.研究结果对某型超近程主动防护系统的方案设计、误差指标分配等具有一定的指导意义,具有一定的军事应用前景.

参考文献:

- [1] 王学斌. 反导防空导弹拦截效能的研究[J]. 航空计算技术, 2003,33(3):29-32.
- [2] Merrill I Skolnik. 雷达手册[M]. 北京:电子工业出版社,2003.
- [3] 贺明科,王正明. 去偏转换坐标卡尔曼滤波器的雷达目标跟踪[J]. 国防科技大学学报,2002,24(5):57-61.
- [4] 冯昆林. 对匀速直线运动目标跟踪的转换坐标卡尔曼滤波算法[J]. 太原师范学院学报,2005(2):15-19.

作者简介:

李德世 男,(1972-),硕士,工程师.研究方向为通信与电子系统.

(上接第 85 页)

参考文献:

- [1] 张公礼. 全数字接收机理论与技术[M]. 北京:科学出版社,2005:61-85.
- [2] 谷莢柯,白国强,陈弘毅. FIPS 乘加器架构的 VLSI 实现研究[J]. 微电子学与计算机,2008,25(12):50-54.
- [3] 刘壹,邱昕. OFDM 分组检测算法的研究及其 VLSI 实现[J]. 微电子学与计算机,2008,25(12):161-164.
- [4] Floyd M Gardner, Interpolation in digital modems part I: fundamentals[J]. IEEE Trans Comm., 1993,41(3):501-507.
- [5] Erup L, Gardner F M, Harris R A. Interpolation in digital modems part II: implementation and performance[J]. IEEE Trans Comm., 1993, 41(6):501-507.
- [6] Zhiliang Qin, Kah Chan. A low-complexity soft-input/soft output multiuser detector based on local search algo-

rithms[J]. IEEE Transactions on Wireless Communications,2008,7(12):5257-5263.

- [7] Polpo A, Pereira C A B. Reliability nonparametric bayesian estimation in parallel system[J]. IEEE Transactions on Reliability, 2009,58(2):364-373.
- [8] Keshab K Parhi. VLSI 数字信号处理系统:设计与实现[M]. 陈弘毅,白国强,吴行军,译. 北京:机械工业出版社,2004:47-65.

作者简介:

邓 军 男,(1976-),博士研究生,高级工程师.研究方向为通信、数字信号处理的 VLSI 实现.

杨银堂 男,(1962-),教授,博士生导师.研究方向为微电子学与固体电子学.