

应用于 $\Sigma\Delta$ ADC 的抽取滤波器的设计与实现

李海龙, 黑 勇, 乔树山, 范 军

(中国科学院 微电子研究所, 北京 100029)

摘 要: 介绍了一种应用于 $\Sigma\Delta$ ADC 的抽取滤波器的设计和电路实现方法. 通过对传统设计方法的分析, 提出了一种可以节省 10% 硬件利用率的改进方法, 同时提出了一种适用于半带滤波器的串并联结构, 与传统的半带滤波器相比能够提高 50% 的硬件利用效率. 在面积、速度和功耗的折衷的情况下, 灵活应用 CSD、CSE 和多相分解结构, 在 $0.18\ \mu\text{m}$ 下实现了 $0.59\ \text{mm}^2$ 的 16 位数字抽取滤波器. 该滤波器与不应用串并联结构的滤波器相比能够节省 18% 左右的芯片面积.

关键词: $\Sigma\Delta$ ADC; 抽取滤波器; 串联并联结构

中图分类号: TN713.7

文献标识码: A

文章编号: 1000-7180(2011)07-0072-04

Design and Implementation of a Decimation Filter for $\Sigma\Delta$ ADC

LI Hai-long, HEI Yong, QIAO Shu-shan, FAN Jun

(Institute of Microelectronics, Chinese Electronic of Sciences, Beijing 100029, China)

Abstract: A kind of design method and hardware realization about the digital decimation filter used for high resolution $\Sigma\Delta$ ADC is introduced. An improved design method which has 10% hardware saving compared to tradition architecture is proposed. With a new structure named series-parallel structure which is used in half-band filter, the last stage of the decimation filter will has 50% hardware saving. In the trade off between area, power consumption and speed, with the methods of CSD (canonic signed digit), CSE (common sub-expression elimination), Poly-phase Decomposition and the new series-parallel structure proposed here, we implemented a low power and area decimation filter. The filter whose area is 0.59mm^2 is implemented in $0.18\mu\text{m}$ CMOS process and has 18% less hardware.

Key words: $\Sigma\Delta$ ADC; decimation filter; series-parallel structure

1 引言

数字电路的广泛应用, 对高精度的数据转换提出了更加紧迫的要求. 由于工艺不断的进步, 器件间的失配误差越来越大, 限制了传统的奈奎斯特转换器在高精度方面的应用. $\Sigma\Delta$ ADC 具有高精度方面低成本、高性能的特性, 性能取决于模拟部分的调制解调器和数字部分的数字滤波器. 对于数字部分来说, 它占据了芯片绝大部分的面积, 消耗了很大的功耗^[1]. 设计更小面积, 更低功耗的数字抽取滤波器成为促进 $\Sigma\Delta$ ADC 性能提高的关键部分. 数字抽取滤波器在 $\Sigma\Delta$ ADC 中的作用主要有两点: ①在保证

$\Sigma\Delta$ ADC 整体性能的情况下, 消除带外高频信号和调制器处理的量化噪声^[2]; ② 将过采样频率降到奈奎斯特频率以下. 在整个 $\Sigma\Delta$ ADC 的设计过程中, 已经开发了很多方法来减少抽取滤波器的面积和功耗^[3-5].

文中介绍了一种应用于 $\Sigma\Delta$ ADC 的高性能滤波器. 通过采用多级级联结构, 利用 CSD、CSE 方法和多相分解结构实现滤波器的主体构架. 采用新的串并联结构对后级进行处理, 进一步减少了滤波器的面积. 为了能够清楚地了解滤波器设计的关键点, 设计了两种相同性能的结构, 通过比较最终实现了 CIC(梳状积分滤波器)+补偿滤波器+半带滤波器

结构的抽取滤波器。

2 抽取滤波器的实现

2.1 抽取滤波器的整体架构

该抽取滤波器工作在 12.8MHz 频率下,对产生 1 位数据输出的 $\Sigma\Delta$ ADC 进行数据处理。信号的奈奎斯特频率为 100kHz。根据应用要求,通频带为 48kHz,截至频率为 65kHz,通带纹波小于 0.0005dB,阻带衰减大于 80dB,抽取因子为 128。由于对滤波器的通带要求,仅仅采用一级优化的 CIC 电路^[6-8]不能满足系统的要求,因此要采用多级结构。根据设计目标设计了图 1 两种构架。

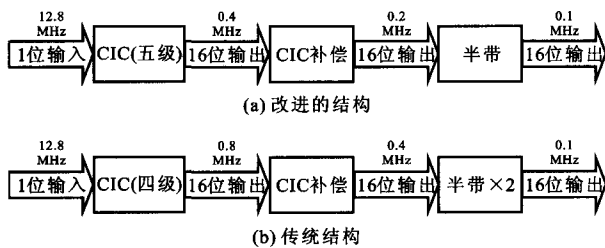


图1 抽取滤波器的系统架构

如图1所示的两种滤波器结构,它们的区别是第一级和后两级,造成这种区别的原因是第一级的阻带衰减量。

2.2 各级滤波器电路的实现

为了减少设计的复杂度和面积消耗,这里采用经典的 CIC 结构。N 阶 CIC 的传输函数为:

$$H(z) = \left(\sum_{k=0}^{M-1} x(n-k) \right)^N = \left(\frac{1-Z^M}{1-Z^{-1}} \right)^N \quad (1)$$

由于 Sigma-Delta 解调器的阶数 $L=3$ 。要得到足够的抗混叠特性 CIC 的阶数至少为 4,一般都选择 4,这里应用两种结构一种阶数为 4,另一种为 5。抽取因子分别为 16 和 32。CIC 的主要有图 2 三种结构。其中(a)^[3]是最经典的实现方式,由于抽取之前 IIR 部分工作在最高频率,会有很大的功率消耗。(b)^[9]和(c)^[10]是对(a)的优化。

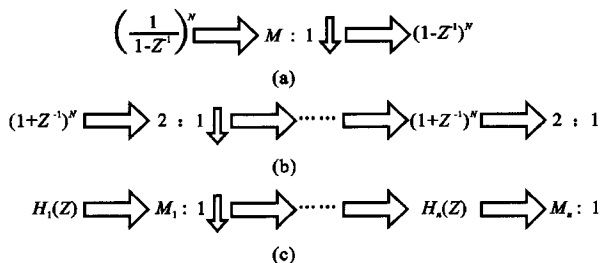


图2 CIC滤波器的实现结构

为了降低功耗和复杂度,通过比较,选用(b)作为文中的滤波器结构。通过对(b)采用多相分解结

构,能够进一步实现功耗的降低。两种 CIC 的幅频特性如图 3 所示。

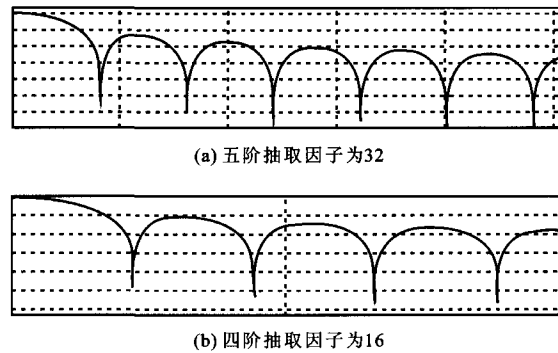


图3 CIC抽取滤波器的频率响应

由于 CIC 通频带内存在大的衰减,需要对通频带进行补偿。文中使用 Remez 等纹波的算法实现 CIC 的补偿滤波器。通过仿真要达到目标要求,两种架构的补偿滤波器系数分别为:17 和 11。利用多相分解结构来降低功耗。补偿滤波器结构由公式(2)给出:

$$y(n) = \sum_{k=0}^m h(k)x(n-k) \quad (2)$$

利用 FIR 滤波器系数的对称性特点,通过对一半的系数进行操作就可以实现上述结构。补偿滤波器的矫正结果如图 4 所示。

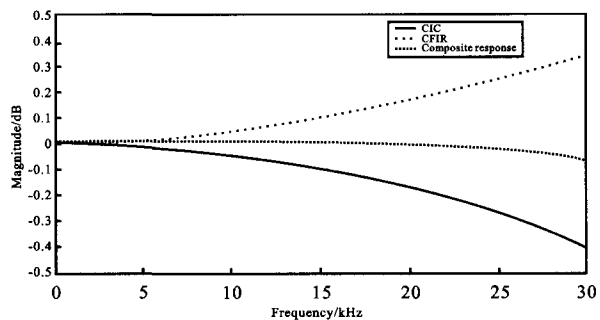


图4 补偿滤波器的幅频特性

最后一级滤波器设计用来达到 $\Sigma\Delta$ ADC 的最终性能要求,因此在滤波器设计中具有重要作用。由于其约束性,将会占用更多的面积。根据 FIR 滤波器的特性,半带滤波器由于其系数除中心点处为 1/2,有一半的系数为零,其二次抽取不会引入噪声混叠,成为滤波器设计最佳的选择。半带滤波器的特性使它拥有更少的抽头数,能够节省更多的芯片面积,消耗更少的功耗。多相分解结构一样可以应用于半带滤波器用于减少功耗,其结构如图 5 所示。

对于两种抽取滤波器的架构半带滤波器的抽头数分别为 59 以及 23 和 59。到现在为止,所有的子滤波均已经设计完成。整体滤波器的幅频特性如图

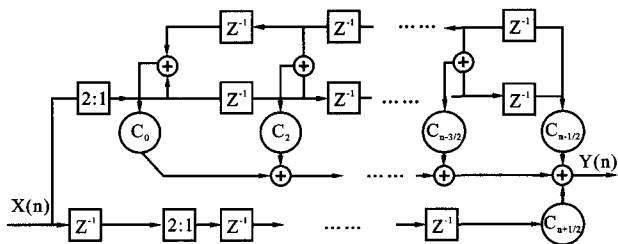


图5 半带滤波器的结构

6 所示。

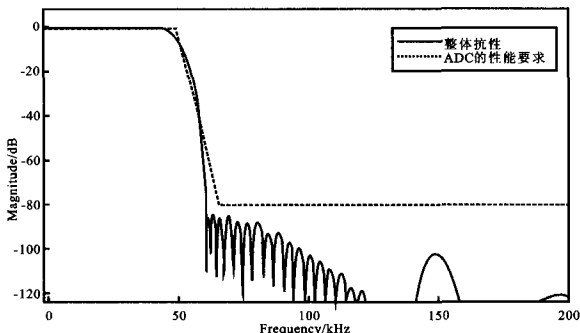


图6 滤波器整体幅频特性

3 抽取滤波器的优化

3.1 CSD 和 CSE 在电路中的应用

CSD^[10] 和 CSE^[5] 这两种方法能够有效地减少抽取滤波器所占的面积,因此,一般抽取滤波器的设计都会采用这两种方法。这两种方法均应用于乘法器,这是因为乘法器在滤波器中占用了绝大部分资源,一般乘法器设计都是采用 CSD 编码,利用移位相加来实现。这种方法比单纯的二进制补码方法,节省 33% 的加法或减法操作^[10]。文中采用的 CIC 结构同样会应用乘法器,它的多相分解结构和实现方法在文献[9]中具有详细的介绍。

CSE 应用于用 CSD 表示的各个乘法单元。通过合并相同的子加法结构,能够很大程度的减少加法器的应用数目,减少芯片面积。这里通过应用文献[5]中所述的 CSE 方法,能够使单独应用 CSD 方法的补偿和半带滤波器的面积减少 20% 左右。

3.2 抽取滤波器的进一步优化

通过以上方法完成滤波器的设计,发现与其他部分相比,半带滤波器占用了绝大部分的硬件资源。进一步优化半带滤波器可以得到整个芯片面积的优化。

考虑半带滤波器的特性和应用环境,可以发现半带滤波器每次迭代之间存在很大的时隙,因此可以利用这些时隙设计串并联结构来进一步减少芯片面积。在本次应用中,半带滤波器每次操作之间存在

128 个时钟间隔。由于设计的半带滤波器总共存在 15 个不同的抽头系数,根据性能要求每个系数有 16 位的精度,因此,要在 128 个时隙内完成整个乘法操作,采用串并联结构,移位相加的方式实现。可以用两个乘法器替代 15 个乘法器。每个乘法器由一个加法器,一个移位寄存器,一个寄存器和一个判断选择器组成,其结构如图 7 所示。移位寄存器堆存入的乘数进行移位相加,通过相关系数控制数据选择单元选择是否允许该处的数据与之前的数据相加,存入寄存器。从而完成整个乘法操作。

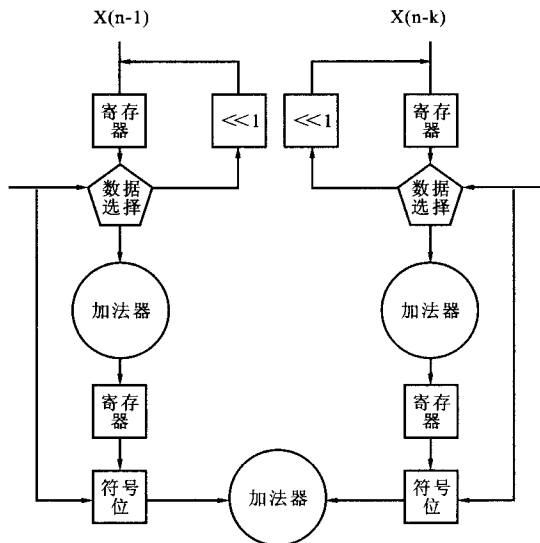


图7 串并联结构

图 8 表示了半带滤波器在串并联结构下的整个工作流程。当数据输入后,控制单元就会控制两个串并联乘法器分别选择两个相邻的数据,同时选择和它们相同系数的数据。将它们分别相加,导入串并联乘法结构中。经过系数处理,通过动态的选择移位周期(≤ 17 个时钟周期)。在每一个周期内选择相加,相减或保持,从而实现四个数据两个系数的乘法操作。然后将得到的数据导入加法寄存器并使串并联乘法器内部寄存器清零。经过这样的 8 个重复操作,可以在 128 个时隙内完成所有的乘法操作。加法寄存器中存储输出信息。

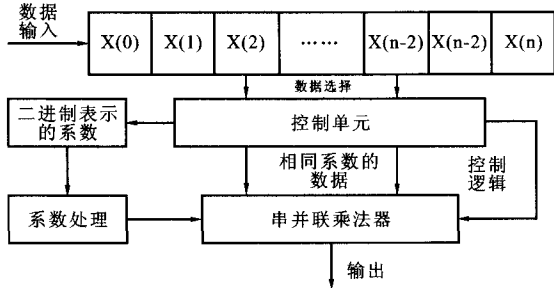


图8 串并联结构流程图

通过上述方式就可以以很小的代价实现整个电路版图的优化。

4 抽取滤波器的优化验证

图1所述两种架构的滤波器,具有相同的性能(见图9),通过同样的硬件结构进行了实现。经过仿真发现,在功耗基本相同的情况下,第一种结构比传统结构能够节省10%的面积。

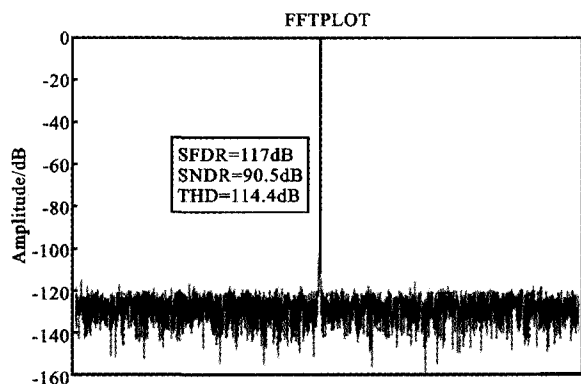


图9 抽取滤波器的频谱特性

通过分析这两种结构的异同发现,由于两种结构的CIC结构不同,导致它们的阻带衰减不同,为了达到相同的阻带衰减,第二种结构不得不加入一级半带滤波器。从这里可以看出,优化的CIC滤波器结构能够缓解后级滤波器的压力,使抽取滤波器获得更好的性能,占用更少的硬件资源。

文中设计的第一种抽取滤波器的第一级,通过多相分解结构和CSD编码移位相加表示的乘法器实现了低面积,低功耗的CIC结构。第二种结构由于其系数的一般性,加入了CSE方法来简化CSD编码引入的加法器数目,从而减少芯片面积。最后一级占用了绝大部分面积,应用了CSE结构之后,仍然存在很大的面积消耗。通过观察其特性,引入了串并联结构来实现其乘法操作。与CSE结构相比,仅仅加入了一个控制单元、一个系数处理单元、三个加法器、两个选择器、两个移位寄存器、两个寄存器和两个符号添加单元。与CSE结构中的三个减法器,20个加法器和38个移位器相比,如表1、表2,能够将半带滤波器使用的面积减少到50%(FPGA)、20%(ASIC)。最终芯片面积为0.59mm²。

表1 两种滤波器抽头数

	CIC (级数)	CFIR (抽头数)	HALFBAND (抽头数)
架构一	5	17	59
架构二	4	11	23+59

表2 两种半带滤波器结构

	加法器	减法器	移位器
半带(新)	3	2	2
半带	20	3	38

5 结束语

文中对抽取滤波器的架构设计和硬件实现进行了系统的分析,改进了传统的设计方法,在系统方面提高了10%的硬件利用率。灵活的应用CSD、CSE和多相分解结构,阐述了相关电路的优化方法。最后通过对半带滤波器的特性分析,提出了一种串并联结构来优化芯片面积。能够将板带滤波器面积减少20%~50%,整体电路面积减少18%。最终芯片面积为0.59mm²,这种串并联结构设计灵活,能够经过适当的调整应用于各种不同的设计当中。

参考文献:

- [1] 李罗生,洪纓,侯朝焕. 一种高性能的 $\Sigma\Delta$ A/D转化器的设计[J]. 微电子学与计算机, 2005, 20(1): 137-139.
- [2] Cui Yingying, Huang Jie, Wu Lingjuan, et al. An optimized design for a decimation filter and implementation for sigma-delta ADC[C]// Electron Devices and Solid-State Circuits. Xi'An, CHINA: 2009: 338-341.
- [3] Hogenauer E B. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1981(2): 151-162.
- [4] Lu Zhaochun, Peng Xiaohong, Wu Wuchen et. Design of 16 bit digital filter used in delta-sigma A/D converter[C]// IEEE, ICCET. Chengdu, CHINA: IEEE, 2010: 484-487.
- [5] Yasuhiro Takahashi, Toshikazu Sekine, Michio Yokoyama. A comparison of multiplierless multiple constant multiplication using common subexpression elimination method[J]. IEEE, Circuits and Systems, MWSCAS, 2008: 298-301.
- [6] Dolecek G J, Mitra S K. Two-stage CIC-based decimator with improved characteristics[J]. IEEE Signal Processing, IET, 2010(4): 22-29.
- [7] Xiong Liu. A high speed digital decimation filter with parallel cascaded integrator-comb pre-filters[J]. IEEE, Image and signal Processing, CISP, 2009: 1-4.
- [8] Massimiliano Laddomada. Comb-based decimation filter for $\Sigma\Delta$ A/D converters: Novel Schemes and Comparisons [J]. IEEE Transactions on Signalprocessing, 2007, 55(5): 1769-1779.

(下转第81页)

