

数字集成电路物理设计阶段的低功耗技术

桑红石, 张 志, 袁雅婧, 陈 鹏

(华中科技大学 图像识别与人工智能研究所 多谱信息处理技术国家级重点实验室, 湖北 武汉 430074)

摘 要: 通过一个图像处理 SoC 的设计实例, 着重讨论在物理设计阶段降低 CMOS 功耗的方法. 该方法首先调整 PAD 摆放位置、调整宏单元摆放位置、优化电源规划, 得到一个低电压压降版图, 间接降低 CMOS 功耗; 接着, 通过规划开关活动率文件与设置功耗优化指令, 直接降低 CMOS 功耗. 最终实验结果表明此方法使 CMOS 功耗降低了 10.92%. 基于该设计流程的图像处理 SoC 已经通过 ATE 设备的测试, 并且其功耗满足预期目标.

关键词: 集成电路; 物理设计; 电压降; 低功耗

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2011)04-0073-03

A Method of Reducing the CMOS Power During the Physical Design Stage of Digital Integrated Circuit

SANG Hong-shi, ZHANG Zhi, YUAN Ya-jing, CHEN Peng

(Institute for Pattern Recognition & Artificial Intelligence, HUST National Key Laboratory of Science & Technology on multi-spectral information processing, Wuhan 430074, China)

Abstract: The method to reduce the CMOS power during the physical design stage is discussed in this paper, utilizing the SoC instance of an image processing design. Firstly, the placement locations of the PAD and macro cells were adjusted and the power planning was optimized. As a result, an intermediate layout with lower voltage drop is gained, which reduces the CMOS power indirectly. Secondly, the file of switching activity ratio planned and the power optimization instructions set are applied on the intermediate layout, and the CMOS power is directly reduced. Finally, simulation results show that the method has saved the power 10.92%. The SoC instance chip entity has passed the test on the ATE and the power meets the design expectation.

Key words: integrated circuit; physical design; IR drop; low power consumption

1 引言

随着集成电路规模的扩大以及便携式和嵌入式应用需求的增长, 低功耗数字集成电路设计技术日益受到重视, 已成为集成电路设计的研究热点. 通常低功耗设计技术包括三个方面: 设计中的低功耗技术、封装的低功耗技术和运行管理的低功耗技术. 其中设计中的低功耗技术包括前端设计阶段的体系结构级低功耗技术、RTL 级低功耗技术、门级低功耗技术和物理设计阶段的低功耗技术.

本文提出了物理设计阶段两种降低 CMOS 功

耗的方法. 首先, 调整 PAD 摆放位置、调整宏单元摆放位置、优化电源规划, 得到一个低电压压降版图, 器件在低电压压降区域消耗功耗较少, 间接降低 CMOS 功耗; 其次, 规划开关活动率文件与设置功耗优化指令实现器件的替换、缓冲器的插入、管脚交换、逻辑重组直接降低 CMOS 功耗. 其中, 开关活动率文件定义了高翻转率信号, 可以使工具通过减少线电容和门尺寸进行动态功耗优化. 对比实验中各种情况的电压压降结果和功耗分析结果, 发现在物理设计阶段调整 PAD 摆放位置^[1]、调整宏单元摆放位置、优化电源规划可以在一定程度上减少电压压

降,规划开关活动率文件和设置功耗优化指令可以降低一定程度的动态功耗。

2 物理设计流程

物理设计阶段包括数据准备、布局规划、时钟树综合、布线、寄生参数抽取、可制造性分析等环节。采

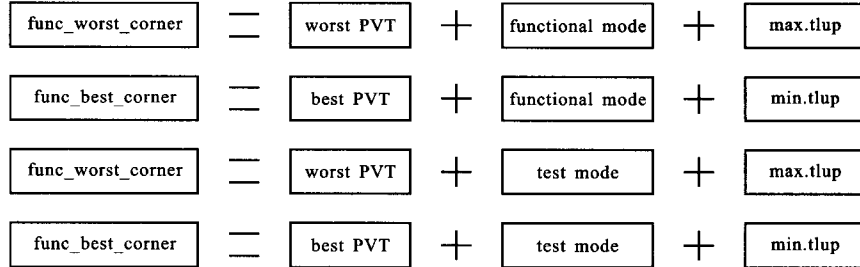


图1 scenario 的定义

设计以 MCMM(多角多模式)的 func_worst_corner 为 current_scenario,在布局规划、时钟树综合、布线阶段同时对 4 个 scenario 下的所有时序路径进行优化,并在这期间进行时序分析、拥塞分析以减少逻辑 DRC(Design Rule Check)、物理 DRC 以及 LVS(Layout Versus Scheme)违例。其中逻辑 DRC 指过渡时间、扇出和电容,物理 DRC 指设计规则检查,LVS 指版图与原理图比对。流片前检查时序、DRC 与 LVS 是否满足设计要求,如果有违例就要返回到版图修改,如果没有违例就可以流片。

3 物理设计中的低功耗考虑

物理设计阶段的低功耗技术包括间接降低 CMOS 功耗技术与直接降低 CMOS 功耗技术。下面以某图像处理 SoC 为例,对两种方法的具体实现和性能进行讨论。

3.1 间接降低 CMOS 功耗技术

电压压降(IR-Drop)由电线电阻和电源与地之间的电流产生的,与峰值电流有关。电压压降违例会使用芯片动态功耗增大,因为电压压降违例区域对电源电压的需求增大,由公式 $P_{\text{动态}} = U^2 I$ 可知,电源电压与动态功耗成正比,所以电压压降违例会间接增大芯片动态功耗。一个好布局会减少一定程度的电压压降^[2-3],间接降低 CMOS 功耗,这就是物理设计阶段通过规划布局间接降低 CMOS 功耗的基本依据。

布局规划首先考虑布图规划,即根据前端提供的门级网表和时序约束文件,把具有逻辑关系的 PAD、宏单元和标准单元就近放置。时钟 PAD 要尽可能靠近电源 PAD,电源 PAD 要考虑电压压降的

用 Synopsys 的 IC Compiler 集成设计环境,着重利用其 MCMM(Multi-Corner Multi-Mode)功能。因为 MCMM 能同时处理多个 scenario,对时序与功耗进行同步优化。该图像处理 SoC 物理设计的 scenario 定义如图 1 所示。每个 scenario 由角、模式和 Tlup 寄生参数文件组成。

大小,一般需要在布局阶段完成后做电压压降分析,从而选择一个最好的 PAD 摆放位置。宏单元放在四周,流出版图中间位置布标准单元。宏单元之间流出布线通道,用于布线。最后用飞线分析各模块信号流整体流向的一致性。

其次,电源规划^[4-5]对降低 IR-Drop 也有重要作用。为了保证芯片充分供电,放置了 4 对给内核供电的电源/地和 4 对给 PAD 供电的电源/地。根据参考文献[6]中提供的 Ring 宽度计算方法得到 Core Ring 和 Stripe 的宽度分别为 $14\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 。加宽 Power Ring 可以增大与电流垂直的电阻截面面积使电阻减小,减少压降。在面积允许的条件下,通过适量增大 Power Ring 宽度减小压降。由于顶层金属具有方块电阻小的优点,能有效降低电源环上的 IR-Drop,通常全局的电源环使用顶层金属来走线。电源网络规划时要保证每个宏单元至少有一个电源条 Stripe 穿过,且使之分布均匀。为了降低修复可制造分析阶段的天线效应难度,宏单元外层电源环采用 3、4 层金属。

最终,综合考虑 PAD 规划、宏单元规划和电源规划,得到一个低电压压降版图,其电压压降分析结果如图 2 所示。

为了更好的说明电压压降结果,把相同颜色的部分划分成一个区域,如图 2 中 1、2、3、4 所示,每个号码代表一种颜色。红颜色区域(区域 1)压降最大,其次橘红色区域(区域 2),再次黄色区域(区域 3),压降力度按红、橘红、黄、绿、蓝依次减弱。压降报告显示 V_{DD} 最大压降为 $144.52\ \text{mV}$, $\text{IR-Drop} < 10\% V_{\text{DD}}$,满足压降要求。

最后,通过没有综合考虑 PAD 规划、宏单元规

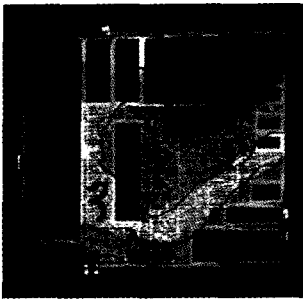


图 2 电压压降结果示意图

划和电源规划的一般布局与最终布局的对比实验,获得如表 1 所示数据.

表 1 各种规划压降与功耗结果

	一般布局	最终布局
电压压降/mV	177.8	144.5
动态功耗/mW	459.933 0	417.912 6

如表 1 所示,与最终布局相比,一般布局时电压压降增大 18.73%,功耗上升 8.9%. 这些实验数据说明减少电压压降可以间接降低 CMOS 功耗.

3.2 直接降低 CMOS 功耗技术

CMOS 功耗由动态功耗(Dynamic Power)和静态功耗(Static Power)组成. 动态功耗包括电平转换功耗(Net Switching Power)和内部功耗(Internal Power). 内部功耗是由于短路电流引起的短路功耗和器件内部电容充电导致的功耗. 电平转换功耗是当器件输出端口电平变换时,开关寄生电容充电到 V_{dd} 或放电到 Ground 引起的功耗. 物理设计阶段可以通过减少电平转换功耗直接降低 CMOS 功耗. 电平转换功耗用以下公式计算^[7]:

$$P_{sw}=0.5V_{DD}^2f_{clock}C_{load}E_{sw}$$

(1)

式中, f_{clock} 为时钟频率, C_{load} 为负载电容, E_{sw} 为电平转换参数. 从式(1)可以看出,电平转换功耗与供电电压的平方、时钟频率、电容负载、电平转换参数成正比. 物理设计阶段使用降低负载电容的方法来降低功耗,降低负载电容可以考虑功耗的布局、基于寄存器的分组的布局优化、变换驱动能力、基于器件连线权重的布局优化、布线后基于抽取的寄生参数的优化. IC Compiler 本身具有降低负载电容的功能,通过功耗优化指令的设置实现. 具体指令如下所示:

```
set _ power _ options - low _ power _
placement true
placement_opt - area_recovery - optimize_
dft - power
set_power_options - dynamic true
```

```
psynopt - area_recovery - power
```

功耗优化指令的设置必须在规划开关活动率文件基础上进行,因为开关活动率文件定义了高翻转率信号,可以使工具通过减少线电容和门尺寸进行动态功耗优化. ICC 读入开关活动率文件后,通过 LPP(Low Power Placement)和 GLPO(Gate-level Power Optimization),降低一定程度的动态功耗. LPP 通过优化与高翻转率线连在一起的单元布局,缩短这些高翻转率连线,从而减小寄生电容. GLPO 通过插入缓冲器、改变门的尺寸、互换引脚等技术减小负载电容. 有无设置功耗优化指令的各阶段功耗结果分别如表 2、表 3 所示. 表格中功耗单位为 mW.

表 2 未优化的功耗分析结果

	内部功耗	电平转换功耗	总动态功耗
布局后	255.17	317.52	572.69
时钟树后	163.33	20.07	183.40
布线后	163.40	19.18	182.58

表 3 优化后的功耗分析结果

	内部功耗	电平转换功耗	总动态功耗
布局后	142.30	275.61	417.91
时钟树后	154.35	18.06	172.41
布线后	145.81	16.85	162.66

表 2、表 3 中分别列举了布局后、时钟树综合后、布线后动态功耗. 为了更好地说明设置功耗优化指令后动态功耗有一定程度的下降,表 4 列举了设置功耗优化指令后各阶段动态功耗下降百分比. 这些实验数据证实设置功耗优化指令能够降低 CMOS 功耗.

表 4 功耗下降力度表

	内部功耗	电平转换功耗	总动态功耗
布局后	44.23	13.20	27.03
时钟树后	5.50	9.98	6.01
布线后	10.77	12.16	10.92

4 结束语

本文以某图像处理 SoC 为例阐述了基于标准单元的设计流程中,物理设计阶段的低功耗技术. 通过对比采用与未采用该技术的电压压降分析结果与

(下转第 80 页)

缺点: (1) 证书文件的管理和分发. 使用 OPENSSL 的 API 很容易生成自认证证书和密钥, 但是有一定的使用期限, 这就要求管理员定期对证书文件进行更新再分发. 另外没有解决证书的分发问题, 目前需要管理手动分发到各通讯进程的主机上. (2) 信息编码的支持有一定的局限性. 目前只支持 ANSI 中的 ASCII 编码. (3) 对于分布式部署, 应该对负载均衡算法进行进一步研究, 保证分布在不同主机上的相同功能模块的负载均衡.

5 结束语

目前该通讯方法已经应用在 BIND10 服务器软件开发中, 能够有效协调进程间通信. 同时, 该方法的应用不局限于 DNS 服务器, 对于基于多进程的任何项目都可以直接使用. 对于支持多种信息编码、以及多种数据类型方面应有所扩展; 应考虑使用更智能的方式分发证书文件以及分布式部署的负载均衡问题.

参考文献:

- [1] Paul Albitz, Cricket Liu. DNS and BIND[M]. 5th Edition. America: O'Reilly, 2006.

- [2] Tatuya Jinmei, Paul Vixie, Implementation and evaluation of moderate parallelism in the BIND9 DNS server [C]// Proceedings of the annual conference on USENIX '06 Annual Technical Conference. Boston, MA: ACM, 2006: 12-20.
- [3] Internet Systems Consortium (ISC) BIND [CP/OL]. [2010-05-27]. <http://www.isc.org/>.
- [4] BIND10 project[EB/OL]. [2010-05-27]. <http://bind10.isc.org/>.
- [5] OpenSSL project[EB/OL]. (2004) [2010-05-27]. 2004. <http://www.openssl.org/>.
- [6] Stevens W R, Fenner B, Rndoff A M. Unix 网络编程 第 1 卷: 套接口 API[M]. 杨继张, 译. 3 版. 北京: 清华大学出版社, 2006.

作者简介:

沈婷婷 女, (1985-), 硕士研究生. 研究方向为计算机网络、DNS 服务器的安全与设计开发.

金 键 男, (1976-), 硕士. 研究方向为计算机网络系统、互联网寻址技术.

毛 伟 男, (1968-), 研究员, 博士生导师. 研究方向为下一代互联网技术、资源定位与寻址技术、网络安全技术.

(上接第 75 页)

功耗报告分析结果, 证明了本文所采用方法的有效性, 最终实现 45.7 万门、内核功耗 199 mW、时钟频率 105 MHz 的 SoC.

参考文献:

- [1] Payman ZarkeshHa, Meindi James D. Optimum on chip power distribution networks for gigascale integration [C]// Proceedings of the IEEE 2001 International Interconnect Technology Conference. Burlingame, CA, USA: IEEE, 2001(6): 125-127.
- [2] 田志新, 刘勇攀, 杨华中, 等. 基于马尔可夫-蒙特卡洛采样的电源网络分析[J]. 微电子学与计算机, 2008(12): 1-4.
- [3] 严晓浪, 杨垠丹. 超深亚微米集成电路 IR-DROP 快速论证分析的研究[D]. 杭州: 浙江大学, 2004.

- [4] 高海霞, 张弘. 低功耗测试向量产生技术的研究[D]. 微电子学与计算机, 2009, 26(1): 213-216.
- [5] Chen Hongyu, Wang Q, Mori M, et. al. Optimal Planning for Mesh-Based Power Distribution [C]// Proceedings of the ASP-DAC 2004. Asia and South Pacific Design Automation Conference. N J, USA: IEEE, 2004 (1): 444-449.
- [6] 陈春章, 艾霞, 王国雄. 数字集成电路物理设计[M]. 北京: 科学出版社, 2008.
- [7] 曾晓洋, 郭小川. 低功耗物理设计[D]. 北京: 中国学位论文全文数据库, 2007.

作者简介:

桑红石 女, (1970-), 博士, 副教授, 硕士生导师. 研究方向为集成电路.