

非对称多核体系下的阿姆达尔定律性能模型研究

冯 叶, 邓倩妮

(上海交通大学 电子信息与电气工程学院, 上海 200240)

摘 要: 阿姆达尔定律研究并行计算的性能并指出任务的极限所在, 为了突破这一瓶颈而提出的非对称多核硬件架构则需要适合的性能模型来支撑其理论价值. 新的量化模型引入了具体的核配置等参数, 通过分析比对两种架构下的加速比, 得到了任务性能在非对称体系上优于对称架构的结论. 该模型同时发现, 遵循一定的设计规则来转换对称体系至非对称架构可以很大程度上优化整个系统.

关键词: 阿姆达尔定律; 非对称多核体系架构; 并行计算模型; 系统结构

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2011)08-0032-03

A Study of Amdahl's Law Performance Model on Asymmetric Multicore System

FENG Ye, DENG Qian-ni

(School of Electronic, Information and Electrical Engineering, Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: Amdahl's law studies the performance of parallel computing and reveals performance limitation. The asymmetric multicore architecture which is designed to break this limit need appropriate performance model to support its theoretical value. New model analyzes different speedups between two architectures and tells asymmetric architecture can gain performance advantage. Also this model gives advisable design proposals to maximize asymmetric multicore architecture's performance.

Key words: Amdahl's law; asymmetric multicore processor; parallel computing model; system architecture

1 引言

阿姆达尔定律是并行计算领域重要的性能模型, 它衡量系统加速比的同时, 指出多核体系下的任务性能最终会受限于自身串行部分所占的比例.

为突破这一瓶颈, 多核处理器领域中出现了非对称多核体系的研究. 与常见的对称架构不同, 非对称体系下, 处理器内的核性能各异, 核与核之间的差异由频率、发射带宽、高速缓存等因素决定. 运算性能较强的核称之为大核, 反之称为小核.

Hill 与 Marty 在^[1]中对非对称多核体系中的阿姆达尔定律进行了初步论述, 本文在其基础上细化各核的资源配置, 给出了综合两种体系的量化性能模型. 经新模型分析, 多数情况下任务在非对称架

构上确实能获得比对称架构更好的加速比, 模型同时指出非对称架构下的大核应设计得足够强大, 才能使整个非对称体系的加速比最大化.

2 原始阿姆达尔定律

$$\text{Speedup}(s, X) = \frac{1}{s + \frac{1-s}{X}}$$

阿姆达尔定律用加速比来衡量系统的性能, 上式中 s 代表需要串行运算的部分, X 为加速倍数.

当 X 无限大时, $\text{Speedup}(s, X)_{\max} = \frac{1}{s}$, 可见最后任务仍会受到程序中串行部分所占比例的限制.

收稿日期: 2011-05-21; 修回日期: 2011-06-24

基金项目: “八六三”项目“新概念高效能计算机体系结构及其系统研究开发”(2009AA012201)

3 非对称多核架构下阿姆达尔定律的新模型

处理器芯片的面积固定,假定整块芯片由 N 个单元硬件核(简称 BHC)组成,每个 BHC 包含最基本的运算部件、指令 / 数据一级高速缓存、互连网络、内存控制器等,单个 BHC 性能为 1,取 ϵ 比例的 BHC 能组成性能为 $\text{perf}(\epsilon \times N)$ 的单核($\epsilon < 1$).

设对称架构中每个核的性能为 $\text{perf}(\epsilon_1 \times N)$;为减少大核竞争临界区导致额外的开销,设定非对称架构中只有一个大核,性能为 $\text{perf}(\epsilon_2 \times N)$,而小核个数为 n ,则每个小核的性能为 $\text{pref}\left(\frac{N - \epsilon_2 \times N}{n}\right)$.

为方便说明与运算,本文后面将用时间开销 T 取代加速比,即: $T = \frac{1}{\text{Speedup}}$.

代入对称 / 非对称架构的定律公式后分别为

$$T_{\text{symmetric}} = \frac{s}{\text{perf}(\epsilon_1 \times N)} + \frac{1-s}{\text{perf}(\epsilon_1 \times N) \times \frac{1}{\epsilon_1}} \quad (1)$$

$$T_{\text{asymmetric}} = \frac{s}{\text{perf}(\epsilon_2 \times N)} + \frac{1-s}{\text{perf}\left(\frac{N - \epsilon_2 \times N}{n}\right) \times n} \quad (2)$$

式(2)中,因非对称架构的小核性能必须弱于其大核,所以 $\frac{N - \epsilon_2 \times N}{n} < \epsilon_2 \times N$,从而推出 $n \geq \frac{1}{\epsilon_2}$.

根据谢卡博卡设定^[2], $\text{perf}(r) = \sqrt{r}$. 两体系之间的时间开销差(加速比差距)用 ΔT 表示为

$$\Delta T = T_{\text{sym}} - T_{\text{asym}} = \frac{1}{\sqrt{N}} \times \left[s \times \left(\frac{1}{\sqrt{\epsilon_1}} - \frac{1}{\sqrt{\epsilon_2}} \right) + (1-s) \times \left(\sqrt{\epsilon_1} - \frac{1}{\sqrt{1 - \epsilon_2} \times \sqrt{n}} \right) \right] \quad (3)$$

式中, $n \geq \frac{1}{\epsilon_2}$.

当 $\Delta T > 0$ 时,非对称体系加速比更有优势,所以对对称架构改变为非对称架构时,应使得 $\Delta T > 0$.

而非对称与对称架构最大不同在于它的大核,此核相较于对称体系中每个核的具体差别对整体的加速比变化会带来很大影响,需要具体讨论.

3.1 $\epsilon_1 = \epsilon_2$ 的情况

这是非对称架构中的大核与原本对称多核体系中每个核性能一致(即 $\epsilon_1 = \epsilon_2$) 的情况,则两种体系

之间的时间开销差为

$$\Delta T = T_{\text{sym}} - T_{\text{asym}} = \frac{1-s}{\sqrt{N}} \times \left(\sqrt{\epsilon} - \frac{1}{\sqrt{\epsilon} + \sqrt{(1-\epsilon) \times n}} \right)$$

$$\because n \geq \frac{1}{\epsilon_2} \text{ 在性能相同情况下为 } n \geq \frac{1}{\epsilon}$$

$$\therefore \frac{1}{\sqrt{\epsilon}} < \sqrt{\epsilon} + \sqrt{(1-\epsilon) \times n}, \text{ 推出 } \Delta T > 0 \text{ 恒成立.}$$

立.

结论 1:若非对称体系的大核性能与对称体系的每个核性能一致,此时非对称体系下任务的加速比一定优于对称体系.

如果想在现有对称体系基础上发挥性能同时,突破阿姆达尔定律瓶颈,可选择维持当前对称架构的单个核作为大核,芯片上剩余的 BHC 都改造成适用于并行、性能较弱的小核,数目自定.

3.2 $\epsilon_1 < \epsilon_2$ 的情况

提出非对称多核体系目的之一是希望能更有效地处理任务中串 / 并行部分,所以负责串行运算的大核性能是否应该设计得比对称体系的单个核强也是重要的研究点.

$\epsilon_1 < \epsilon_2$ 时要保持非对称架构优势,使 $\Delta T > 0$ 成立,对式(5)作出相应变化后,可得到下列充分条件.

$$\begin{cases} \frac{\beta - \sqrt{\epsilon_1}}{\alpha + \beta - \sqrt{\epsilon_1}} < s < 1 \\ \alpha = \frac{1}{\sqrt{\epsilon_1}} - \frac{1}{\sqrt{\epsilon_2}}, \beta = \frac{1}{\sqrt{\epsilon_2} + \sqrt{1 - \epsilon_2} \times \sqrt{n}} \end{cases} \quad (4)$$

另外,当且仅当

$$n > \frac{1}{\epsilon_2} \text{ 且 } \frac{1}{4 \times \sqrt{1 - \epsilon_2}} < \epsilon_1 < \epsilon_2 (\epsilon_2 \geq 0.3) \quad (5)$$

时, $\Delta T > 0$ 恒成立.

结论 2:当非对称体系的大核性能强于对称体系各核时,若要非对称体系下的任务拥有加速比优势,其配置需符合通用条件(式(4)). 但若能满足特殊核配置(式(5))的非对称架构,就可忽略任务的串 / 并行比例、小核性能与数目,直接得到非对称体系下加速比更高的结论.

在满足条件式(4)的前提下,图 1 所示当对称架构为四核($\epsilon_1 = 1/4$),非对称体系的大核分别占芯片内全部 BHC 的 70% 和 30% 时,两体系加速比差距(公式(3)中 ΔT 的值). 可以看到,非对称架构相较于对称架构都保有足够的加速比优势. 此外,同张

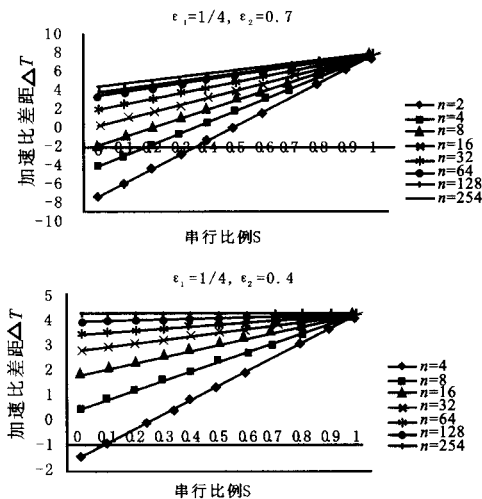


图1 $\epsilon_1 < \epsilon_2$ 特定核配置时式(3)的结果

图里随着小核数目 n 的增多,加速比的优势就越大,这结论在其他符合条件式(4)的配置中同样也是成立的。

大核性能从占 70% 到占 30% 的过程中,非对称体系的加速比优势则逐渐降低,表明 $\epsilon_1 < \epsilon_2$ 时,只有非对称架构中的大核性能应尽可能设计得比对称体系的单核性能大,才能使加速比的提升较为明显和趋于稳定,让系统的性能最大化。

3.3 $\epsilon_1 > \epsilon_2$ 的情况

最后种情况是非对称架构大核性能比原始对称架构的核弱,由式(3)作改变后,可推出在 $\epsilon_1 > \epsilon_2$ 前提下使 $\Delta T > 0$ 成立所要满足的充分条件:

$$\begin{cases} 0 < s < \frac{\beta - \sqrt{\epsilon_1}}{\alpha + \beta - \sqrt{\epsilon_1}} \\ \frac{1}{4 \times \sqrt{1 - \epsilon_2}} < \epsilon_1 < 1 \quad (\text{当 } 0 < \epsilon_2 < 0.3) \\ \epsilon_2 < \epsilon_1 < 1 \quad (\text{当 } 0.3 \leq \epsilon_2 \leq 0.5) \\ n > \frac{1}{\epsilon_2} \end{cases} \quad (6)$$

结论 3: 当非对称体系的大核性能弱于对称体系的单个核性能,若要整体性能较对称架构有优势,需综合参考任务串并行比例分配(s)、非对称架构小核的数目(n)和两种架构下的核配置与性能(ϵ_1, ϵ_2),并使其符合条件(式(6))。

要满足式(8)的所有条件,推导出只能在原始对称架构为双核(即 $\epsilon_1 = 1/2$)的前提下进行架构转换。

图 2 是对称体系为双核,非对称架构的大核占 1/16 比例的 BHC 时两体系加速比差距。可以发现, $\epsilon_1 > \epsilon_2$ 时非对称优于对称架构的情况不占绝对优势(其他满足条件(式(6))的配置同样如此)。所以当

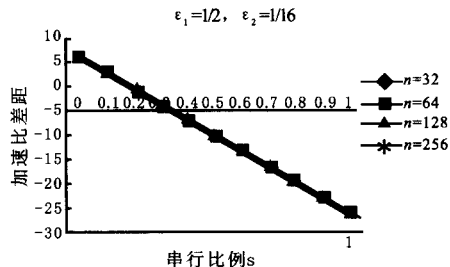


图2 $\epsilon_1 > \epsilon_2$ 特定核配置时式(3)的结果

非对称大核性能小于对称体系的单个核时,只适合任务的并行部分非常多的场合,而且同条件下即使增加非对称体系的小核数量也不能提高其整体加速比。

3.4 综合结论

综合上面三种情况可知,非对称架构下的任务在多数情况下都能突破原始阿姆达尔定律的极限,获得优于对称架构的加速比。当非对称架构大核性能维持($\epsilon_1 = \epsilon_2$)或强于对称架构单个核的性能($\epsilon_1 < \epsilon_2$)时,此优势最为明显,意味着非对称架构下的应该保持有足够强大的串行处理能力。文献[1]中提到通过增多小核数量来最大化非对称架构中任务加速比的结论也应该首先满足这个前提。

4 相关工作

Hill 与 Marty^[1]把阿姆达尔定律从多处理器扩展到多核架构,并以非对称体系为背景作了简单的理论分析。Sun、Gustafson^[3-4]重新评估了阿姆达尔定律,后者还结合斯塔夫松定律进行分析。Li^[5]建立了阿姆达尔定律和功耗的理论模型。Suleman^[6]则将临界区的竞争概率考虑进了阿姆达尔定律。

5 结束语

已有实验证实非对称多核体系能给当前的应用带来性能上的突破。本文的模型也充分表明了,多数情况下,非对称多核架构下的任务确实能突破原始阿姆达尔定律的加速比极限,模型同时还给出了最优化非对称系统性能的设计指导。虽然硬件制造工艺尚存有一定的限制,但本文主要目的是为非对称架构处理器提供一定的理论依据。

参考文献:

- [1] Hill M, Marty M. Amdahl's law in the multicore era [J]. IEEE Computer, 2008, 41(7):33-38.

(下转第 38 页)

很均衡, HBase 和 Cassandra 的数据负载不均衡.



图 4 内存占用

5 结束语

综合以上的理论分析和测试结果, HBase 的单独写性能很好, Voldemort 综合性能最好, 而且非常稳定, Cassandra^[5] 的性能随数据量的变化波动比较大. 最终, Voldemort 以其稳定的性能表现使之更适宜于智能用电的数据处理需求.

为了使 Voldemort 能更加稳定高效的为智能用电提供存储服务, 今后我们会对它的源代码进行改进, 或者增加一些中间件来进一步提高它的吞吐量、稳定性等方面的性能, 使其更加适用于智能用电应用场景.

参考文献:

[1] Brian F Cooper, Adam Silberstein, Erwin Tam, et al.

Benchmarking cloud serving systems with YCSB[C]// SoC-C'10. Indianapolis, Indiana, USA, 2010.

[2] Chris Bunch, Navraj Chohan, Chandra Krintz, et al. An evaluation of distributed datastores using the appscale cloud platform. cloud[C]// IEEE 3rd International Conference on Cloud Computing. USA: Florida, Miami, 2010.

[3] Fay Chang, Jeffrey Dean, Sanjay Ghemawat, et al. Bigtable: a distributed storage system for structured data[J]. ACM Trans. Comput. Syst. 2008, 26(2):26.

[4] Giuseppe DeCandia, Deniz Hastorun, Madan Jampani, et al. Amazon's highly available key-value store[C]// SOSPP'07. Stevenson, Washington, USA, 2007.

[5] Avinash Lakshman, Prashant Malik. Cassandra - a decentralized structured storage system [C]// ACM SIGOPS Operating Systems Review archive. ACM New York, NY, USA, 2010, 44(2):35-40.

作者简介:

刘 越 男, (1988-), 硕士. 研究方向为大规模分布式系统.

王晶华 女, (1962-). 研究方向为智能电网中的数据处理技术.

虎嵩林 男, (1973-), 博士, 副研究员. 研究方向为服务计算、分布式事件系统、中间件等.

(上接第 34 页)

[2] Borkar S. Thousand core chips - A technology perspective[C]// Proc ACM/IEEE 44th Design Automation Conf. San Diego, California, USA: IEEE, 2007: 746-749.

[3] Sun X H, Chen Y. Reevaluating amdahl's law in the multicore era[J]. Parallel Distrib Comput, 2010, 70(2):183-188.

[4] Gustafson J L. Reevaluating amdahl's law[J]. Communications of the ACM, 1988(31):532-533.

[5] Li J, Martinez J F. Power-performance implications of thread-level parallelism on chip multiprocessors[J]. Performance Analysis of Systems and Software, 2005

(3):124-134.

[6] Suleman M A, Mutlu O, Qureshi M K, et al. An asymmetric multi-core architecture for accelerating Critical Sections[J]. Micro, IEEE, 2010, 30(1):60-70.

作者简介:

冯 叶 女, (1986-), 工学硕士. 研究方向为高性能计算及其应用.

邓倩妮 女, (1973-), 博士, 副教授, 硕士生导师. 研究方向为高性能计算及其应用、数据中心网络.