

一种流水线 ADC 数字域动态可重构架构

黄乐天, 李广军

(电子科技大学 通信与信息工程学院, 四川 成都 611731)

摘 要: 分析流水线 ADC 数字域校准算法工作原理及实现电路的具体特点, 为解决数字校准算法系数实时更新的问题, 在 PipeRench 结构的基础上结合多重上下文动态可重构方式, 提出了一种针对流水线 ADC 数字域的动态可重构电路. 对该架构中的关键电路模块进行了设计并对整个电路架构进行了仿真, 结果表明该架构可以实现流水线 ADC 数字域的动态重构.

关键词: 流水线 ADC; 动态重构; 数字校准; PipeRench; 多重上下文

中图分类号: TP31

文献标识码: A

文章编号: 1000-7180(2011)07-0117-04

A Dynamic Reconfigurable Architecture of Pipelined ADC Digital Domain

HUANG Le-tian, LI Guang-jun

(School of Communication and Information Engineering, Univ. of Elec. Sci. and Tech. of China, Chengdu 611731, China)

Abstract: Analyzes the working principles of calculating digital calibration of pipelined ADC and the specific features of the implementation circuit. To solve the problem of online renewing digital calibration ratio, a dynamic reconfigurable circuit is designed for the digital domain of pipelined ADC, based on the PipeRench structure and the Multi-context Approach. The architecture has been simulated and the result illustrate that it is capable of actualizing dynamic reconfigurable the digital domain of the pipelined ADC.

Key words: pipelined ADC; dynamic reconfigurable; digital calibration; PipeRench; multi-context

1 引言

流水线(pipelined)ADC 兼顾速度、精度和功耗等指标, 具有广泛的应用. 随着数字 CMOS 工艺中单管特征尺寸和电源电压的下降, 已难以设计满足实际运用要求的模拟电路. 为降低高速、高精度流水线 ADC 中模拟电路的性能要求和复杂度, 通过数字算法校准模拟误差的思路得到深入研究和快速发展.

可重构数字系统设计由于既具备硬件的高效性又具备软件的灵活性成为近年来集成电路设计方法学领域研究的热点. 文献^[1]提出了 PipeRench 结构的基本原理, 由于该方案解决动态重构中重构时间引起功能中断的问题而成为一种经典的动态重构方

案. 但由于其控制较为复杂且工作效率较低, 研究者以此为基础提出了多种改进方案. 文中在参考现有多种流水线重构系统的基础上, 结合以 DRP^[2]为代表上下文可重构数字系统结构提出一种适用于流水线 ADC 数字校正算法实现的可重构架构. 该架构可以动态实时改变相关的权重而不会导致系统工作中断, 具备极强的灵活性和实时性.

2 流水线 ADC 数字校正电路的基本结构和工作流程

通用的流水线 ADC 校准电路如图 1 所示. 流水线 ADC 在模拟通道部分依次被划分为 N 级, 每一级交替进行模数转化. 对应数字域上的数字校准电路也同样被划分为 N 级, 每一级数字校准电路对应

收稿日期: 2010-10-12; **修回日期:** 2010-11-25

基金项目: 国家自然科学基金项目(60676014); 国家科技重大专项(2009ZX03007-002-01); 国家“八六三”目标导向项目(2009AA01Z259)

模拟电路的每一个子级.

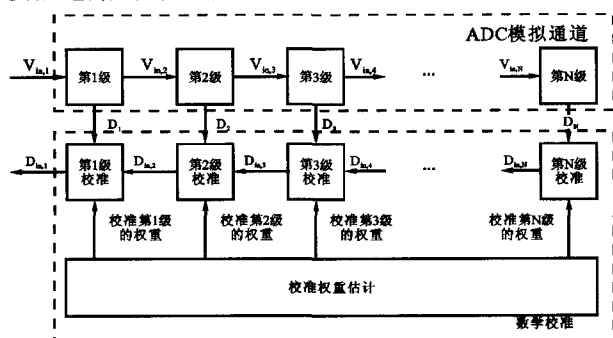


图1 采用数字校准的ADC基本结构

数字校正的基本流程是从第 N 级向前逐级校正, 如果第 i 级的模拟电压对应的数字码字为 $D_{in,i}$, 那么有

$$\begin{cases} V_{in,i+1} = g(V_{in,i}, D_i) \\ D_i = f(V_{in,i}) \end{cases} \quad (1)$$

$$D_{in,1} = Q(V_{in,1}/V_{ref}) \quad (2)$$

$$D_{in,i} = g^{-1}(D_{in,i+1}, D_i) \quad (3)$$

按照式(3)所示函数向前逐级推导, 就能在数字域“逆向”消除模拟电压在后级传递过程中的误差, 极大提高ADC的转换性能. 函数 g 的形式和及其权重影响着数字校准的精度、收敛速度等指标. 目前研究者提出了多种不同的函数 g 形式和权重估计方法, 这些函数和方法各有不同的优势. 如果将数字校准的各级采用流水线的方法分割开来, 可以根据流水线可重构数字系统的设计方法设计出可实时动态更新函数 g 形式和权重的流水线ADC数字域动态可重构架构. 通过设计合理的重构方法和控制时序保证在完成动态实时重构时ADC的数据不发生中断或混乱.

3 流水线ADC数字域动态可重构架构设计

参考文献[3-4]中以可重构流水线加解密系统为例, 介绍了以PipeRench结构为基础加以改进的基于函数级原型的流水线可重构结构的设计方法. 但其推导的公式以可重构的加解密处理器为前提, 只适用于与之类似的数字系统, 因此存在一定的局限性. 对于 k 种状态且状态之间不存在必然对应关系的可重构流水线, 其工作模式可以表示为:

$$\begin{cases} f(i+1, n+1) = f(i, n) \\ f(1, n) = \lambda(n), \quad \lambda(n) \in \{0, 1, \dots, k-1\} \end{cases} \quad (4)$$

从式(4)可以看出, $n+1$ 个时钟周期第 $i+1$ 级

可重构流水线的工作状态必然和 n 个时钟周期第 i 级的工作状态相同. 第 n 个时钟周期第 1 级可重构流水线工作状态可以等于 k 个状态中的任意一个. 由此可知可重构流水线第 1 级的状态就决定了其后各级的工作状态. 因此通过控制电路改变第 1 级可重构流水线的工作状态并设计相应的电路将工作状态逐级向后传递是可重构流水线设计的关键.

PipeRench 结构本身是基于部分重构的思想加以设计的. 部分重构采用外挂配置存储器, 每次重构时需要从外部配置存储器下载数据. 虽然通过模块化设计和复杂的控制策略可以减少重构次数和重构区域以减少重构时间, 但还是无法避免由于重构而造成的某几级流水线无法工作. 在流水线ADC中, 如果数字域某几级流水线无法工作将导致ADC无法正常运转. 因此直接将这一设计方法运用于流水线ADC设计需要考虑大量的冗余电路并使用复杂的控制算法来避免流水线在配置过程中无法工作而带来的影响. 而多重上下文可重构方式采用片上存储多个配置信息的方法来避免这一问题, 通过切换不同的配置信息瞬间实现电路的重构. 虽然采用多重上下文可重构方式需要增加片上存储电路来保存多个配置信息, 但在ADC中数字电路需要改变的信息不多, 因此只需要增加少量片上存储电路就可以实现多重上下文重构.

由此可以得出可重构的流水线ADC数字域至少应该包含以下电路模块: 电路状态生成模块、电路状态传输模块、上下文重构配置信息存储模块以及数字校准模块和配置信息生成模块. 电路结构框图如图2所示.

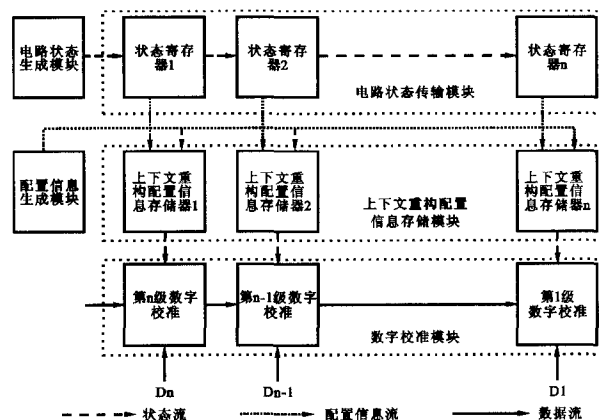


图2 流水线ADC数字域动态可重构架构系统框图

从图2中可以看出, 配置信息生成模块根据数字校正算法和系统设计的要求生成包括校正函数和权重在内的一系列配置文件, 并通知电路状态控制

模块适时开始将状态信息送入状态传输模块. 状态在状态传输模块中随着数据在流水线中的流动逐级的进行传递,根据每一级的状态可选择配置信息存储模块中不同的配置信息实现流水线的重构. 如图中第 i 级状态寄存器中的状态为 A,则选择 A 组配置存储器中的信息,第 i 级电路即可实现其所对应的校正函数、权重等.

4 关键电路模块设计与仿真

4.1 流水线单元电路设计

从图 2 中可以看出在可重构数字域的每一级电路中,必然包含配置信息存储器、状态寄存器以及相关的接口电路,这三者的组合使流水线 ADC 的数字域具备了可重构的性能. 通过校准电路基核化的方法可以实现由外部配置信息更改电路结构和参数^[5-6],从而改变校正函数 $g(\cdot)$. 配置信息由配置信息生成电路产生并传送到配置信息存储器中. 每一级状态寄存器存储该级的电路状态编码,通过不同的状态编码选择不同的配置信息从而改变每一级数字校准电路的函数和权重. 满足以上设计要求的电路如图 3 所示.

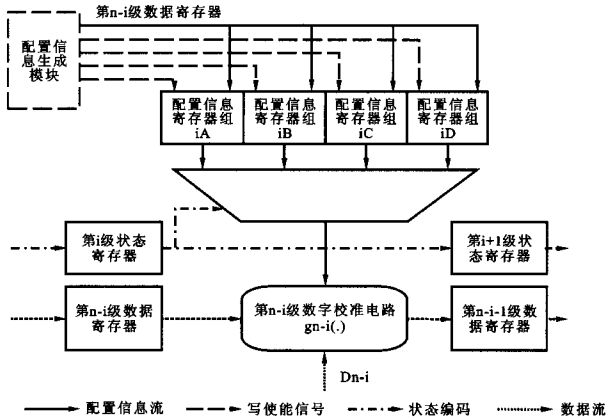


图 3 可重构流水线单元模块设计

如图 3 所示,每一级流水线的配置信息被存储在多个配置信息寄存器组中. 配置信息生成模块可通过修改配置寄存器改变配置信息. 状态寄存器中的状态编码通过多路选择器选择不同的配置信息寄存器输出. 第 $n-i$ 级数字校准电路根据不同的配置信息改变电路连接方式以及各种参数以实现不同的校准函数和权重. 当状态寄存器中的值改变时可瞬间切换输出不同的配置寄存器组的值,在非常短的时间内完成重构.

4.2 配置信息寄存器使用状态生成电路设计

为了避免修改正在使用的配置信息影响电路正

常工作,可强行规定配置信息生成模块只能修改处于未被使用的配置信息. 基于此才需要设置多个配置信息寄存器组作为冗余. 由于配置信息只修改未被使用的配置信息,因此配置信息生成模块的对配置信息寄存器组的修改和状态寄存器选择配置信息寄存器组的输出可以看作相互独立的两个过程,不必考虑二者之间的同步关系. 配置信息生成模块可根据校准算法的需要随时更改处于空闲状态的配置信息寄存器组,如图 4 所示.

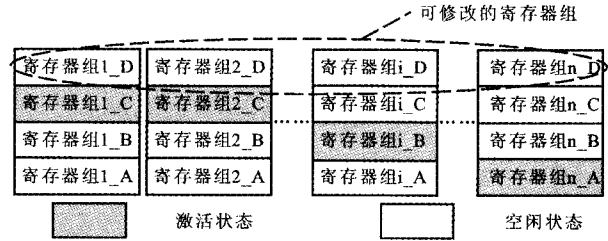


图 4 可重构流水线配置信息寄存器状态示意图

如图 4 所示,在整条流水线中 A、B、C 三组寄存器分别在不同的流水段中被激活,为防止系统工作混乱并减小控制难度可规定这三组寄存器均不得修改. D 组寄存器在所有流水级中均未被使用,此时对 D 组寄存器进行修改不会对流水线的正常工作造成影响.

为确定该组寄存器在整条流水线中均未被激活,需要根据各种条件加以判断. 设第 X 组寄存器状态为 S_X ,当 S_X 为 0 时表示该组寄存器在整条流水线中均未被激活,若为 1 则表示该组寄存器在流水线中被激活. 根据公式(4)和图 2 所示架构可知,若 n 时刻对于一个 m 级的流水线,判断 S_X 的状态有:

$$\begin{cases} S_X = 1, & f(i, n) = X, i \in \{0, 1, \dots, m-1\} \\ S_X = 0, & \text{其他} \end{cases} \quad (5)$$

但当流水线级数过多时,直接判断所有流水线的工作状态非常困难,需要对判断 S_X 状态的方法做一定的修改. 由于电路的状态在流水线中逐渐传递,可通过判断最后一个状态为 X 的级在整条流水线所处的位置来判断. 用函数 $P_X(n)$ 来表示第 n 个时刻有 m 级的流水线中最后一个为 X 状态在第几级流水线. 由此可得:

$$\begin{cases} P_X(n) = 0, P_X(n-1) = 0 \text{ 或} \\ \quad P_X(n-1) = m, \lambda(n) \neq X \\ P_X(n) = 1, \lambda(n) = X \\ P_X(n) = P_X(n-1) + 1, \\ \quad P_X(n-1) \neq 0, \lambda(n) \neq X \end{cases} \quad (6)$$

通过 $P_X(n)$ 的值可以判断 n 时刻 X 流水线的状态, 即:

$$\begin{cases} S_X = 1, & P_X \neq 0 \\ S_X = 0, & P_X = 0 \end{cases} \quad (7)$$

式(6)所对应的电路模块可由计数器电路加控制状态机实现. 如图 5 所示.

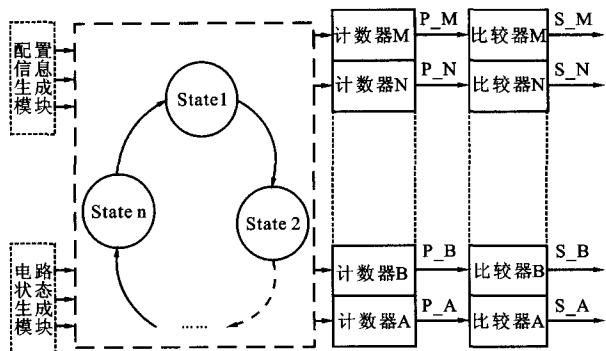


图 5 配置信息寄存器使用状态生成电路

通过查询 S_N 的值可以确定第 N 组配置信息寄存器是否处于激活状态, 从而确定该组寄存器能否被修改.

将图 4 和图 5 所示电路模块采用 RTL 代码的方式实现并组成一条 4 级的可重构流水线, 设配置信息寄存器共四组, 设校准函数仅调整 ADC 各位数据的权重, 取每级配置信息位宽为 16 bit. 电路状态生成模块和配置信息用行为级代码实现, 在 Modelsim 中联合仿真得到图 6 所示仿真结果.

从图 6 的仿真结果中可以看出, 配置信息寄存器 A、B 处于激活状态, C、D 处于空闲状态. 随着第 1 级流水线使用 B 组配置寄存器的值, S_B 的值由 0 变为 1. 此后 2、3、4 级流水线依次由使用 A 组配置寄存器的值变为使用 B 组配置寄存器仿真. 表明此时电路状态已经正常的逐渐传递, 各级电路按照要求依次完成重构, 未出现任何功能上的混乱.

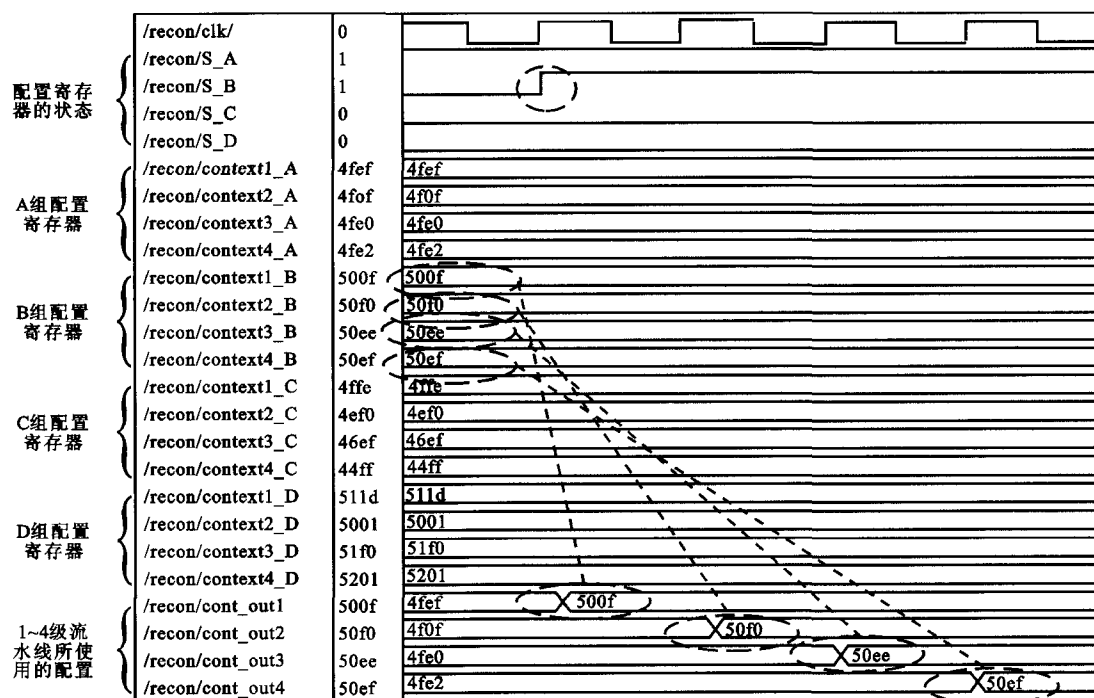


图 6 在 Modelsim 得到的仿真结果

5 结束语

文中提出了一种针对流水线 ADC 数字域的动态可重构电路架构, 并对关键电路模块进行了设计. 该架构在 PipeRench 结构的基础上, 结合流水线 ADC 数字域校准算法实现电路的具体特点, 引入多重上下文这一主流动态可重构方式, 改进了 PipeRench 结构控制复杂、重构时间较长和工作效率较低的缺陷. 仿真结果表明, 电路的架构设计和关键电

路模块设计均可正常实现功能, 为解决流水线 ADC 数字域校准算法实时更新提供了一种方案. 此后的工作中可根据数字校准算法逐步完善架构.

参考文献:

- [1] Yuan Chou, Pillai P, Schmit H, et al. Piperench implementation of the instruction path coprocessor. [C] // Proceedings of 33rd annual IEEE/ACM International Symposium on Micro-architecture. Monterey, CA: IEEE, 2000: 147-158. (下转第 124 页)

间复杂度,但算法的效率有了较大提高.

5.4 多层次灰度范围自动生成

在进行图像关联规则的提取时,难点之一是如何以尽可能小的时间复杂度和空间复杂度来保存和计算支持关联规则的图像灰度值的取值范围.文中采取的方法是在频繁项树中仅保存支持当前频繁项集的各图在当前层的灰度值(只可能为 0 或 1).在频繁项树形成后,从频繁项树中提取所有符合要求的频繁项集时,由当前频繁项集结点保存的灰度值,倒推其父结点、祖结点(最终到根结点)等保存的灰度值(即支持当前频繁项集的各图在上面若干层的灰度值),利用位运算进行组合,形成支持当前频繁项集的图像灰度值取值范围(对于每一图像都包括最小灰度值和最大灰度值),最终完成图像关联规则提取.

通过实验说明了使用规则树进行图像多层次关联规则提取的方法的有效性.

6 结束语

文中提出了一种进行图像关联规则提取时产生频繁项集的方法——频繁项树.利用频繁项树进行图像关联规则提取非常简单,在设定好初始参数(包括置信度和支持度、规则挖掘的深度)的情况,可以无需人工介入,全自动的提取出各种符合要求的图像规则.为便于频繁项树的运用,使用了 bSQ 的图像数据格式来重新组织图像数据,并在此基础上提出了频繁项树的截断、半深度优先、图像掩模和多层次灰度范围自动生成等优化技术,降低了算法的时间和空间复杂度,使其具有较高的运行效率和实用价值.

参考文献:

- [1] William Perrizo, Qing Ding, Amalendu Roy. Deriving high confident rules from spatial using peano count trees [J]. Springer-Verlag, LNCS 2118, 2001.
- [2] Lee A-J-T, Lin-W-C Wang C S. Mining association rules with multi-dimensional constraints[J]. The Journal of Systems and Software, 2006 (79):79 - 92.
- [3] Wang J, Han J, BIDE: efficient mining of closed sequences [C]// Proc of the IEEE International Conference on Data Engineering. Boston, Massachusetts: IEEE, 2004: 79 - 90.
- [4] Wang Y, Image indexing and similarity retrieval based on spatial relationship model[J]. Information Sciences, 2003,(154):39 - 58.
- [5] Qin Ding, Qiang Ding, William Perrizo. Association Rule Mining on Remotely Sensed Images Using Ptrees [C]// Proceedings of 15th International Conference on Computer Applications in Industry and Engineering (CAINE'02), San Diego, CA: IEEE,2002: 138-141.
- [6] Zhang J, Hsu W, Lee M L. An information-driven framework for image mining[C]// Proceedings of 12th International Conference on Database and Expert Systems Applications (DEXA), Munich, Germany: IEEE, 2001.

作者简介:

杜琳女,(1978—)博士研究生,讲师.研究方向为图形图像处理;

陈云亮男,(1979—),博士研究生.研究方向为图像数据存储、人工智能;

朱静女,(1974—),讲师.研究方向为图像处理.

(上接第 120 页)

- [2] Suzuki N., Kurotaki S., Suzuki M., et al. Implementing and evaluating stream applications on the dynamically reconfigurable processor. [C]// 12th Annual IEEE Symposium on Field-Programmable Custom Computing Machines, Napa, California: IEEE, 2004, 328 - 329.
- [3] 刘洋,尹蕾,李广军. 基于流水线技术的可重构体系结构的研究与设计[J]. 微电子学,2008,38(4):593-595.
- [4] 刘洋,李广军. 基于函数级原型的流水线可重构结构的研究[J]. 小型微型计算机系统,2009,(6):1237-1239.
- [5] 黄乐天,李广军. 一种用于数字信号处理的可重构基核

研究[J]. 微电子学与计算机,2009,26(3):56-59.

- [6] 潘伟,刘欢,李广军. 一种新型高速低成本可重构 FFT 处理器结构[J]. 微电子学与计算机,2008,25(11):29 - 32.

作者简介:

黄乐天男,(1984—),博士研究生.研究方向为通信中的信号处理、通信专用集成电路设计、可重构计算.

李广军男,(1950—),教授、博士生导师.研究方向为通信中的信号处理、通信专用集成电路设计.