

用于可重构计算的 FPGA 开发平台的研究

李炳新,汪 波,张 辉

(燕山大学 信息科学与工程学院,河北 秦皇岛 066004)

摘 要: 研究了基于 PCI 总线和多片 FPGA 的可重构计算平台.采用 PCI9054 实现 PCI 总线接口,通过配置桥接 FPGA 实现计算机与算法 FPGA 的数据通信,两片算法 FPGA 用于并行处理数据.桥接 FPGA 配置灵活,易于多片算法 FPGA 扩展,算法 FPGA 并行处理数据效率高,算法设计通用性强.计算机与算法 FPGA 数据传输达 40Mb/s,算法 FPGA 实际数据吞吐量为 1.28Gb,适合实现视频和音频压缩、数据加密、解密等计算密集型算法.

关键词: 可重构计算;PCI 总线;并行处理;数据通信

中图分类号: TN919.5

文献标识码: A

文章编号: 1000-7180(2010)11-0139-04

Research of FPGA Development Platform for Reconfigurable Computing

LI Bing-xin, WANG Bo, ZHANG Hui

(College of Engineering and Information Science, Yanshan University, Qinhuangdao 066004, China)

Abstract: In this paper, a reconfigurable computing platform based on PCI bus and multi-FPGAs is presented. The PCI bus interface is completed by chip PCI9054. The configuration of bridge FPGA is employed to achieve data communication between computer FPGAs and the computer. Two computer FPGAs are used to parallel process data. The configuration of bridge FPGA is flexible and easy to expand more computer FPGAs. Parallel data processing is efficient in computer FPGAs, the design of algorithm is good for universal application. The speed of data transmission between computer FPGAs and the computer is at least 40Mb/s and actually the data throughput of computer FPGAs is 1.28Gb. So the platform is suitable for video and audio compression, data encryption and decryption, and other compute-intensive algorithms.

Key words: reconfigurable computing; PCI bus; parallel processing; data communication

1 引言

基于 FPGA 的可重构系统就是利用 FPGA 可以多次重复编程配置的特点,实现实时电路重构.实质是实现 FPGA 内部全部或者部分逻辑资源的时分复用,使在时间上离散的逻辑电路功能能在同一 FPGA 中顺序实现.由于 FPGA 是并行处理结构,有利于乘法和累加等重复性工作,适合复杂计算和并行运算^[1].

该开发平台采用 PCI 总线进行 Block DMA 突发数据传输和两片 FPGA 并行处理数据,属于 MPU+FPGA 的独立处理单元模式的可重构计算

系统体系^[2].多片 FPGA 作为微处理器单元(Micro Processor Unit,MPU)的独立处理单元,用于完成复杂算法的运算.MPU 协同多片 FPGA 完成数据的发送、接受和算法程序的下载.充分利用 MPU 的灵活性和 PCI 总线数据传输的高速性,又联合多片 FPGA 并行处理的高效性,使系统对于复杂密集的算法有很好的加速比.

2 系统构成及原理

可重构计算平台的系统结构如图 1 所示,由数据桥接卡和数据处理卡组成.本系统选用 Altera 公司的 Cyclone 系列的 EP1C12Q240 作为桥接 FPGA 芯片,EP2C20Q240 作为算法 FPGA 芯片.利用 IP-

CORE 技术对算法进行针对并行运算的设计,因此多个 CORE 并行运算即可达到多台计算机并行运算的效率^[3].

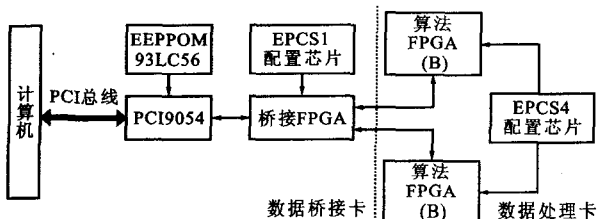


图1 系统结构图

系统工作过程如下: EPCS1 配置桥接 FPGA, 使其完成算法 FPGA 与 PCI9054 接口数据互通, EPCS4 配置两片算法 FPGA 完成对数据的算法处理. 针对不同的数据处理, 无需改动电路, 直接更新算法通过 MPU 重新配置 EPCS4 即可. 首先计算机数据经数据发送程序传输到 PCI9054 中, 其次桥接 FPGA 将数据分别发送到两片算法 FPGA 中做信号处理, 之后将算法 FPGA 处理后的数据经桥接 FPGA 回传到 PCI9054 中, 再通过触发数据接收程序, 将数据保存到计算机中, 以便作上层分析. 这样结合 PCI 总线的高速数据传输和两片 FPGA 的并行处理速率, 提升了 FPGA 开发平台的数据处理效率.

3 系统硬件

3.1 PCI 总线接口实现

PCI 总线 (Peripheral Component Interconnect) 为 CPU 及高速外围设备提供高性能、高吞吐量的数据通路, 同时支持多组外围设备, 而且不受制于处理器, 因此通过 PCI 插槽插入本扩展板, 能提升计算机和工控机对大计算量数字信号的运算能力^[4].

PCI 总线接口采用 PCI9054 实现, 系统的 PCI9054 采用 C 模式下 Block DMA 数据传输方式. 它的三个物理连接如图 2 所示: PCI 总线连接、串行 EEPROM 连接、LOCAL 端总线连接^[5].

在图 2 中, 93LC56 是 PCI9054 的串行配置 EEPROM, 它的配置文件是事先烧录好的, 在上电时, 若串行 EEPROM 读出的第一个 16 位字不全为 1, 则用串行 EEPROM 的值来配置 PCI9054 的内部寄存器, 否则使用缺省值. PCI 配置寄存器信息: I/O 地址空间: 256 字节, 存储器空间 BAR0: 256 字节, BAR1: 128K, BAR2: 128K.

3.2 桥接 FPGA 的设计

桥接 FPGA 是算法 FPGA 与计算机 jiusanj 进行数据互通的纽带, 主要完成数据发送和数据回传,

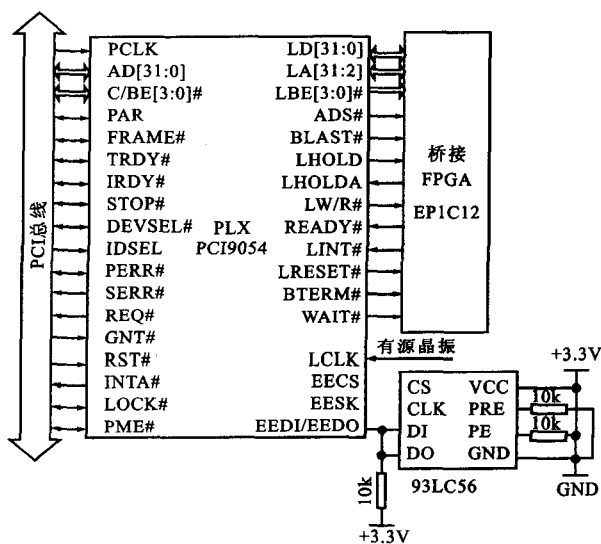


图2 PCI9054 硬件连接图

是系统的硬件设计核心. 文中采用 Verilog 语言、自顶向下、流水线和串并转换的方式设计桥接 FPGA, 其逻辑结构如图 3 所示. 按功能分为以下部分: 顶层模块 T_R_DATA; 发送数据部分有 PCI9054 本地总线控制模块、数据缓存 FIFO_1K 模块、并串转换模块、片选模块; 回传数据部分有数据选择模块、数据接收模块、双口 RAM 并串转换模块、数据控制模块、数据缓存 FIFO_2K 模块、PCI9054 本地总线控制模块. 经 QuartusII7.2 综合, 实际使用 814 个逻辑单元, 存储字节 114,688bits, 占用总资源百分比为 7% 和 48%, 最高工作频率 85MHz.

PCI 本地总线控制模块实现 PCI9054 芯片接口时序、使得复用的地址和数据分开, 产生地址控制的选取及读写使能信号, 便于后端数据控制.

发送数据功能实现: PCI 本地总线控制模块接受计算机发送的待处理数据 $ld[31:0]$ 并缓存到 FIFO_1K 中, 经过并串模块产生发送的串行数据 dataout, 最后经过片选模块选择发送数据对象, 当片选 $cs=0$ 时, 选择第一片算法 FPGA, 反之选择第二片. 其中 dataout 串行数据输出的速率为 40Mb/s, 当 FIFO_1K 的读空信号 $empty=1$ 时, 产生发送中断, PCI 本地总线控制模块停止发送数据到 FIFO_1K 中, 表明待处理数据全部发送完毕.

回传数据功能实现: 算法 FPGA 处理后的回传数据格式是以 7168bits 数据包为一组, 以 32bits 为单位进行传输. 数据包包括 32bits 包头以及 7136bits 包体, 其中包头为 d1cfcfa1, 用于检查模块间数据接收的正确性. 首先, 数据选择转换模块接受

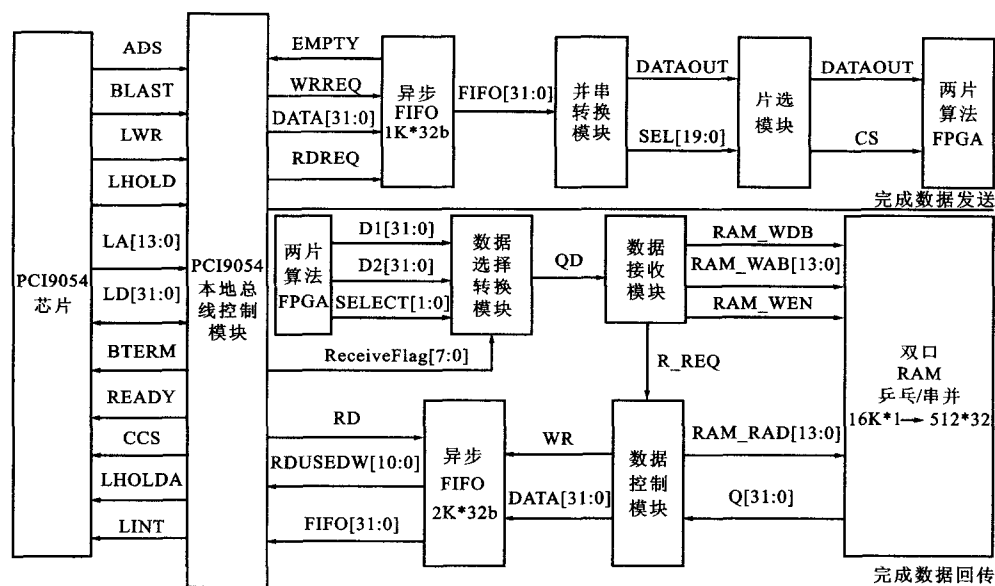


图 3 桥接 FPGA 的逻辑结构

两片算法 FPGA 处理后的数据并进行并串转换,当片选 $select[1:0] = 01$ 接收第一片算法 FPGA 的数据, $select[1:0] = 10$ 接受第二片的数据. 其次,由数据接收模块、双口 RAM 缓存模块和数据控制模块协调回传数据,最后,经过缓存 FIFO_2K 后由 PCI 本地总线控制模块将回传数据传输到计算机硬盘中. 当 FIFO_2K 的队列长度信号 $rdusedw > 892$ 时,产生回传中断,PCI 本地总线控制模块停止读取 FIFO_2K 里面的数据,表明计算机已经全部读取了算法 FPGA 输出的数据.

4 系统软件

4.1 驱动程序

Windriver 开发驱动程序不需要熟悉操作系统的内核,整个驱动程序中所有的函数都是工作在用户态下的,通过与 WinDriver 的 .vxd 或者 .sys 文件交互来达到驱动硬件的目的^[6]. 它提供了对 PCI/ISA/USB 设备强大的支持,含有各大公司芯片的专用函数,包括 PLX 公司的 PCI9054. 驱动通过直接向 PCI9054 控制寄存器写入控制字的方式实现 DMA 传输.

在数据桥接卡上,采用 FIFO 通道下的 Block DMA 方式传递数据,DMA 字节的大小为 3568bits,当一次 DMA 传输结束后,响应中断,作相应处理后,启动下一次 DMA. 图 4 是驱动程序的流程图.

4.2 上位机程序

上位机应用程序有数据发送程序和数据接收程序. 采用 Visual C++ 的 MFC 框架,都是基于对话框

的应用程序. 数据发送程序完成的功能包括:(1)生成二进制测试数据;(2)发送生成的数据或者发送实际待处理数据;(3)查询发送中断,停止发送数据. 数据接收程序完成的功能包括:(1)接受 FIFO_2K 输出的数据;(2)保存接受的数据到硬盘;(3)显示接受数据的状态和 DMA 传输的次数;(4)查询回传中断,停止接受数据.

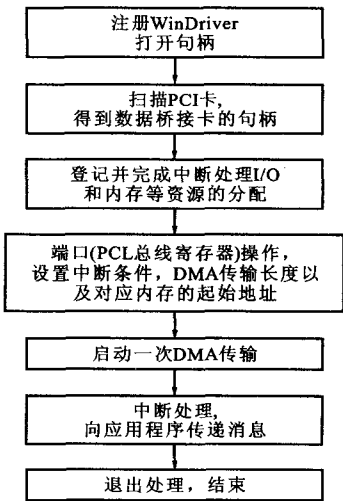


图 4 驱动程序流程图

5 实验结果

首先用数据发送程序生成二进制发送文件 DataFile.dat,如图 5 所示为部分按 1 递增的 40Mb、32 位数据. 当然应用时发送的是实际待处理的数据.

Offset(Hex)	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
00000000	00	00	00	00	01	00	00	00	02	00	00	00	03	00	00	00
00000010	04	00	00	00	05	00	00	00	06	00	00	00	07	00	00	00
00000020	08	00	00	00	09	00	00	00	0A	00	00	00	0B	00	00	00
00000030	0C	00	00	00	0D	00	00	00	0E	00	00	00	0F	00	00	00
00000040	10	00	00	00	11	00	00	00	12	00	00	00	13	00	00	00
00000050	14	00	00	00	15	00	00	00	16	00	00	00	17	00	00	00
00000060	18	00	00	00	19	00	00	00	1A	00	00	00	1B	00	00	00
00000070	1C	00	00	00	1D	00	00	00	1E	00	00	00	1F	00	00	00
00000080	20	00	00	00	21	00	00	00	22	00	00	00	23	00	00	00
00000090	24	00	00	00	25	00	00	00	26	00	00	00	27	00	00	00
000000A0	28	00	00	00	29	00	00	00	2A	00	00	00	2B	00	00	00
000000B0	2C	00	00	00	2D	00	00	00	2E	00	00	00	2F	00	00	00

图5 发送的数据

用 QuartusII 软件的 SignalTap 调试工具观察待处理数据发送到算法 FPGA 过程中的时序状态. 图 6 为一个 ADS_BLAST 采样周期中发送的 12 个 32 位数据波形, ld[31:0] 数据与图 5 的发送数据是一致的. 由图 6 看出采用突发数据传输的方式, 可以提高数据的传输率.

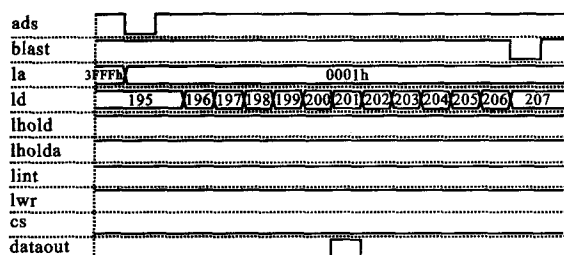


图6 数据发送的波形图

数据接受程序接受到算法 FPGA 回传的数据并保存到计算机中, 其中算法 FPGA 实现 32 位加法, 用于验证回传数据与理论计算值是否相同. 由实验可知, 理论计算数据与回传数据是一致的, 证明平台能正确的发送和回传大容量数据. 实际系统算法 CORE 的运算时钟为 40MHz, 32bit 数据输入, 采用多级流水线设计, 运算速度相当于 40MHz, 2 片算法 FPGA 并行运算, 实际数据吞吐量为 $2 \times 40M \times$

16bits=1.28Gb, 适合频繁数据交换、计算密集型的数字信号处理.

6 结束语

采用流水线和串并转换方式设计桥接 FPGA, 提高了系统数据吞吐率和工作速率. 桥接 FPGA 设计的扩展性良好, 便于扩展多片算法 FPGA, 可提高平台数据处理速率. 更新算法程序直接配置 EPCS4 就可以完成不同的数据处理需求, 平台的通用性强. 采用 PCI 总线进行 Block DMA 传输, 使得计算机与算法 FPGA 数据传输速率达 40Mb/s. 两片算法 FPGA 实际数据吞吐量达 1.28Gb, 以 40MHz 时钟流水线处理数据相当于两台普通计算机并行运算, 提高了数据处理的效率.

参考文献:

- [1] 漆锋滨, 王珊珊, 姜小成, 等. 可重构计算及可重构编译技术研究[J]. 微电子学与计算机, 2007, 24(10): 36-38.
- [2] 李仁发, 周祖德, 陈幼平, 等. 可重构计算的硬件结构[J]. 计算机研究与发展, 2003, 40(3): 500-506.
- [3] 王聪, 张骋. 基于 ARM 和 FPGA 的并行信号处理系统接口板设计[J]. 微计算机应用, 2008, 29(8): 75-79.
- [4] 陈沁瑜, 范永宏. 一种基于 PCI9656 的 64 位 PCI 高速数据采集卡的设计与实现[J]. 电讯技术, 2008, 48(10): 96-98.
- [5] 李宗君, 高延滨. 基于 PCI 总线的心电信号数据采集系统的设计[J]. 测控技术, 2008, 27(7): 17-19.
- [6] 杨德红, 瞿中. 基于 WinDriver 的数据采集系统的设备驱动程序研究[J]. 计算机工程与设计, 2003, 24(11): 122-124.

作者简介:

李炳新 男, (1968-), 博士, 副教授. 研究方向为光纤理论分析和数值模拟.

汪波 男, (1985-), 硕士研究生. 研究方向为 FPGA 数字电路设计、数字信号处理.