

一种通用片上网络适配器的设计与实现

山 蕊¹, 蒋 林², 李 平¹

(1 西安邮电学院 计算机学院, 陕西 西安 710061; 2 西安邮电学院 电子工程学院, 陕西 西安 710061)

摘 要: 随着片上网络的结构和方法的提出, 迫切需要一种接口电路来实现处理器, 计算单元或者 IP 核与片上网络之间的通信. 文中研究了不同时钟域之间进行数据传送的通信协议, 详述了一种应用于片上网络的通用网络适配器的设计方法, 并在 Altera 的 stratixIII 系列 FPGA 开发板上进行了验证.

关键词: 片上网络; 网络适配器; FPGA; 异步电路

中图分类号: TP393

文献标识码: A

文章编号: 1000-7180(2011)03-0161-04

The Design and Implementation of a Generic Network Adapter

SHAN Rui¹, JIANG Lin², LI Ping¹

(1 School of Computer Science, Xi'an University of Posts and Telecommunications, Xi'an 710061, China;

2 School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710061, China)

Abstract: With the presentation of the architecture and methods of Network on Chip (NoC), it is needed to propose a interface circuit to meet the communication between NoC and processor, computer unit and IP core. By analyzing the communication protocol between different clock domains, the paper proposed a design method of network adapter which was applied in NoC. Finally, the paper completed the implement of the network adapter by using FPGA.

Key words: network-on-chip (NoC); network adapter; FPGA; asynchronous circuit

1 引言

随着片上系统(System on Chip, SoC)设计复杂度的提高, 全局连线增长, 导致延迟增加, 并且其不利于扩展. 为了解决共享总线的问题, 提出采用片上网络(NoC)来解决片上多处理器系统的互连问题^[1-2]. 片上网络中, 网络适配器充当着网络与 IP 核之间通讯的桥梁^[3], 一般通用接口设计的网络适配器, 使得不同的处理器, 计算单元或者 IP 核接入到片上网络出现了问题. 文中提出了一种通用网络适配器(Network Adapter, NA)设计方法和实现, 可以将不同频率的处理器, 计算单元或者 IP 核所要发送的数据, 根据 NoC 中包格式的要求进行打包, 并将其同步到网络中. 除此之外, 可以接收网络中的数据, 同时提取出其中的数据信息和必要的控制信息发送给其上层的处理器, 计算单元或者 IP 核. 文

中提出的 NA 可以发送任意片数长度的包, 从而使 IP 核所发送的数据长度不受任何约束. 最终电路设计在 Altera 的 stratixIII 系列 FPGA 板得到了验证.

2 NA 功能说明

NoC 中的层次关系与宏观网络中的 OSI 模型类似, 可以分为系统层, 传输控制层, 网络层^[4]. 网络层的传输数据与高层之间是不同的. 在网络层一个基本的数据单位是数据片(flit). 网络适配器作用是在资源和网络间形成一个接口. 上层为连接的 IP 核接口(Core Interface, CI), 下端为连接网络的接口(Network Interface, NI), 如图 1 所示.

2.1 IP 核接口功能(CI)

CI 的功能可以分为接收来自 IP 核数据和发送数据到 IP 核. 当接收来自 IP 核的数据时, 首先按照

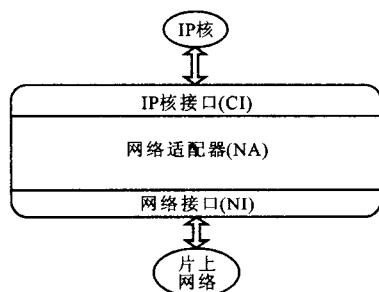


图1 网络适配器

通信协议的要求建立通信连接。当通信建立后,开始接收数据。接收数据通信协议(Request-Grant)^[5]:当IP要发送数据到网络中时,首先发送有效的 req1 信号,CI 在检测到有效信号后,并且同意 IP 核发送数据时,回送一个有效的 ack1 信号表示对请求发送数据的应答,IP 核在接收到 ack1 应答信号后,开始发送数据,当发送到最后一组数据时,将 req1 信号置为无效信号。CI 在接收到无效的 req1 信号后,将 ack1 信号置为无效,此时通信建立完成。完成通信后,CI 开始发送数据。首先将数据发送到总线上,同时发送有效的 valid 信号,IP 核在检测到有效信号后,将总线上的数据写入到发包缓存器中(采用异步 FIFO 来实现);当 IP 核内缓存器被写满时,回送给 CI 一个满信号,CI 在接收到满信号后停止向 IP 发送数据,valid 信号被设置无效。当 IP 核再次可以接收数据时,重复上述过程,直至发送完所有的数据。

当需要发送数据给 IP 核时,首先按照通信协议的要求建立通信连接。当通信建立后,开始发送数据。接收数据通信协议(Request-Grant)^[5]:当收到一个头片数据信息时,首先发送有效的 req2 信号,IP 核在检测到有效信号后,并且能够接收 CI 送来的数据时,回送一个有效的 ack2 信号表示对请求接收数据的应答,CI 在接收到 ack2 应答信号后,开始发送数据到 IP 核。当发送到最后一组数据时,将 req2 信号置为无效信号。IP 在接收到无效的 req2 信号后,将 ack2 信号置为无效,此时通信建立完成。完成通信后,CI 开始发送数据。首先将数据发送到总线上,同时发送有效的 valid 信号,IP 在检测到有效信号后,将总线上的数据写入到发包缓存器中(采用同步 FIFO 来实现);当 IP 核内缓存器被写满时,回送给 CI 一个满信号,CI 在接收到满信号后停止向 IP 发送数据,valid 信号被设置无效。当 IP 核再次可以接收数据时,重复上述过程,直至发送完所有的数据。

2.2 网络接口功能(NI)

打包、发包:将 IP 核所要发送的数据按照 NoC 中

要求的包格式进行打包。将打包好的数据包,依次发送到网络中。当网络不可以再接收数据包时,停止打包,直到网络再次能够接收数据后,重复上述打包过程。

收包、解包:对收到的数据包进行解包,提取出包头中的控制信息和数据信息,将控制信息存入到相应的控制寄存器中,将数据信息存入到收包缓存器中。当收包缓存器满时,停止从网络中接收数据包。当收包缓存器再次有空余空间时,继续从网络中接收数据包,直到收完一个完整的数据包。

3 设计与实现

在芯片顶层逻辑结构设计中,考虑到该电路主要功能是完成 IP 核与网络中路由器之间数据的转换功能,如:打包、发包、收包、解包等功能。所以将顶层结构划分为两大逻辑电路模块:发包模块和收包模块,其顶层功能模块划分见图 2。

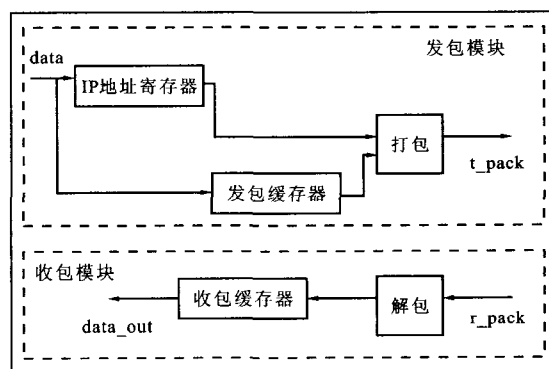


图2 NI 结构框图

3.1 发包模块设计

根据发包模块的功能描述,其主要完成的任务有:

(1)同步 IP 核和 NA 的时钟域。由于 IP 核和 NA 存在时钟频率不相等的可能,为了避免这两个不同时钟域在进行通信的时候出现亚稳态的问题,对所有来自 IP 核的输入信号用 NA 的时钟进行同步,以此来避免亚稳态的出现。同步电路如图 3 所示。

(2)与 IP 核进行通信,接收来自 IP 核所要发送的数据。通信原则采用状态机的思想来进行控制,详见图 4。

(3)对接收来的数据进行打包,发包。当检测到来自 IP 核的响应信号后,等待接收来自 IP 核的数据。当第一个数据写入到发包缓存器后,并且网络可以接收包时,将其打包成头片并且发送到网络中,后续如有数据继续写入发包缓存器,则打包成中间片,如果写入的是最后一组要发送的数据则将该数据打

图 3 不同时钟域信号同步电路

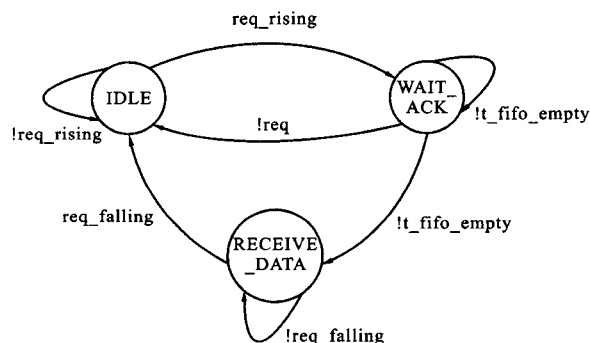


图 4 通信时序状态机

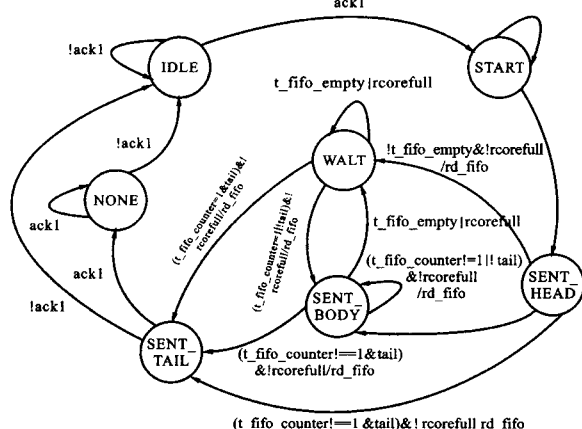


图 5 控制发包状态机

3.2 收包模块设计

根据收包模块的功能描述,其主要完成的任务有:

(1)与 IP 核进行通信,接收来自 NA 所接收到的数据.通信原则采用状态机的思想来进行控制,详见图 6.

(2)接收来自网络中的包,提取出其中的数据信息和必要的控制信息将其存入收包缓存器中.当收到头片时,提取出头片中的源地址信息,将其存入收包缓存器中,并产生收包请求信号;当收到中间片时,提取出数据信息,将其存入收包缓存器中;当收

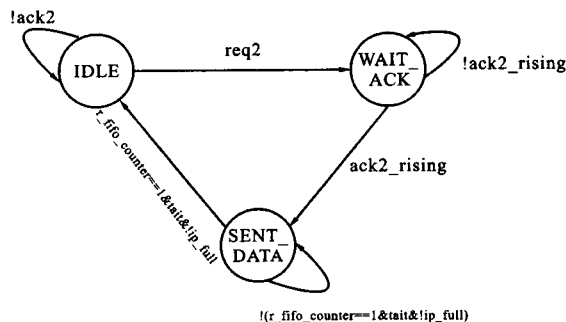


图 6 收包控制状态机

到尾片时,提取出数据信息,同时通知 IP 核此数据为最后一组接收到的数据,具体实现结构详见图 7.

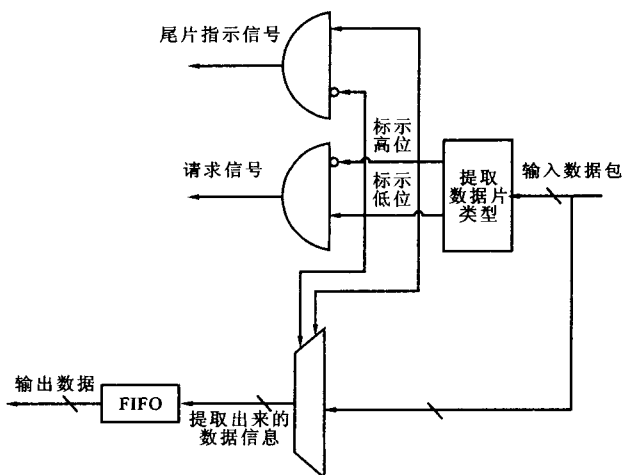


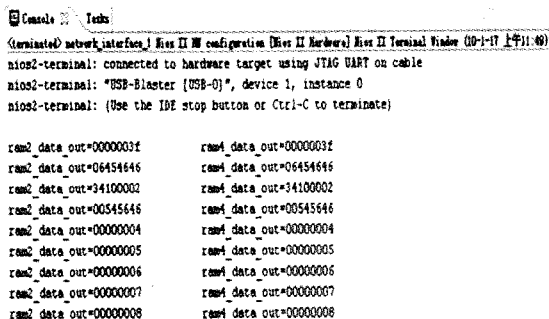
图 7 接收数据结构框图

4 验证

采用 SOPC 技术对文中提出的 NA 进行验证, 通用的 SOPC 技术分为软件设计与硬件设计两个部分^[6], 针对本设计, 硬件设计部分: 增加了处理器、IP 核发包存储器、IP 核收包存储器、网络发包存储器、网络收包存储器等一些必要的外围电路, 并在 StratixIII EP2S150F1152C2 器件上对 NA 进行了 FPGA 验证. 文中选用的处理器是 Altera 公司提供的 NiosII CPU 固核, 通过 SOPC 添加需要的 PIO 接口; IP 发包存储器用来存储 IP 向网络发送的数据; IP 收包存储器模拟 IP 核的缓存, 用来存储 NA 解包后的数据; 网络发包存储器模拟网络中路由器的输出端口, 存储的数据相当于路由器发送给 NA 的数据包; 网络收包存储器用来模拟网络中路由器的输入端口, 用来存储 NA 打包后的数据; 最后, 由于 IP 向网络发送数据时, NA 打包后的数据宽度为 40 位, 而 CPU 的总线位宽为 32 位, 因此要对 NA 打包后的数据进行拆分, 将 40 位数据拆分为两个 32 位数据, 第一个存储高 8 位控制信息, 第二个存

储 32 位数据信息。

软件设计部分:通过在 Nios II IDE 上编写软件程序,实现对各个存储器读写使能及读写地址的配置。最终的测试结果见图 8。从测试结果可以看出,文中设计的网络适配器能够将不同工作频率的 IP 核所要发送的数据正确的适配到 300MHz 时钟频率的 NoC 网络中,同时正确的接收来自网络中的数据,将其解包后发送给 IP 核。



```

(terminated) network interface, Nios II HW configuration (Nios II Terminal Window (00-1-17 上午11:46))
nios2-terminal: connected to hardware target using JTAG UART on cable
nios2-terminal: "USB-Blaaster (USB-0)", device 1, instance 0
nios2-terminal: (Use the IDE stop button or Ctrl-C to terminate)

ram2_data_out=0000003f      ram4_data_out=0000003f
ram2_data_out=06454646      ram4_data_out=06454646
ram2_data_out=34100002      ram4_data_out=34100002
ram2_data_out=00545646      ram4_data_out=00545646
ram2_data_out=00000004      ram4_data_out=00000004
ram2_data_out=00000005      ram4_data_out=00000005
ram2_data_out=00000006      ram4_data_out=00000006
ram2_data_out=00000007      ram4_data_out=00000007
ram2_data_out=00000008      ram4_data_out=00000008
  
```

图 8 Nios II IDE 测试结果

5 结束语

文中针对片上互连网络设计了一种通用的网络适配器,该网络适配器能够同步 NoC 网络与 IP 核之间的时序,将 IP 核所要发送的数据按照 NoC 网络中包格式的要求进行打包,并将其适配到网络中。此外,对所发送数据包的长度没有任何限制。最后,所设计的电路在 Altera 的 stratixIII 系列 FPGA 板上得到了验证。验证结果表明:在 300MHz 的时钟

频率下,此网络适配器能够完成正常的打包,发包过程,以及同步不同时钟网络的功能。

参考文献:

- [1] Salminen E, Kulmala A, HML Inen T D Survey of network-on-chip proposals [J]. White Paper, OCP-IP, 2008(3): 1-12.
- [2] Ascia G, Catania V, Palesi M. Multi-objective mapping for mesh-based NoC architectures[C]// Proceedings of international conference on Hardware software Codesign and System Synthesis New York, USA: IEEE, 2004: 182-187.
- [3] 丁帅,吴宁,葛芬,等. 片上网络路由单元的系统级建模研究[J]. 微电子学与计算机, 2009, 26(1): 93-96.
- [4] Bjerregaard T, Mahadevan S. A survey of research and practices of network-on-chip[J]. ACM Computing Surveys (CSUR). 2006, 38(1): 1.
- [5] 姚放吾. 微机接口技术[J]. 南昌航空工业学院学报: 社会科学版. 2001, 3(004): 71-73.
- [6] 胡向峰,王黎明. 基于 SOPC 技术的高速数据采集系统的设计[J]. 微电子学与计算机, 2009, 26(6): 62-65.

作者简介:

山蕊女, (1986-), 硕士研究生. 研究方向为 VLSI 系统与计算机辅助设计.

蒋林男, (1970-), 教授, 硕士生导师. 研究方向为 VLSI 系统与计算机辅助设计.

李平男, (1987-), 硕士研究生. 研究方向为 VLSI 系统与计算机辅助设计.

(上接第 160 页)

5 结束语

文中针对传统 NLMS 反馈抑制算法在语音处理方面性能较差的问题,提出了一种应用于助听器的带限 NLMS 算法。通过仿真,该算法在降低系统失准系数、提高收敛稳定性和提升反馈信号抑制比等方面都有显著改善;同时对该算法进行硬件实现上的简化,显著降低了算法运算量和硬件资源消耗。

参考文献:

- [1] MartinezLeira A, Vicen-Bueno R, GilPita R, et al. Acoustic feedback reduction based on FIR and IIR adaptive filters in ITE digital hearing aids[J]. ICALIP, 2008: 1442-1448.
- [2] Chankawee A, Tangsangiumvisai N. On the improvement of acoustic feedback cancellation in hearing-aid

devices [C]// The 47th IEEE International Midwest Symposium on Circuits and Systems. Hiroshima Japan: IEEE, 2004: 17-20.

- [3] Chi H F, Gao S X, Soli S D, et al. Band-limited feedback cancellation with a modified filtered-X LMS algorithm for hearing aids [J]. Speech Communication, 2003, 39: 147-161.

- [4] Vicen Bueno R, Martinez Leira A, Gil Pita R, et al. Modified LMS-based feedback-reduction subsystems in digital hearing aids based on WOLA filter bank [J]. IEEE Instrumentation and Measurement, 2009, 58(9): 3177-3190.

作者简介:

吴兆胜男, (1986-), 硕士研究生. 研究方向为低功耗数字助听器算法和芯片设计.

黑勇男, (1974-), 研究员. 研究方向为可重构数字信号处理器、低功耗数字基带芯片.