

一种流水线 ADC 级间增益非线性误差的数字域补偿方法

彭 隽^{1,2}, 马 洪^{1,2}, 胡 啸^{1,2}, 彭 亮^{1,2}

(1 武汉光电国家实验室(筹), 湖北 武汉 430074; 2 华中科技大学 电子与信息工程系, 湖北 武汉 430074)

摘 要: 基于流水线 ADC(模数转换器)结构中级间残差放大器的增益压缩特性,合理地将其建模为奇数次幂级数形式,详细描述并分析确定了它产生的非线性失真对 ADC 性能的影响方式与权重. 针对性地提出了数字域反向抵消方案,通过引入数字伪随机序列的方式,利用二阶统计互相关的信息自适应地辨识与逼近实际模型系数,并采用此估计值在后台实现级间增益非线性补偿过程. 对 14 位三级流水线 ADC 进行系统模拟,当前两级量化精度为 5 位,且两级残差放大器的输出峰值点的相对增益压缩率均为 5%时,经过补偿后, SFDR(无杂散失真动态范围)和 SNDR(信噪失真比)指标分别从 67.84dB、51.26dB 提高到 94.16dB、72.97dB. 该方法为高精度流水线 ADC 的设计提供了可供参考的结论和技术解决方案.

关键词: 流水线 ADC; 级间增益非线性误差; 数字补偿

中图分类号: TN79

文献标识码: A

文章编号: 1000-7180(2011)02-0184-05

Digital Calibration of Interstage Gain Nonlinearity in Pipelined ADC

PENG Juan^{1,2}, MA Hong^{1,2}, HU Xiao^{1,2}, PENG Liang^{1,2}

(1 Wuhan National Laboratory for Optoelectronics, Wuhan 430074, China; 2 Department of Electronics and Information Engineering, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: According to the gain compression mechanism, interstage residue amplifiers of pipelined ADC (Analog to Digital Converter) would generally cause nonlinear distortions, which could be reasonably modeled as odd-order power series. Effect and weight of the interstage gain nonlinearity on the overall quantization accuracy are defined and characterize. A digital background calibration technique is then proposed for post nonlinearity correction using estimated coefficient of the model, which would be adaptively identified employing second-order cross-correlation information with digital pseudo-random sequence added into the signal path. Simulations are performed for a 14-bit Pipelined ADC with three stages. Assuming the first two 5-bit stages both have third-order nonlinearity corresponding to a gain compression of 5% at full scale, results show that with this calibration scheme, SFDR and SNDR are improved from 67.84dB, 51.26dB to 94.16dB, 72.97dB respectively high-resolution pipelined ADC designs would benefit much from the error analysis conclusion and technical solution proposed in the paper.

Key words: pipelined ADC; interstage gain nonlinearity; digital calibration

1 引言

流水线 ADC 结构能够同时实现高速采集与高分辨率的模数转换,但其性能会受到内部各部分误差源的影响,如果不消除,将无法实现高线性度、高

动态范围的应用需求^[1]. 其中级间残差放大模块作为关键的组成部分,它的增益压缩特性引起的非线性失真对系统线性度的影响尤其重要. 因此,为了减小误差,许多的校正技术被开发:文献[2]针对级间放大级的非线性失真,采用 0.35 μ m CMOS 工艺,提

收稿日期: 2010-04-12; 修回日期: 2010-06-15

基金项目: 国家自然科学基金项目(10975056); 武汉光电国家实验室(筹)创新基金(Z080005)

出了基于数字建模的反向抵消方法,通过测量校正输出的累积分布函数(CDF)在两种不同工作模式下的差值,后台自适应地调整校正系数使该差值趋近于0,使得12位、75Msps的流水线ADC芯片的SNR(信噪比)与THD(总谐波失真)指标分别达到了67dB、74dB。但是,迭代算法的收敛性能极大地受制于输入信号的统计特性。文献[3]进行了性能改进,采用伪随机数字序列注入的方法,利用信号之间的统计相关特性获得校正系数,使得12位的流水线ADC芯片的SNR与SFDR指标分别达到了72dB、112dB。但是,由于迭代过程需要计算高阶相关性,对数字逻辑单元的运算能力要求过高。

文中借鉴了伪随机数字序列注入与后台测量方法的优点,利用二阶互相关特性,设计了相应的自适应参数辨识与数字补偿系统实现方案。通过对14位、80Msps的三级流水线ADC进行系统模拟与校正,验证了该方法的有效性。

2 三级流水线 ADC 中的级间增益非线性误差

流水线ADC又称为子区式ADC,图1是三级流水线ADC的结构示意图。由前级对输入信号进行采集和粗量化,后级则对输出残差信号进行精细量化,它们分别构成拼接结果的高位与低位比特。这种多位每级的流水架构相对于经典的1.5位每级的结构^[4],可以减少流水线级数和放大器数量,降低后级非线性对系统线性度的影响和电容匹配精度,有助于实现高精度低功耗的流水线ADC,比如ADI公司生产的14位、80Msps的AD6645芯片就采用了三级流水线结构,各级分别量化出5、5、6位。

理想情况下,拼接输出结果中仅含有量化噪声,但在实际情况中,流水线结构内部每种子电路都会贡献误差和失真,它们共同影响着整个器件的输入—输出传递曲线及其每一个分段,使其偏离理想特

性^[5]。为了减小误差,开发了许多校正技术使ADC达到更高的有效精度。冗余校正方法用来解决子ADC模块比较器失调带来的误差^[6];而DAC模块的电容失配误差可以通过测试补偿^[7]或数字预失真^[8]等方式消除;文献[9]用于估计和校正级间残差放大器的线性增益偏差。文中重点分析级间残差放大级非线性失真的影响及其权重。它由放大器的增益压缩特性引起,即有限的电压转换速率(Slew Rate)所导致的增益误差随着输入信号幅度的不同而呈现非线性变化的性质。

如图1所示,设三级的量化位宽分别为 L_1 、 L_2 和 N ,则采用冗余位拼接的方式得到的输出数字码 q 的位宽为 $L_1 + L_2 + N - 2$ 。第一、二流水级输出的残差信号可分别表示为:

$$\begin{aligned} e_1(t) &= x(t) - \frac{2V_R}{2^{L_1}} \cdot q_1 \\ e_2(t) &= r_1(t) - \frac{2V_R}{2^{L_2}} \cdot q_2 \end{aligned} \quad (1)$$

其中, V_R 为各子模块的参考电平, q_1 和 q_2 分别为第一、二级ADC的量化输出码, $r_1(t)$ 表示第二级的输入信号。

设两级残差放大器的标称增益分别为 G_1 和 G_2 ,而它们的增益压缩特性带来的非线性误差则分别表示为 δ_{N1} 与 δ_{N2} 。两级失真输出信号可分别描述为:

$$\begin{aligned} r_1(t) &= G_1 \cdot e_1(t) + \delta_{N1} \\ r_2(t) &= G_2 \cdot e_2(t) + \delta_{N2} \end{aligned} \quad (2)$$

另一方面,作为第三级ADC的输入信号, $r_2(t)$ 又可表示为:

$$r_2(t) = \frac{2V_R}{2^N} \cdot q_3 + e_3(t) \quad (3)$$

其中, q_3 是第三级ADC的量化输出, $e_3(t)$ 表示第三级ADC的量化误差。

联立式(1)~(3),展开并化简,得到:

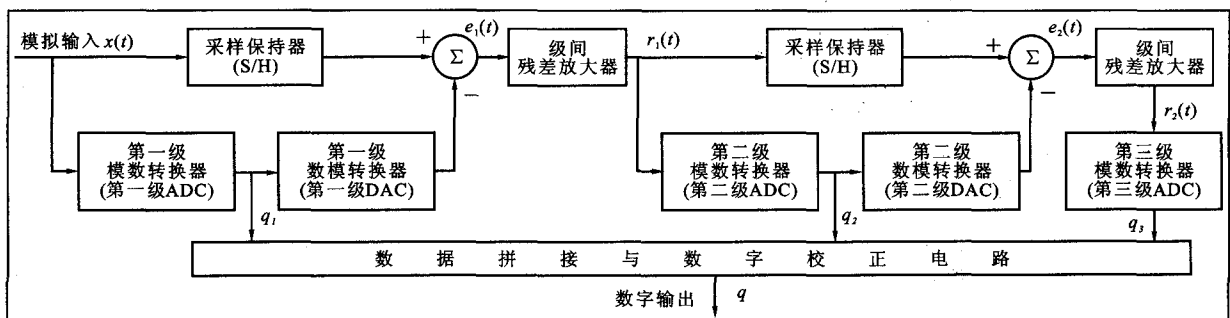


图1 三级流水线 ADC 的电路结构示意图

$$x(t) = \left(\frac{2V_R}{2^{L_1}} \cdot q_1 + \frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right) + \frac{e_3(t)}{G_1 \cdot G_2} - \frac{\delta_{N1}}{G_1} - \frac{\delta_{N2}}{G_1 \cdot G_2} \quad (4)$$

其中, $\left(\frac{2V_R}{2^{L_1}} \cdot q_1 + \frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right)$ 为三级流水线拼接输出码字 q 的模拟量形式, $e(t) = \frac{e_3(t)}{G_1 \cdot G_2}$ 为不考虑各种电路误差时的理想量化噪声。

由于实际电路系统中, 互补对称的放大器设计可以消除偶次非线性失真, 使得非线性误差成分只剩下奇次分量, 且主要为低次项。因此, 不失一般性, 可以将级间放大级的非线性特征等效建模为 3 次幂级数。

设两级残差放大器的三次非线性项系数分别为 c_1 与 c_2 , 结合系统误差表达式(4), 它们的增益压缩特性所产生的误差分别表示为:

$$-\frac{c_1 \cdot e_1^3(t)}{G_1}, -\frac{c_2 \cdot e_2^3(t)}{G_1 \cdot G_2} \quad (5)$$

由于残差信号 $e_1(t)$ 的主要成分为第一级 ADC 的理想量化噪声 $e_{1d}(t)$, 该误差形式会导致输出频谱中杂散失真与本底噪声电平的抬升。因此, 如果不对级间放大器的增益非线性误差进行校正, 流水线 ADC 的精度会明显降低, 线性度也会受到限制。

3 级间增益非线性误差校正方案

由式(5)可知, 当前两级的量化位数相当时, 增益压缩特性对流水线 ADC 误差的贡献是逐级下降的。在多位每级的结构中, 表现的更加明显^[10]。因此, 文中所提出的校正方案仅针对第一级残差放大器的增益非线性误差。

假设 c_{e1} 代表三次非线性项系数 c_1 的近似估计值, 根据系统误差表达式(4), 基于数字域反向抵消的技术思路, 得到拼接与补偿后的模拟输出 A_{corr} , 表示为:

$$\begin{aligned} A_{\text{corr}} = & \left[\frac{2V_R}{2^{L_1}} \cdot q_1 + \frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right. \\ & \left. - \frac{c_{e1}}{G_1} \left(\frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right)^3 \right] \\ \approx & \left(\frac{2V_R}{2^{L_1}} \cdot q_1 + \frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \right. \\ & \left. \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} - \frac{c_{e1} \cdot e_1^3(t)}{G_1} \right) \end{aligned} \quad (6)$$

将式(4)改写为:

$$x(t) \approx A_{\text{corr}} + \frac{e_3(t)}{G_1 \cdot G_2} - \frac{(c_1 - c_{e1}) \cdot e_1^3(t)}{G_1} - \frac{c_2 \cdot e_2^3(t)}{G_1 \cdot G_2} \quad (7)$$

可知, 当 $c_{e1} = c_1$ 时, 系统误差只剩下较弱的第二级残差放大器增益非线性失真和量化噪声成分 $e(t)$, 即校正后获得了理想的转换码。因此, 正确测量级间增益非线性误差是校正的关键。

文中提出一种基于“伪随机序列注入”方法的增益非线性误差测量技术。在信号通路中引入与输入信号无关的零均值伪随机信号 μ , 与第一级残差信号合成, 经过级间放大器后一起被第二级 ADC 量化, 则输出的数字码中必将包含增益非线性误差的信息, 再利用随机信号的统计相关特性, 获得非线性系数的估计值。

结合流水线 ADC 的结构, 采用数字注入方式, 直接将伪随机序列 μ_D 注入到第一级 M_1 位 DAC 输入端的最低位上, 高 L 位则与第一级 ADC 的输出端相连。它可由伪随机序列发生器生成, 取值为 $\{1, -1\}$; 第一级输出的残差信号表达形式变为:

$$e_1(t) = e_{1d}(t) + \mu, \mu = \mu_D \cdot \frac{2V_R}{2^{M_1}} \quad (8)$$

数据拼接与校正之前, 须先扣除该随机信号, 以免抬升噪声本底, 即将式(6)替换为:

$$\begin{aligned} A_{\text{corr}} = & \left[\frac{2V_R}{2^{L_1}} \cdot q_1 + \frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right. \\ & \left. - \frac{c_{e1}}{G_1} \left(\frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_1 \cdot G_2} \right)^3 - \mu \right] \end{aligned} \quad (9)$$

再减去输入信号, 得到系统误差:

$$A_{\text{corr}} - x = \frac{(c_1 - c_{e1}) \cdot e_1^3(t)}{G_1} + \frac{c_2 \cdot e_2^3(t)}{G_1 \cdot G_2} - \frac{e_3(t)}{G_1 \cdot G_2} \quad (10)$$

由于 μ_D 是均值为 0 的伪随机序列, 因此, 从统计学的角度而言, 一个与 μ_D 无关的信号与它相乘, 其均值也趋于零。由于 μ_D 与 e_{1d} 、 e_{1d}^3 、 $e_2^3(t)$ 及 $e_3(t)$ 无关或相关性较弱, 且有 $\mu_D^2 = 1$ 、 $\mu_D^3 = \mu_D$, 式(10)两端分别乘以 μ_D , 带入式(8)并求均值, 可以化简得到:

$$\begin{aligned} E[A_{\text{corr}} \cdot \mu_D] - E[x \cdot \mu_D] = & \frac{c_1 - c_{e1}}{G_1} \cdot \\ E\left[\left(\frac{2V_R}{2^{M_1}}\right)^3 + 3e_{1d}^2\left(\frac{2V_R}{2^{M_1}}\right)\right] \end{aligned} \quad (11)$$

由于 $E[e_{1d}^2] \geq 0$, 就有 $E[A_{\text{corr}} \cdot \mu_D] - E[x \cdot \mu_D]$ 正比于 $c_1 - c_{e1}$ 。根据最小均方(LMS)算法, 即可以推导出待求参数的迭代式:

$$c_{e1}(i) = c_{e1}(i-1) +$$

$$\lambda \cdot \left\{ E[A_{\text{corr}}(i-1) \cdot \mu_D] - E\left[\left(\frac{2V_R}{2^{L_1}} q_1\right) \cdot \mu_D\right] \right\} \\ \approx c_{e1}(i-1) + \lambda \cdot \{E[A_{\text{corr}}(i-1) \cdot \mu_D] - E[x \cdot \mu_D]\} \quad (12)$$

其中, i 是离散迭代次数, 均值通常取有限 N 点的数据平均作为近似估计, λ 表示收敛步长, 由收敛速度与稳态误差决定. 一方面, 较大的 λ 值使得其对校正系数的影响增大, 会加大稳态误差; 较小的 λ 值则会引起算法的收敛速度下降, 从而延长整个流水线 ADC 系统的稳定时间. 结合式(12)与式(11)可粗略估计步长的量级约为:

$$\lambda = O\left(G_1 \cdot \left(\frac{2^{M_1}}{2V_R}\right)^3\right) \quad (13)$$

根据以上分析, 得到校正系统方案, 如图 2 所示. 采用定点数进行数值运算, 乘加模块隐含了输入数据的相位对齐与计算前后的移位操作. 该方法不需要中断正常的数据采集, 而且补偿过程完全在数字域实现, 可较容易地推广到其它结构的流水线 ADC 中.

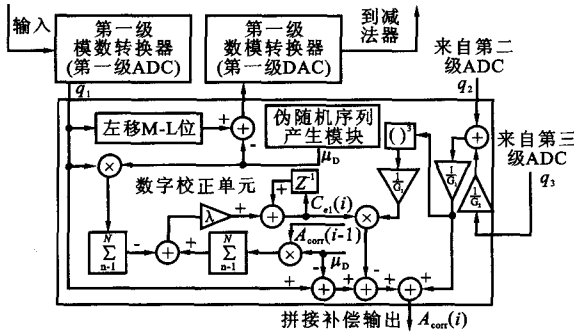


图 2 流水线 ADC 级间增益非线性误差的校正补偿方案

4 仿真结果与分析

仿真实验模拟 AD6645 芯片, 采用三级流水线 ADC 结构, 各级量化位数分别取为 5、5、6, 第一、二级 DAC 输入最大位宽分别设置为 7、5; 为了保证适度的冗余, 标称级间增益 G_1 与 G_2 均取为 2^4 , 数据拼接得到 14 位的原始输出码. 采样时钟的频率设为 80MHz, 输入信号是频率为 3.35MHz、功率为 -0.9dBFS 的单频正弦波. 功率谱分析与计算期望所用到的取样点数为 $N=16384$.

假设第一、二两级残差放大器的峰值点相对增益压缩率均为 5% 时, 从拼接输出的功率谱图 3(a) 上看, 由于增益非线性误差的存在, 相较于理想情况图 3(b), 噪声本底电平与杂散失真特性均存在不同程度的恶化.

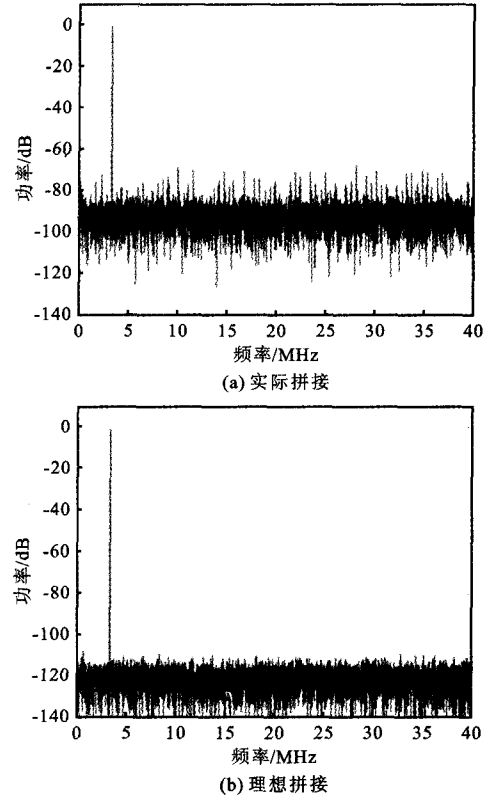


图 3 输出功率谱图

注入数字伪随机序列, 采用系数迭代式(12)测量和逼近实际增益非线性误差系数, 初始值设为 0. 为了获得更好的收敛精度, λ 的取值在式(13)的基础上适当放低至 2^{15} .

算法收敛过程如图 4(a) 所示, 约在 258 次运算后基本达到收敛状态, 相对误差量 $(c_{e1} - c_1)/c_1$ 约为 0.26. 经过校正后, 高次谐波与互调分量基本被抑制到本底以下, 如图 4(b) 所示. 整个频带的动态范围与杂散指标均得到大幅度提高, 对应的有效量化精度由 8.22 位提高到 11.83 位, 如表 1 所示.

表 1 流水线 ADC 性能仿真结果

参数	校正前	校正后
SFDR	67.84 dB	94.16 dB
SNDR	51.26 dB	72.97 dB
ENOB	8.22 LSB	11.83 LSB
INL	± 31.33 LSB	± 6.63 LSB

但是, 由于实际处理过程中, 采用了已知的数字输出近似代替未知的模拟残差信号 $e_1(t)$, 表示为:

$$\left(\frac{2V_R}{2^{L_2}} \cdot \frac{q_2}{G_1} + \frac{2V_R}{2^N} \cdot \frac{q_3}{G_2 \cdot G_1}\right)^3 \approx \left[\frac{r_1(t)}{G_1}\right]^3 \approx \\ \left[e_1(t) + \frac{c_1 \cdot e_1^3(t)}{G_1}\right]^3 \approx e_1^3(t)$$

导致了三次非线性项系数的估计值低于对应的实际设置值,且校正后流水线 ADC 的性能与图 3(b)中所示的理想水平还存在一定的差距。

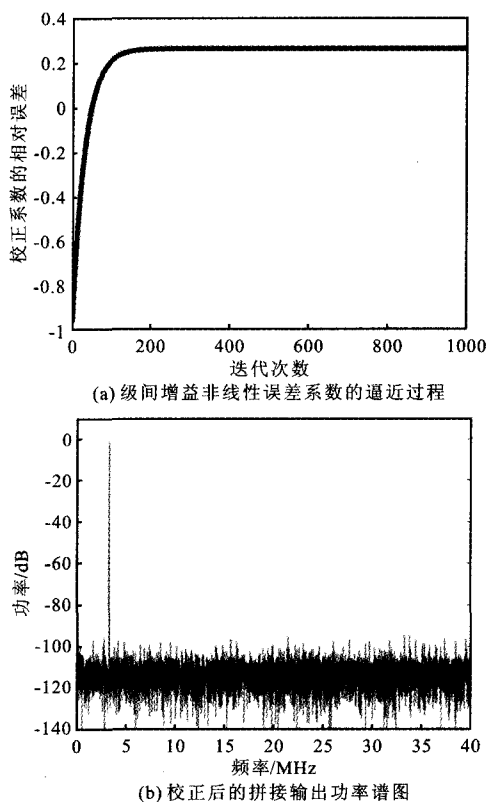


图 4 算法的收敛与校正

5 结束语

文中提出了一种针对流水线 ADC 级间增益非线性误差的后台补偿方法,给出了数字校正系统实现方案.该方法利用随机信号的二阶统计互相关特性,通过在第一级 DAC 输入端注入数字伪随机序列测量增益非线性系数,并使用此估计值在后台实现误差校正.此方法完全在数字域实现,可避免增加额外的比较器或信号发生电路,且不降低流水线 ADC 整体的量化精度.仿真实验表明,校正后的本底噪声功率和杂散性能均获得大幅改善,有效量化精度的提升超过 3 位,有助于高精度低功耗流水线 ADC 的设计与研制.

参考文献:

- [1] Scott Bardsley, Christopher Dillon, Ravi Kummaraguntla. A 100dB SFDR 80-MSPS 14Bit 0.35um BiCMOS pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2006, 41(9): 2144-2153.
- [2] Boris Murmann, Bernhard E. Boser. A 12bit 75MS/s pipelined ADC using open-loop residue amplification[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2040-2050.
- [3] Keane J P, Hurst P J, Lewis S H. Background inter-stage gain calibration technique for pipelined ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2005, 52(1): 32-43.
- [4] 李天望,叶波,江金光. 1.8V 10 位 50Ms/s 低功耗流水线 ADC 的设计[J]. 微电子学与计算机, 2010, 27(4): 46-53.
- [5] 刘蒲霞,陆铁军,王宗民. 16 位流水线 ADC 系统级建模及仿真[J]. 微电子学与计算机, 2009, 26(12): 120-124.
- [6] Lewis S H, Gray P R. A pipelined 5-Msample/s 9bit analog-to-digital converter[J]. IEEE J. Solid-State Circuits, 1987, SSC-22(6): 954-961.
- [7] Galton I. Digital cancellation of D/A converter noise in pipelined A/D converters[J]. IEEE Trans. Circuits Syst. II, Analog Digit, 2000, 47(3): 185-196.
- [8] Albert O'Grady. Getting 14Bit performance from a 32-channel 14bit string DAC[R]. Analog Dialogue 37-02, 2003.
- [9] Ahmed M. Abdelatty Ali, Nagaraj K. Background calibration of operational amplifier gain error in pipelined A/D converters[J]. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, 2003, 50(8): 631-634.
- [10] Alma Delic-Ibukic. Continuous digital calibration of pipeline ADCs[J]. Electrical and Computer Engineering, 2000, 55(4): 1175-1185.

作者简介:

彭 隼 男, (1986-), 博士研究生. 研究方向为模数转换器(ADC)系统设计及其校正技术.

马 洪 男, (1966-), 教授, 博士生导师. 研究方向为非线性电路理论与技术.

(上接第 183 页)

- [7] Jordi Guitart, David Carrera, Vicenc Beltran, et al. Designing an overload control strategy for secure-commerce applications[J]. Computer Networks, 2007(51): 4492-4510.
- [8] 李娟, 毛宏燕, 马光思. SNMP v3 数据采集器 DCP 的研究与实现[J]. 微电子学与计算机, 2008, 25(12): 137-140.

作者简介:

张 雪 女, (1983-), 硕士研究生. 研究方向为软件理论.

马光思 男, (1949-), 教授. 研究方向为软件理论、信息安全.

毛宏燕 女, (1978-), 博士. 研究方向为软件理论、网络管理.