

ARINC659 总线监控卡的设计与实现

汪迪娜¹, 樊晓桠², 安建峰²

(1 西北工业大学 软件与微电子学院, 陕西 西安 710072; 2 西北工业大学 计算机学院, 陕西 西安 710072)

摘 要: 提出了一种 ARINC659 总线监控卡的设计方案. 介绍了监控卡的系统结构和模块设计, 并基于 FPGA 完成了设计实现. 该监控卡可判断 ARINC659 总线接口通信正确与否, 具有监听、诊断、处理和通信等功能. 经 FPGA 验证, 可正确地对总线上的信息进行监听, 为自主研发 ARINC659 总线提供了有效的分析调试手段.

关键词: ARINC659; 监控卡; FPGA

中图分类号: TP336

文献标识码: A

文章编号: 1000-7180(2010)11-0169-04

Design and Realization of ARINC659 BUS Monitor

WANG Di-na¹, FAN Xiao-ya², AN Jian-feng²

(1 College of Software and Microelectronics, Northwest Polytechnic University, Xi'an 710072, China;

2 College of Computer, Northwest Polytechnic University, Xi'an 710072, China)

Abstract: This paper develops a particular architecture of designing a special test system (monitor) for 659 bus. The monitor is based on FPGA, can judge that whether the telecommunication of 659 bus interface chip is right, and also can monitor, record, diagnose and store all the bus messages. By FPGA verification, BM can monitor all of messages from 659 bus correctly, and report errors immediately, it is significant for debugging of bus telecommunications.

Key words: ARINC659; BUS monitor; FPGA

1 引言

ARINC659 总线是美国 ARINC 公司 1993 年制定的背板数据总线. 它是一个多节点串行通信总线. ARINC659 总线的高冗余度和高容错性使它成为一种优秀的航空计算机总线. 在自主研发 ARINC659 总线时, 总线接口板是否满足总线协议要求是核心问题, 总线监控卡就是为此服务的一个验证手段.

目前很少有商用的 ARINC659 调试分析工具, 通常只能借助于昂贵的仪器设备, 分析故障耗时费力. ARINC659 总线监控卡为自主研发 ARINC659 总线提供了有效的分析调试手段. 文中主要从 ARINC659 总线监控卡的硬件部分描述一套已经过验证的方案.

2 ARINC659 总线监控卡的功能及应用

ARINC659 总线是一个多节点串行通信总线, 用于在线可更换模块(LRM)之间的数据传送, 最多

可进行 32 个模块间的通信. 采用表驱动比例访问 (TDPA) 的通信机制, 使用 4 条串行总线同时半双工传输和交叉校验的通信方式. 所有 LRM 的 BIU 具有完全相同或兼容的命令表, 同步地解释命令表, 并根据 LRM 的模块号同步地执行命令表规定的相应各种窗口操作, 实现各 LRM 间的数据通信.

该总线监控卡(BM)和其他 LRM 一样都挂在 ARINC659 总线上, 图 1 为 BM 的一个简单应用实例^[1]. 总线监控卡和其它 LRM 载入相同的表命令到 FLASH ROM 中, 当其他四个 LRM 中任意一个向总线发送数据, BM 就开始接收数据并进行相应的处理, 将错误信息报告给它的上位机, 上位机通过监控界面显示出来. BM 与其它 LRM 不同的是, 它只需要进行接收, 不向总线发送数据. 该总线规定每一个窗口可以有一个唯一的发送器或是一组后备的发送器, 允许有多个模块同时接收, 因此为 BM 分配一个专门模块号 0, 在表命令编写时让它始终处于接收状态,

这样监控卡就可以对总线所有数据进行监听。

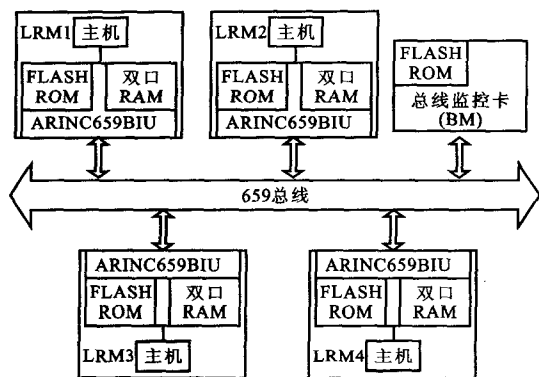


图 1 ARINC659 总线监控器的应用实例

ARINC659 总线监控卡主要进行总线监听,信息诊断,数据处理和通信^[2]。

总线监听:监控卡一旦上电并且初始化成功就处于监听状态,将总线上的数据实时的在主机上显示出来,可进行三种不同精度级别的观测。

信息诊断:将采集的数据按照交叉校验的方法,调用完整性表或可用性表逐位进行比较,判断总线上是否有误码情况以及是否属于总线自身故障;其次是根据命令表检测与表命令不一致的消息判断接口设计是否合理。

数据处理、通信:指监控卡能传递消息和识别消息,并进行数据的检错纠错和记录。

3 监控卡的设计

参照 ARINC659 总线协议需求中的接口原理图,文中提出了监控卡整体设计框图,通过 PCI9054 与主机通信,如图 2 所示。左边的总线是 PCI 总线,右边的总线是 ARINC659 总线,首先监控卡接收

ARINC659 四条总线上的数据,进行滤波和交叉验证后送入控制单元;同时,预译码单元从 FLASH 中读取命令并进行预译码,并且将结果暂存入 FIFO 中;控制单元取译码结果的同时检测接收部分是否有新的待处理数据请求,有则将接收的数据与当前指令进行比较,并向主机传送比较结果和报警信号;监控单元可提供三个精度级别的数据供主机观察,通过主机命令来控制具体模式^[3-4]。

本设计需要命令区、寄存器区、数据区三个地址空间。命令区主要存储和其他通信模块中的 BIU 相同的命令表及命令表参数,最大支持 $64K \times 32bits$ 存储空间。数据区是存储接收数据的数据 FIFO,主机可访问,这个数据 FIFO 也就是图中的数据缓存单元,位宽为 32bit。寄存器区为监控卡内部寄存器在存储空间上的映射,进行统一编址,主机可对其进行读写。

3.1 接收部分

接收部分有三个模块,即图 2 中最右边的采样、滤波、纠错三个单元,分别用来产生需要观测的三种不同精度级别的数据,即监控单元的三个数据输入。采样单元是以高频时钟进行采样得到原始采样数据,因为 ARINC659 总线的工作频率是 30MHz,大电流驱动,毛刺比较大,为此选用 240MHz 高频采样。240MHz 的时钟采样 30MHz 的数据线后得到 8 倍的数据量,还要进行数据量的恢复,所以滤波单元首先要进行数据量的恢复和毛刺的消除。

纠错单元进行的操作有:数据解码,数据校验,数据拼接。该总线共有 4 条总线 AX、AY、BX、BY,每条总线有两条数据线 DATA0、DATA1 和一条时钟线。DATA0 上传数据的偶数位,DATA1 上传数据的奇数位。具体传输规则如下:

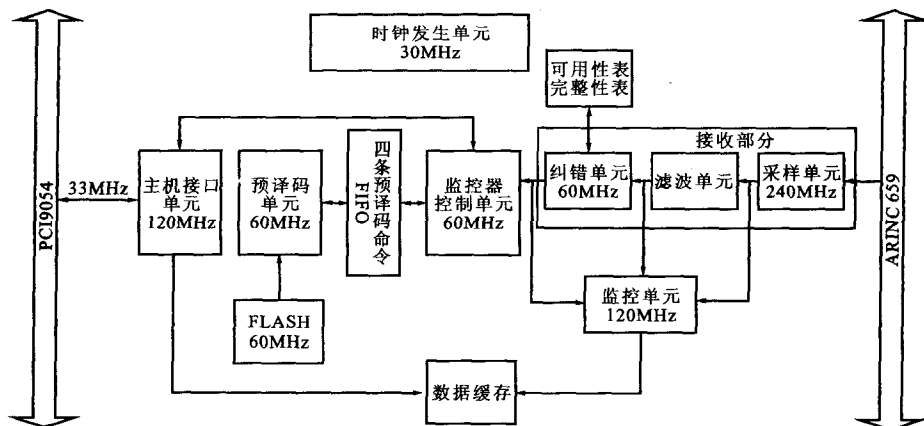


图 2 监控卡系统设计框图

Ax Data0, Ax Data1:正常数据电平(总线上逻辑 1 为高电平)

Ay Data0, Ay Data1:正常数据与 {010101...} 异或

Bx Data0, Bx Data1:数据电平翻转

By Data0, By Data1:正常数据与 {101010...} 异或

因此经过采样和滤波后,这四条总线上的数据首先按照 ARINC659 传输规则分别进行解码,再进行比对,完成数据校验.数据校验就是调用协议中的可用性表或者完整性表,根据接收到数据的有效性以及解码之后四路总线交叉 (AX = AY, BX = BY, AX = BY, BX = AY)^[5] 比较的结果进行最终结果的判断,数据在传输中没有出现差错的情况下,数据的有效性交叉检测的结果都应当是 1,即 (AX, AY, BX, BY) 这四路数据解码后应相同.若有误就将错误标记出来.纠错后的数据就只有 D0、D1 两路数据,然后将 D0、D1 拼接成一个字.

由此三个不同精度级别的数据就产生了,如果只需要观测数据链路层的信息传输情况就设置监控单元输出模式为纠错单元的输出,若想进一步看四条总线上的数据就设为滤波单元输出,若想观测物理层上的比特流就选择 240MHz 采样后的输出.

3.2 监控控制单元

监控控制单元是整个设计的核心单元,它控制整个芯片的工作过程,根据与预译码单元的握手,接收部分的申请以及错误的检测等来协调各单元有序的进行通信,监控控制单元监控的对象有:

(1) ARINC659 总线活动由一系列的消息窗口和窗口间隙(GAP)组成,监控卡记录下 GAP 长度,判断 GAP 和固定间隙参数 MAXGAP 是否有过大或者过小现象.

(2) ARINC659 总线上传送的消息窗口分为两类,一是数据消息,二是同步消息.数据消息,分为基本消息和主/备消息,本单元以字为单位记录基本收发和主备收发窗口的长度.同步消息分三种:初始化同步消息,用于接通电源之后或“故障”引起机箱宽度内同步丢失时初始化总线;短同步消息,用于修正振荡器漂移,维持机箱中 BIU 的位级同步;长同步消息,用于丢失的模块重新与总线同步^[5].接收到的同步消息的类型将与命令表对比完成错误检测.

例如短同步消息结构就是由 5 位的同步脉冲和一个 GAP 组成如图 3 所示.接收 Clock, Data0 和 Data1 上的数据,若结果是 Clock: 10000; Data0:

11111; Data1: 11111,就证明接收到的消息是短同步消息,而此时表命令中执行的是发送短同步消息,就证明接口在短同步消息的收发上是正确的.如果定义了 GAP 长度为 3,接收到了 Clock: 111; Data0: 111; Data1: 111,就证明 GAP 是正常的.

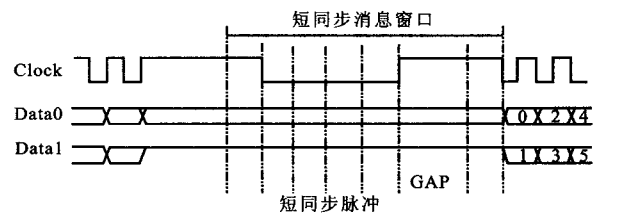


图 3 短同步消息窗口

图 4 是监控控制单元的简化控制过程.该单元上电后首先进行初始化,主要是进行监控卡的配置和命令预译码单元进行预译码初始化,如果预译码单元返回初始化成功标志,则监控卡处于失步状态,这时如果检测到接收部分送来的初始化同步标志或者长同步标志,控制单元进入同步并开始读 FIFO,同时将接收来的数据与当前的命令进行比较,如果出现不匹配情况将状态写回状态寄存器,继续读下一条指令和下一个接收进来的数据,直到比较完一个窗口,则进入 GAP 检测,检测完毕进行下一个窗口的比较.

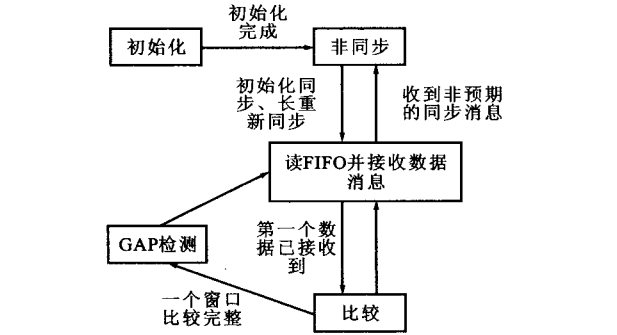


图 4 监控控制单元的简化控制过程

3.3 预译码单元

预译码单元是为了提高实时性而设置的,采用流水线的思想,即指令周期被分为了几个阶段,每个阶段只完成指令的部分功能,一条指令的某个操作阶段与其它指令的不同阶段操作并行进行,在这里表现为译码一条指令的同时取下条指令^[6].

考虑到最长指令占据 FLASH 中四个存储单元,而指令执行周期又比译码周期长,为避免来不及执行的情况,预译码结果先被写入 FIFO,预译码单元控制状态机如图 5 所示.若接收到控制单元的初始化命令就进行预译码初始化,包括机架号、模块

号、版本号以及其它参数的读取和校验.如果参数校验正确,则表示预译码初始化成功并等待长重新同步消息,收到长重新同步码后进入同步并清空预译码 FIFO.然后从 FLASH 中取指令,如果当前指令是非转移类指令,则在译码这条指令的同时读取下一条指令,并将译码结果写入 FIFO,如果是跳转(JUMP, JUMPI, CALL, CALLI)指令,在获取转移地址后跳转到该地址,同时将跳转前指令的下一条指令的地址保存到栈中,更新栈指针,等到返回指令(RET, RETI),再从栈中取出被保存的地址,及时更新栈指针.正如图 5 中所示,在预译码过程中如果出现非法行为则进入断开状态,等待控制单元发出重新初始化的命令.

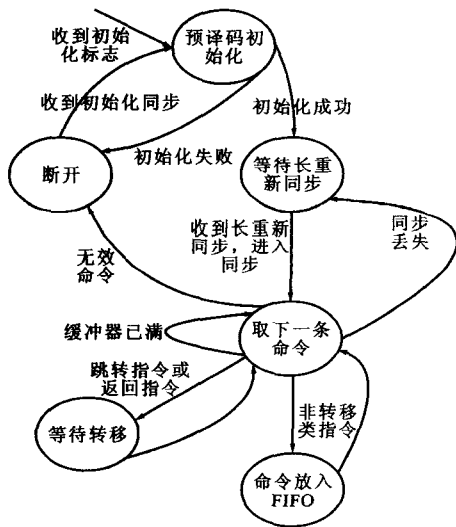


图 5 预译码单元状态机

4 功能验证

监控卡采用 Verilog 语言进行描述,在 modelsim 里完成了功能验证,并且进行了 FPGA 验证.本设计选用 Xilinx 公司 Virtex2P 系列 XC2VP30 器件下载实现,因 FPGA 器件掉电丢失信息,开发板上另带有专用 flash 芯片,经验证设计在内部最高工作频率 240MHz 下工作正常,可以很好的完成监控和报

错的功能,与最初的功能设计相符.从 FPGA 内部资源使用情况来看,该 FPGA 器件的资源对本设计来说是充足的.

5 结束语

本监控卡按照 ARINC659 总线^[7]的协议需求进行监听,同时具备诊断和信息处理的功能,是 ARINC659 总线专用测试系统不可或缺的一部分,对于 ARINC659 接口板的设计、分析和调试等都有重要的指导作用.本设计在 FPGA 开发板上进行了与其它模块通信的测试,可以准确记录总线活动,有很大的实用价值.

参考文献:

- [1] 吴勇,赵锋,宫颖,等.航电系统 1553B 总线监控仪的设计[J].火力与指挥控制,2002,27(3):39-41.
- [2] 王萍,朴立华,黄瑞祥.智能型 CAN 总线监控卡设计[J].计算机技术,2004,31(2):38-41.
- [3] 赵文智,崔三俊.基于 CompactPCI 总线的多协议只能通信板的设计[J].微电子学与计算机,2007,24(5):52-57.
- [4] 张维旭,贺占庄.基于 NIOSII 和 FPGA 的 ARINC429 通信板的设计[J].微电子学与计算机,2006,23(6):210-212.
- [5] Arinc Specification 659 Backplane Data Bus[C]// the Airlines Electronic Engineering Committee. Seattle: Blake Island, 1993.
- [6] William Stallings. 计算机组织与体系结构[M]. 6 版. 北京:清华大学出版社,2005:338-353.
- [7] 孙晓华.基于 PCI 总线的 ARINC629 数据通讯卡设计[J].计算机测量与控制,2008,16(6):821-824.

作者简介:

汪迪娜 女,(1986-),硕士研究生.研究方向为集成电路系统设计.

樊晓桢 男,(1962-),博士生导师.研究方向为计算机体系结构与超大规模集成电路设计.

(上接第 168 页)

作者简介:

杨 顺 男,(1969-),博士,副教授.研究方向为嵌入式系统与 PSoc(Programmable System - On - Chip)技术、无线通

信网络.

李龙青 男,(1985-),硕士研究生.研究方向为嵌入式系统、无线传感器网络.