

基于闪存的高速大容量存储系统设计

张 欣^{1,2}, 刘朝晖¹, 刘 文¹, 陈 萍¹

(1 中国科学院 西安光学精密机械研究所, 陕西 西安 710119; 2 中国科学院 研究生院, 北京 100039)

摘 要: 介绍一种基于 Flash 和 FPGA 的高速大容量数据存储系统的组成机制和实现方法, 并且给出了系统的硬件结构及软件设计流程. 在分析了 Flash 结构和特点的基础上引用并行总线和多级流水技术实现了高速存储, 采用 ECC 数据校验和自动屏蔽闪存坏块的方法提高了数据存储及回放的可靠性. 实验结果表明, 该存储系统工作稳定, 存储速度快、容量大、可靠性好.

关键词: Flash; FPGA; 存储; 数据校验

中图分类号: TP333

文献标识码: A

文章编号: 1000-7180(2010)11-0173-04

Design of a Storage System Base on Flash with High Speed and Huge Capacity

ZHANG Xin^{1,2}, LIU Zhao-hui¹, LIU Wen¹, CHEN Ping¹

(1 Xi'an Institute of Optics and Precision Mechanics of CAS, Xi'an 710119, China;

2 Graduate University, Chinese Academy of Sciences, Beijing 100039, China)

Abstract: The structure and implementation of a high speed and mass storage system based on NAND flash memory and FPGA is introduced, and the hardware struction and software flowchart are presented. Based on the analysis of the structure and characteristics of the flash chip, High-Band-Buses and Pipeline technique are applied to realize high speed storage, and the ECC method are used and invalid blocks of the flash chips are masked automatically to improve the reliability of the storage system. The practice proved that the system is stable in operation and has the advantage of high speed, large capacity and high reliability.

Key words: Flash; FPGA; storage; data check

1 引言

数据存储设备广泛应用于摄影、探测、雷达、通信、图像处理、语音识别、工业自动化等各行业, 在数据存储系统研究中, 如何实现数据的高速采集和海量存储, 并实现数据的回放再现, 已成为研究热点. 存储器设计的主流方案是采用半导体存储芯片作为存储介质, 特别是闪速存储器(Flash Memory). 闪存作为一种非易失性半导体存储器, 以其可靠性高、存储密度大、体积小、低功耗的特点在数据存储领域得到了迅猛的发展, 但是它写入速度慢、使用过程中会产生坏块.

结合实际应用的要求和闪存的特点, 设计了一种基于 Flash 和 FPGA 的高速大容量存储系统, 采用了并行总线和流水线方法提高了写入速度, 并给出了闪存坏块的解决方法, 使用 USB2.0 接口和 CAN 总线实现数据和主机的良好通信.

2 系统硬件结构

系统将通过 LVDS 接口获得的图像信息和由 RS232 串口获得的附加信息(时间、角度、焦距等)整合成扩展 BMP 格式, 然后进行帧频可选择(25Hz、50Hz、100Hz)、无丢帧、按时间先后顺序的存储. 实时通过 USB 接口抽帧输出图像数据和对应附加信

息到计算机进行显示.可随时通过 CAN 总线检测存储器状态(包括总空间、剩余空间、忙、闲等)、进行存储器的记录的起停、格式化、读取等操作,事后通过 USB 接口上传至计算机处理.对存储器的坏区进行了自动管理,采用了 ECC 校验方法,提高了数据存储的可靠性.

系统的控制核心为 FPGA,其外围电路包括闪存阵列、数据缓冲模块、自定义 LVDS 接口、串口、USB 与 CAN 总线接口,以及供电和配置电路.数据缓冲模块采用两片 SRAM 通过乒乓转换构成.系统的总体结构如图 1 所示.

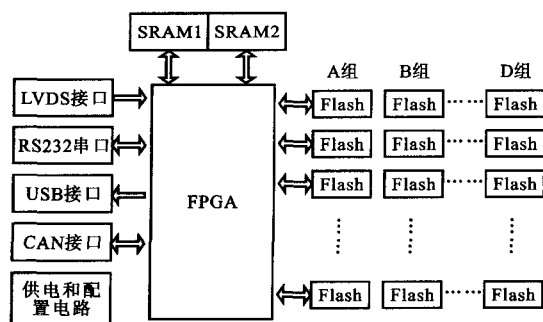


图 1 系统结构框图

3 FPGA 内部功能模块与软件流程

控制核心 FPGA 控制着数据的接收,存储阵列的读写、擦除以及系统与主机的数据通信,其内部功能如图 2 所示.

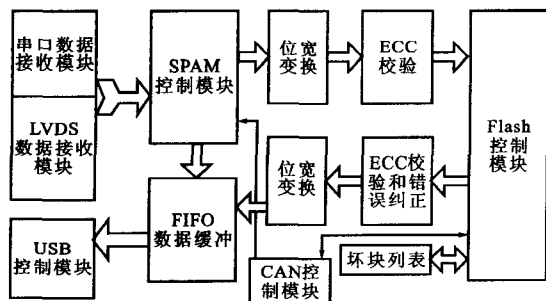


图 2 FPGA 内部功能模块

SRAM 控制模块主要完成数据的缓冲、扩展 BMP 格式整合以及图像抽帧输出帧频的控制;位宽变换模块主要进行 16 bit 位宽和 80 bit 位宽的相互转换,实现数据并行和反并行操作;Flash 控制模块主要完成对 Flash 阵列的存储、读取、擦除、坏块列表的建立以及流水线逻辑控制等操作;ECC 校验和错误纠正模块主要完成读取数据的缓冲、校验、判断及改正等操作;利用内嵌 RAM 块生成的 512×16 bit 的异步 FIFO 模块主要完成数据到 USB 接口的

缓冲,保证数据的有序和完整;USB 控制模块控制着 FPGA 与 USB 接口芯片的通信,保证数据能够有效的通过 USB 接口上传至主机. CAN 控制模块主要完成主机命令的接受、分发以及状态信息的回传.

系统上电复位后, FPGA 首先访问闪存阵列,获取坏块信息并建立坏块列表,存储在 FPGA 内部 RAM 中;然后进入空闲状态,等待主机命令; FPGA 通过 CAN 总线接收到主机命令后执行相应的操作,软件流程如图 3 所示.

当接收到主机的设置命令后时,主机可以通过 RS232 串口设置图像的文件头、信息头和颜色表等,这些固定信息共计 74 字节存储在 SRAM 的 0~36 地址空间中,在存储的过程中这些信息不再变化.在存储操作时 32 字节的附加信息存储在 37~52 地址空间.

当主机发送存储命令时,系统通过对帧同步信号计数从而产生 100Hz(50Hz, 25Hz)的使能信号,然后进行不同帧频的图像存储操作.当收到读取命令后,系统进行读取操作,数据通过 USB 接口以 16MB/s 的速度上传至主机;当收到擦除命令后,执行擦除操作,擦除操作以块为单位,典型消耗时间为 1.5ms.

存储、读取和擦除操作过程中会读取坏块列表,自动屏蔽坏块;同时若收到状态检测命令,系统的状态信息将通过 CAN 总线返回主机;收到结束命令后,系统将终止操作,回到空闲状态,等待主机命令.

4 Flash 结构及其控制逻辑设计

闪存芯片采用的是 SAMSUNG 公司的 K9WBG08U1M,其单片容量为 4G 字节,共包含 16384 个数据块,每个数据块分 64 页,每页 4K + 128 字节,其中 128 字节为空闲区. K9WBG08U1M 的端口速度可达 40MHz,但是其数据加载后的页编程时间较长,是限制存储速度的瓶颈^[1]. 其数据、地址和命令总线共用 8 位 I/O 端口,通过命令锁存信号和地址锁存信号实现分时复用,并且具有硬件数据保护功能^[2].

闪存阵列由 40 片 K9WBG08U1M 构成,分为 4 组,每组 10 片,存储空间达到 160GB. 数据总线扩展至单片的十倍,实现了数据的并行操作. 每组闪存共用 9 个控制信号,其中 R/B 是采用集电极开路输出的,可以进行线与,线与后通过上拉电阻连接到电源,其他信号采用一驱十的形式由 FPGA 驱动^[3]. FPGA 与闪存接口示意图如图 4 所示.

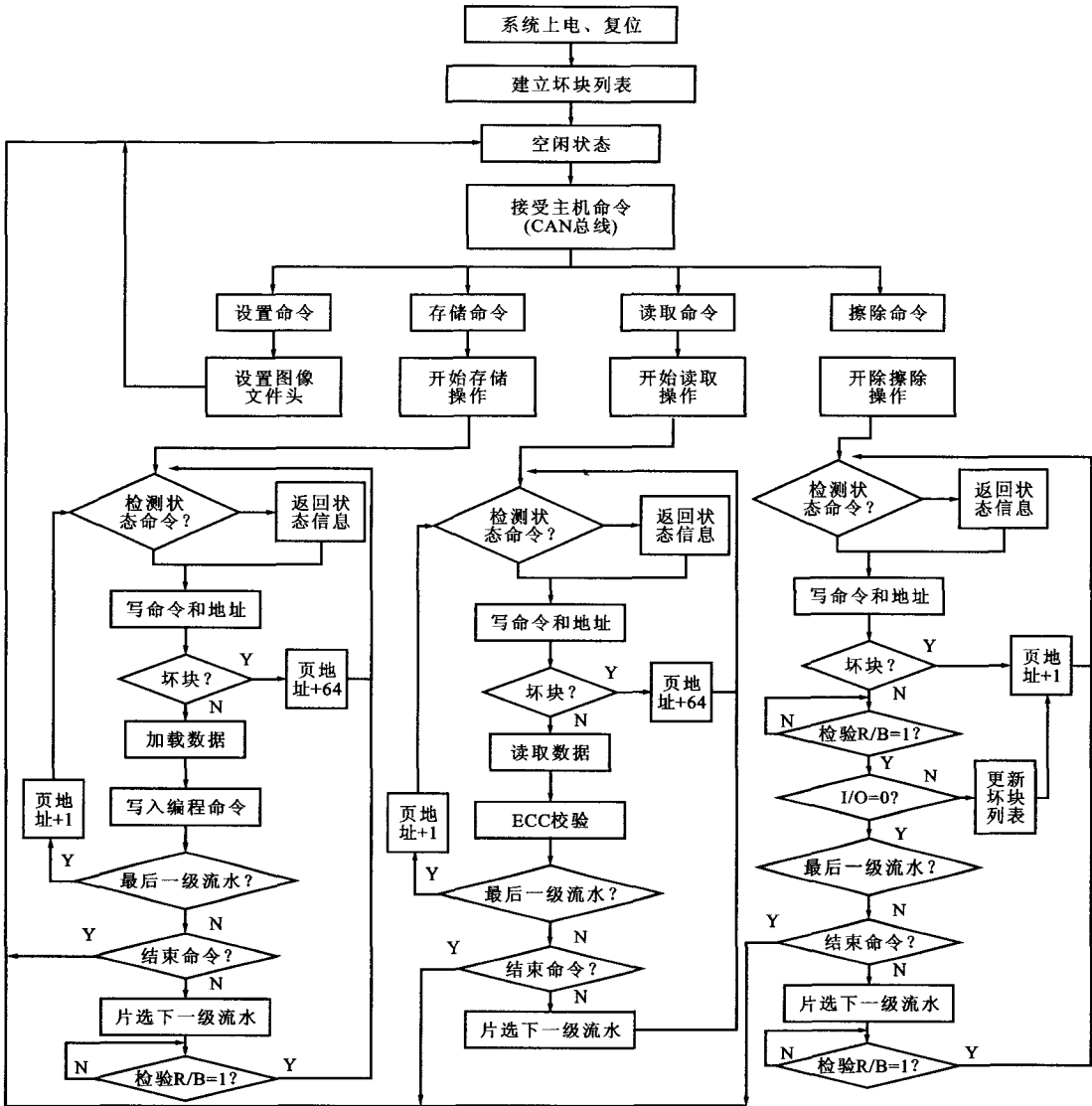


图3 软件流程图

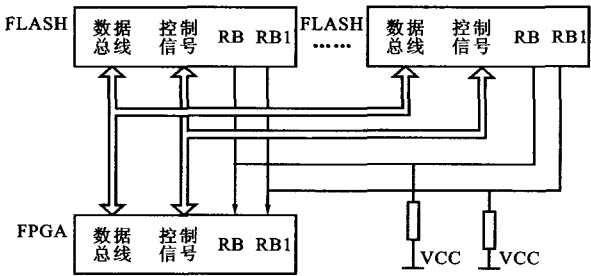


图4 FPGA与闪存接口

闪存的写入可以分为两个步骤:(1)加载操作,即地址、命令、数据的加载,所用时间较短。(2)页编程操作,即闪存自动完成将载入到页数据寄存器的数据写入到内部存储单元的操作,用时较长。页编程时间的典型值为 200 μ s,最大值为 700 μ s,页编程结

束后芯片才能转为空闲状态而再次加载^[4]。

流水线操作即是利用了闪存的这一特点而实现的^[5]。在一组闪存页编程期间对其他组进行加载操作,在时间上实现了复用,缩短了闪存阵列等效页编程时间,使整体写入速度得到提升,流水操作示意图如图5所示。

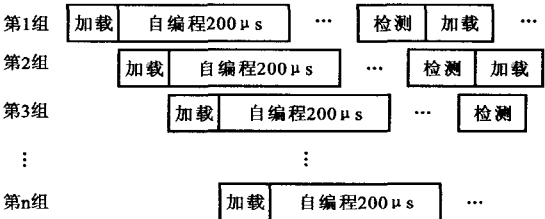


图5 流水操作示意图

4.1 闪存无效块管理

闪存存在出厂时就存在一些初始无效块,并且在使用过程中也会出现新的坏块.为了保证数据存储和读取的可靠性,系统每次上电之后首先由 FPGA 读取芯片中的坏块信息(存储在每块第一页和第二页的空闲区的首字节处)并建立坏块列表,然后存储在片内 RAM 中.当进行数据存储、读取和擦除操作时, FPGA 将产生的存储地址与坏块列表进行比对,然后会自动跳过坏块进行操作.

由于一组中每片 Flash 的坏块地址不可能完全相同,而读写操作是统一的,因此采取了将每组中每片芯片的坏块信息相与的方法^[2],产生一个统一的坏块列表.但这是以牺牲部分存储容量为代价的,实际使用中每片芯片的坏块数量在 10~20 之间,损失的容量对于整个系统来说是可以接受的.

4.2 数据校验

如果操作时序和电路稳定性不存在问题, NAND Flash 出错的时候一般不会造成整个块或页不能读取或是全部出错,而是整个页中只有一个或几个 bit 出错.为了检测并纠正这种错误,使用了 ECC(Error Checking & Correction)校验. ECC 能纠正单比特错误和检测双比特错误,而且计算速度很快.算法原理如图 6 所示,⊕表示异或运算.

列校验生成表达式为:

$$P1 = \text{Bit}7 \oplus \text{Bit}5 \oplus \text{Bit}3 \oplus \text{Bit}1 \oplus P1$$

$$P2 = \text{Bit}7 \oplus \text{Bit}6 \oplus \text{Bit}3 \oplus \text{Bit}2 \oplus P2$$

$$P4 = \text{Bit}7 \oplus \text{Bit}6 \oplus \text{Bit}5 \oplus \text{Bit}4 \oplus P4$$

行校验生成表达式为:

$$P8 = \text{Bit}7 \oplus \text{Bit}6 \oplus \text{Bit}5 \oplus \text{Bit}4 \oplus \text{Bit}3 \oplus \text{Bit}2 \oplus \text{Bit}1$$

$$\oplus \text{Bit}0 \oplus P8$$

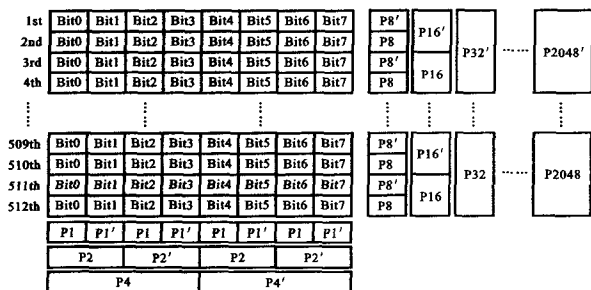


图 6 ECC 算法原理

当往闪存的页中写入数据的时候,每 512 字节生成一个 ECC 校验码,称之为原 ECC 校验码,保存

到每页的空闲区中.当从闪存读取数据时,每 512 字节再生成一个 ECC 校验码,称之为新 ECC 校验码.

校验的时候,将从空闲区中读出的原 ECC 校验码和新 ECC 校验码按位异或,若异或结果全为 0,则表示无错误;若结果中存在 12 个比特位为 1,表示存在一个比特错误,且可纠正;若结果中只存在 1 个比特位为 1,表示空闲错;其他情况均表示出现了无法纠正的错误.

5 结束语

文中介绍的高速大容量数据存储系统,具有存储速度快、容量大、可靠性好的特点,并且体积小、功耗低、使用方便,是目前数据采集存储的发展趋势^[6].在测试中工作稳定,存储速率达到 120MB/s, USB 接口回放速度 16MB/s,达到了设计要求.系统只需对硬件电路进行稍微改动就可支持更大容量的闪存芯片以扩充存储容量,具有一定的通用性^[7-8],可以推广应用到其他数据采集存储的场合.

参考文献:

- [1] 刘瑞,黄鲁,陈楠.基于 FLASH 的高速大容量固态存储系统设计[J].测控技术,2009,28(4):10-14.
- [2] 李超,王虹现,邢孟道.高速大容量 FLASH 存储系统设计[J].火控雷达技术,2007(36):83-88.
- [3] 雷磊. NAND 型 FLASH 海量存储系统的设计与实现[D].北京:北京理工大学,2008:6-42.
- [4] 高怡祯.基于闪存的星载大容量存储器的研制[D].北京:中科院空间科学与应用研究中心,2004:5-36.
- [5] 朱岩.基于闪存的星载高速大容量存储技术[D].北京:中科院空间科学与应用研究中心,2006:1-41.
- [6] 周治良,刘俊,张斌珍.基于 FPGA 及 FLASH 的数据采集存储系统设计[J].微型计算机,2007,13(3/1):91-92.
- [7] 于海,樊晓桢.基于 FPGA 异步 FIFO 的研究与实现[J].微电子学与计算机,2007,24(3):210-213.
- [8] 刘文怡,袁伟涛,张斌珍.基于 FPGA 和 USB 的 64 路数据采集系统设计[J].微电子学与计算机,2008,25(12):151-153.

作者简介:

张欣男,(1983-),硕士研究生.研究方向为图像采集和处理.