

一种 H. 264/AVC 反变换反量化 IP 核设计

李 进, 骆 丽

(北京交通大学 电子信息工程学院, 北京 100044)

摘 要: 提出了一种适用于 H. 264/AVC 解码器功能完整的反变换反量化 IP 核的设计. 设计中采用同一处理单元完成三种不同的反变换, 反变换反量化的每个步骤采用独立的门控时钟控制, 逻辑复用和门控时钟降低了功耗. 实现结果表明本设计满足 1080i 高清码流的实时解码要求.

关键词: H. 264/AVC; 反变换; 反量化; 低功耗; 逻辑复用; 门控时钟

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2011)01-0189-04

An Inverse Transform and Quantization IP Core Design for H. 264/AVC

LI Jin, LUO Li

(School of Electronic and Information Engineering, Beijing Jiaotong University, Beijing 100044, China)

Abstract: This paper presents a function—complete design of inverse transform and quantization IP core for H. 264/AVC decoder. The same architecture is presented to process three different inverse transforms. Each stage of inverse transform and quantization is controlled by separate gated clock. Logic reuse and clock gating make lower power consumption. The implementation results show that the design meets real-time decoding of 1080i stream.

Key words: H. 264/AVC; inverse transform; inverse quantization; low power; logic reuse; clock gating

1 引言

H. 264/AVC^[1] 是 ITU-T VCEG 组织和 ISO MPEG 组织共同提出的比早期的 MPEG 和 H. 263 性能更好的视频压缩标准. H. 264 优异的视频图像压缩性能使其在数字电视、电视会议、视频传输等领域得到了广泛的应用.

H. 264 巨大的计算量和日益增长的视频码流对实时解码提出了挑战, 硬件解码器并行性速度快的优点使其成为了一种解决方案. 文中提供了一种功能完整的低功耗 H. 264 反变换反量化 IP 核的设计, 可以应用在 H. 264/AVC 硬件解码器中. 关于 H. 264 反变换反量化功能完整的硬件设计很少, 文献[2-3]提出了两种反变换反量化的硬件设计, 但并未对功耗进行优化.

H. 264 的基本档次在移动电话的视频传输中

应用广泛, 电池供电的移动设备对 H. 264 编解码器的功耗提出了更高的要求. 降低功耗常用的办法是减小芯片面积和门控时钟. 本设计一方面通过逻辑复用来减小芯片面积, 从而降低功耗; 另一方面通过门控时钟关闭不必要的开关动作来减小功耗.

2 反变换反量化基本原理

反变换反量化是 H. 264 编码变换量化的逆过程, 因此反变换和反量化的输入为经过变换量化后的变换系数. 反变换反量化的一个宏块的输入如图 1 所示. 输入处理顺序从“-1”到“25”, 其中阴影部分表示为直流系数.

H. 264 在编码过程中, 编码器根据残差数据的类型采用三种不同的变换^[4]. 对应的在解码器端输入的变换系数也分为三种类型, 分别进行不同的逆变换. 图 1 中的“0~15”和“18~25”亮度色度残差变换系数 4×4 矩阵 W 进行逆整数离散余弦变换

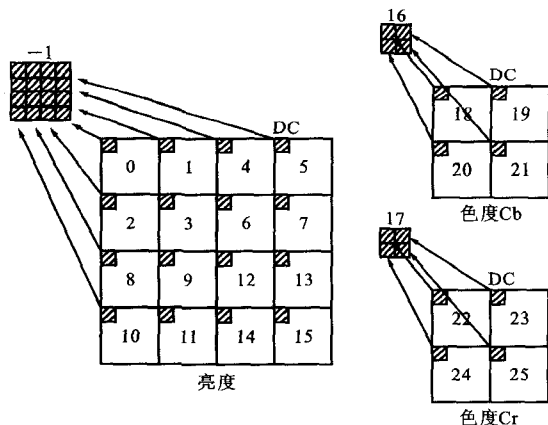


图1 反变换反量化的输入种类及顺序

(IDCT). 图1中的“-1”帧内 16×16 预测模式亮度直流变换系数 4×4 矩阵 Z_{DY} 进行 4×4 的逆 Hadamard 变换 (4×4 IHDT), 图1中的“16, 17”色度直流变换系数 2×2 矩阵 Z_{DC} 进行 2×2 的逆 Hadamard 变换 (2×2 IHDT).

解码器的反变换 (IT) 和反量化 (IQ) 对输入的变换系数的处理流程如图2所示. 如果输入的是帧内 16×16 预测模式的亮度块或是色度块, 则需要先对直流系数 Z_{DY} 或 Z_{DC} 进行逆 Hadamard 变换得到 W_{QDY} 或 W_{QDC} , 再经过反量化将 W_{DY} 或 W_{DC} 恢复成整数 DCT 变换的直流分量 W_{DY} 或 W_{DC} [5].

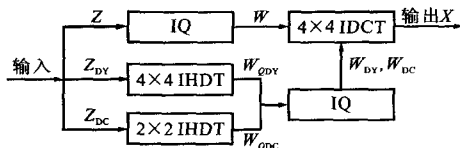


图2 变换系数反变换反量化流程

在反变换反量化的硬件实现中, 文献[6]中提出了一种并行结构进行类似的变换过程, 并行处理的优点是速度快、吞吐量大, 但是并行结构需要占用更多的芯片面积. 在 H. 264 解码器的设计中, 反变换反量化并不是整个系统处理速度的瓶颈, 帧内和帧间预测消耗更多的处理周期, 因此没必要设计一个非常高吞吐量的反变换反量化模块, 只需要与预测过程的处理速度匹配. 本设计中, 三种不同的反变换复用相同的处理单元, 反量化也复用同一结构, 虽然在处理速度上不及文献[6]中的设计, 但芯片面积减小显著.

反变化反量化整个过程由状态机和门控时钟共同控制. 门控时钟采用如图3所示的电路. 产生 $1D_clk$ 、 $2D_clk$ 和 $rescale_clk$, 分别控制一维行反变换、一维列反变换和反量化过程. precomputation 部分采用组合逻辑产生时钟使能信号 enable, 为了避免组合逻辑产生的使能信号的毛刺对时钟的影响, 使

能信号使用一级 D 触发器采样后与时钟 clk 相与产生门控时钟 gated clk.

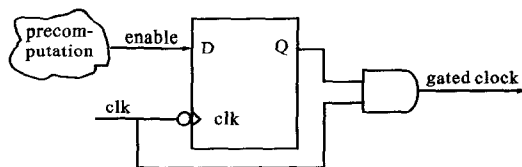


图3 门控时钟电路

3 反变换器结构

根据变换系数性质, H. 264 存在三种不同的反变换:

(1) 亮度和色度系数 W 的 IDCT

$$X = C_i^T W C_i \quad (1)$$

$$C_i = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & \frac{1}{2} & -\frac{1}{2} & -1 \\ 1 & -1 & -1 & 1 \\ \frac{1}{2} & -1 & 1 & \frac{1}{2} \end{bmatrix}$$

(2) 帧内 16×16 预测模式亮度直流系数 Z_{DY} 的 4×4 IHDT

$$W_{QDY} = H_{4 \times 4}^T Z_{DY} H_{4 \times 4} \quad (2)$$

$$H_{4 \times 4} = \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 \\ 1 & -1 & 1 & -1 \end{bmatrix}$$

(3) 色度直流系数 Z_{DC} 的 2×2 IHDT

$$W_{QDC} = H_{2 \times 2}^T Z_{DC} H_{2 \times 2} \quad (3)$$

$$H_{2 \times 2} = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$$

设 w_{ij} 、 z_{ij} 分别为 2×2 矩阵 W_{QDC} 和 Z_{DC} 的元素, 将 W_{QDC} 、 Z_{DC} 写成一维列向量形式 W'_{QDC} 、 Z'_{DC} :

$$W'_{QDC} = [w_{00}, w_{01}, w_{10}, w_{11}],$$

$$Z'_{DC} = [z_{00}, z_{01}, z_{10}, z_{11}]$$

将式(3)展开, 则结果可以写为:

$$W'_{QDC} = Z'_{DC} H_{4 \times 4} \quad (4)$$

对于 IDCT 和 4×4 IHDT, 可将式(1)和式(2)的矩阵乘法改造成行列一维变换. 先对 W 和 Z_{DY} 的每行采用行变换代替右乘运算, 然后对行变换得到的矩阵的每列进行列变换代替左乘运算. 由于左乘、右乘的矩阵互为转置, 因此行列变换乘以的系数相同. 对于 2×2 IHDT, 通过上面的分析, 对 2×2 IHDT 的输入和输出的形式进行变换, 可以按照式(4)运算, 由于左乘的矩阵与式(3)相同, 因此 Z'_{DC}

的 4 个元素只需要进行一次一维反变换就可以得到 W'_{QDC} , 即 W_{QDC} .

这样三种反变换就可以使用如图 4 所示的硬件结构实现. IT_PE 的输入数据由控制器的 Input_mux 信号选择, DCT_or_HDT 为变换类型选择信号, Output_load 控制输出结果的存储. 文献[6]提出了对类似的 DCT 变换使用 8 个类似文中 IT_PE 单元的并行结构, 优点是速度快, 只要一个周期就可以完成 IDCT 运算, 但缺点是占用芯片面积大, 需要 64 个 16bit 加法器. 文献[2]中采用三种不同结构来完成三种反变换. 文中设计的反变换电路使用同一 IT_PE 单元完成三种不同反变换, 在时间上 IDCT、 4×4 IHDT 需要 8 个周期, 2×2 IHDT 只要 1 个周期. 三种反变换复用相同的计算单元, 核心单元 IT_PE 只需要 8 个 16bit 加法器和 2 个移位器. 文中的

结构在芯片面积上大大减小, 从而降低了功耗. 门控时钟 OneD_clk 和 TwoD_clk 为反变换控制器输入时钟, 分别控制行变换和列变换. IT_PE 的 4 个数据输入端口 D0—D3 控制如表 1 所示. 行变换的结果存储在 1DR0—15 这 16 个寄存器中, 列变换的结果存储 2DR0—3 这 4 个寄存器中. 表中的 $DCR_i(i=0, 1\cdots 15)$ 为直流分量寄存器, IHDT 的结果存储在这 16 个寄存器中, 即图 1 中的阴影部分的直流系数.

4 反量化器结构

4×4 亮度直流系数(仅帧内 16×16 预测模式)经过 4×4 IHDT 后 W_{QDY} 的反量化按式(5)、(6)进行, 其中 QP 表示量化参数, V 为固定系数矩阵^[1].

当 $QP \geq 12$ 时:

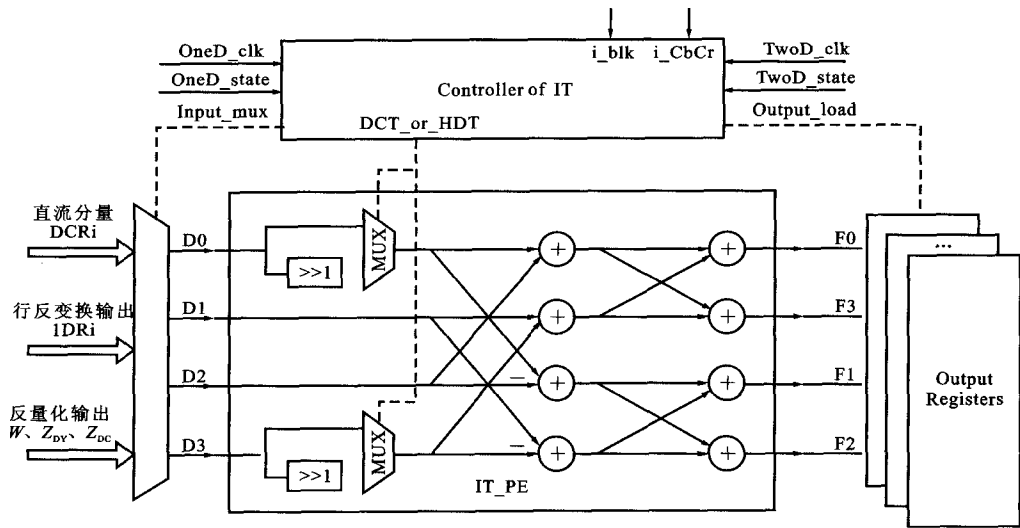


图 4 反变换单元 IT_PE 电路结构

表 1 IT_PE 的输入

变换类型	输入	一维行反变换 1D				一维列反变换 2D			
		cycle0	cycle1	cycle2	cycle3	cycle4	cycle5	cycle6	cycle7
IDCT	D0	DCR _i	$W_{(1,0)}$	$W_{(2,0)}$	$W_{(3,0)}$	1DR0	1DR1	1DR2	1DR3
	D1	$W_{(0,1)}$	$W_{(1,1)}$	$W_{(2,1)}$	$W_{(3,1)}$	1DR4	1DR5	1DR6	1DR7
	D2	$W_{(0,2)}$	$W_{(1,2)}$	$W_{(2,2)}$	$W_{(3,2)}$	1DR8	1DR9	1DR10	1DR11
	D3	$W_{(0,3)}$	$W_{(1,3)}$	$W_{(2,3)}$	$W_{(3,3)}$	1DR12	1DR13	1DR14	1DR15
4×4 IHDT	D0	$Z_{DY(0,0)}$	$Z_{DY(1,0)}$	$Z_{DY(2,0)}$	$Z_{DY(3,0)}$	1DR0	1DR1	1DR2	1DR3
	D1	$Z_{DY(0,1)}$	$Z_{DY(1,1)}$	$Z_{DY(2,1)}$	$Z_{DY(3,1)}$	1DR4	1DR5	1DR6	1DR7
	D2	$Z_{DY(0,2)}$	$Z_{DY(1,2)}$	$Z_{DY(2,2)}$	$Z_{DY(3,2)}$	1DR8	1DR9	1DR10	1DR11
	D3	$Z_{DY(0,3)}$	$Z_{DY(1,3)}$	$Z_{DY(2,3)}$	$Z_{DY(3,4)}$	1DR12	1DR13	1DR14	1DR15
2×2 IHDT	D0	$Z_{DC(0,0)}$							
	D1	$Z_{DC(0,0)}$							
	D2	$Z_{DC(0,0)}$							
	D3	$Z_{DC(0,0)}$							

$$W_{QD(i,j)} = W_{QDY(i,j)} V_{00} \ll (QP/6 - 2) \tag{5}$$

当 $QP < 12$ 时:

$$W_{QD(i,j)} = (W_{QDY(i,j)} V_{00} + 2^{1-QP/6}) \gg (2 - QP/6) \tag{6}$$

2×2 色度直流系数经过 2×2 IHDT 变换后得到 W_{QDC} 的反量化按下式进行:

$$W_{DC(i,j)} = \begin{cases} W_{QDC(i,j)} V_{00} \ll (QP/6 - 1) & QP \geq 6 \\ W_{QDC(i,j)} V_{00} \gg 1 & QP < 6 \end{cases} \tag{7}$$

2×2 亮度色度残差系数 Z 反量化按下式进行:

$$W_{(i,j)} = Z_{(i,j)} V_{(i,j)} \ll (QP/6) \tag{8}$$

其中 $i, j = 0, 1, 2, 3$, 表示矩阵元素的行列下标. 式 (5)~(8) 的运算过程相似, 可采用如图 5 所示的反量化单元 IQ_PE 完成上述三种不同形式的反量化运算. IQ_PE 的核心需要一个乘法器、一个加法器和两个移位器. 相乘的 $V(i, j)$ 系数和 add 由控制器生成. 反量化与反变换紧密联系, IT_PE 在一个周期内完成 4 个元素的一维变换, 为了与反变换速度一致形成流水线, 集成 4 个相同的 IQ_PE 单元在一个周期内完成 4 个元素的反量化.

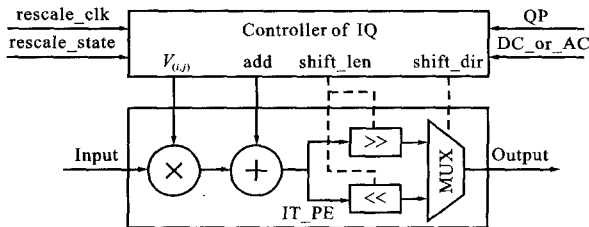


图 5 反量化单元 IQ_PE 电路结构

5 设计实现结果

根据上面硬件结构的描述, 本设计采用 Verilog 硬件描述语言实现, 并使用 ModelSim 进行功能仿真, 仿真结果与 JM 代码运行的结果一致, 说明本设计能够正确完成 H. 264/AVC 的反变换反量化过程. 以 Altera 公司的 Cyclone II EP2C35C8 FPGA 为目标器件, 使用 Quartus II 8.1 工具进行综合, 综合结果与其他设计的比较如表 2 所示.

结果表明本设计在面积上优于文献[2], 较小的面积意味着较小的功耗, 在速度上优于文献[2-3]的设计. 本设计处理一个 4×4 块需要 9 个周期, 处理 2×2 块需要 2 个周期, 因此处理一个宏块需要 $9 \times 25 + 2 \times 2 = 229$ 个周期, 吞吐率为 $16 \times 16 \times 1.5 \times 151.8 / 229 = 254.5$ M samples/s. 1080i HDTV 按照每秒

30 帧的数据量为 $1920 \times 1080 \times 1.5 \times 30 = 93.3$ M samples/s, 达到了 1080i 高清码流实时解码要求.

表 2 设计 IP 综合结果与比较

设计	文献[2]	文献[3]	文中
LUT 数量	3249	2022	2232
最高频率/MHz	132.5	95.6	151.8
处理 4×4 块/cycle	16	30	9

6 结束语

文中提出了功能完整的 H. 264/AVC 反变换反量化的设计, 可以作为 IP 核嵌入到 H. 264 硬件解码器中. 本设计提出了一种能处理 H. 264 三种不同的反变换的电路结构, 采用门控时钟控制反变换反量化过程, 通过芯片面积的减小和门控时钟关闭不必要的开关动作来降低功耗. FPGA 硬件实现结果表明本设计的吞吐率可以达到 254.5 M samples/s, 满足 1080i 高清码流实时解码的要求.

参考文献:

[1] ITU-T Rec. H. 264 and ISO/IEC 14496-10 AVC [S]. Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification.

[2] Agostini L, Porto M, Guntzel J L, et al. High throughput FPGA based architecture for H. 264/AVC inverse transforms and quantization[C]//Circuits and Systems, 2006. MWSCAS'06. 49th IEEE International Midwest Symposium on. Canada: Montreal, 2006:281-285.

[3] 赵爽, 王勇, 周晓方, 等. H. 264 反变换反量化器的硬件设计[J]. 微电子学与计算机, 2008, 25(1):144-148.

[4] Iain Richardson. H. 264/MPEG-4 Part 10: transform and quantization[EB/OL]. [2009-10-26]. <http://www.vcodex.com/>.

[5] 毕厚杰. 新一代视频压缩编码标准--H. 264/AVC[M]. 北京: 人民邮电出版社, 2005:227-230.

[6] Kordasiewicz R C, Shirani S. ASIC and FPGA implementations of H. 264 DCT and quantization blocks[C]//Image Processing, ICIP 2005. IEEE International Conference on. Italy: Genoa, 2005:1020-1023.

作者简介:

李进 男, 硕士研究生. 研究方向为 SOC 设计、视频处理芯片设计.

骆丽 女, 教授. 研究方向为 VLSI 设计与验证.