

一种多核处理系统通信机制的仿真模型

戴 鹏¹, 魏 来², 王明江¹, 王新安²

(1 哈尔滨工业大学深圳研究生院 电子与信息工程学院, 广东 深圳 518055;

2 北京大学深圳研究生院 信息工程学院, 广东 深圳 518055)

摘 要: 设计了一种多核处理系统通信机制的仿真模型, 采用面向对象的设计模式对多核处理系统的互连节点、处理单元进行抽象, 可快速搭建多核处理系统的硬件架构, 支持不同互联结构和数据传输方法的仿真验证. 测试结果表明, 提出的仿真模型可对多核处理器中互连节点的通信能力进行精确仿真, 可满足设计人员对多核处理系统硬件体系架构的性能评估需求, 大幅缩短设计时间.

关键词: 多核处理器; 数据通信; 互连节点; 仿真模型

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2012)06-0001-06

A Communication Mechanism Simulation Model for Multi-core System

DAI Peng¹, WEI Lai², WANG Ming-jiang¹, WANG Xin-an²

(1 School of Electronic and Information Engineering, Harbin Institute of Technology Shenzhen Graduate School,

Shenzhen 518055, China; 2 School of Computer and Information Engineering,

Peking University Shenzhen Graduate School, Shenzhen 518055, China)

Abstract: A communication mechanism simulation model is introduced which can quickly establish the hardware architecture for multi-core system by abstracting the processing units and interconnect points using the object-oriented design pattern, and evaluate the performance of different interconnection and data transmission mechanism. The test result shows that the model can accurately simulate the communication performance for interconnect points in multi-core system, which is helpful for the whole system performance evaluation and curtaining the hardware design cycle.

Key words: multi-core system; data communication; interconnection; simulation model

1 引言

多核处理器^[1-3]通过片上通信网络集成多个处理单元进行并行处理, 可以提供强大的计算能力和数据带宽, 其体系结构兼顾通用处理器的灵活性与定制架构的高效性, 在高密度信号处理的嵌入式应用领域具有广阔的发展前景.

多核处理器设计面临的关键问题之一是高效的片上通信架构设计^[2], 不同处理单元间通信的效率是影响多核处理器性能的重要指标. 当前, 多核处理器互联结构主要分为以下三种: 总线结构、交叉开关

及片上网络. 总线结构设计较为简单, 消耗硬件代价较小, 但对多核并行数据通信的支撑较弱; 交叉开关可支持较大的数据传递量, 但通信灵活度不高, 应用领域受限; 片上网络采用路由单元进行调度, 可提供强大的数据交换能力, 并兼顾通信灵活性, 但硬件代价较高^[4]. 因此, 在设计早期针对应用需求对多核处理器的通信架构进行性能评估^[5-7], 从而选择合适的数据传输结构是多核处理器设计不可或缺的步骤.

针对上述问题, 本文设计了一种多核处理系统的仿真模型, 采用面向对象的 C++ 语言设计, 通过设计模式^[8]对多核处理器中处理单元、互联模块等

各模块进行行为抽象,描述等接口定义、模块之间的继承关系及模块之间的交互情况,形成一个通用的多核处理系统通信架构平台,可快速搭建多核处理器的目标仿真模型,验证其通信架构的正确性和有效性,精确评估通信性能。

2 多核处理系统的仿真模型

基于多核处理系统在架构上的灵活性和复杂性,其通信结构仿真验证模型需满足几点要求:

- 多核处理系统的处理单元作为通信系统的数据收发者,可加载不同的流量产生算法,以仿真多核系统中实际数据通信情况。
- 仿真模型中互联单元可以支持不同的互联模式和数据交换方法。
- 互联单元可以对网络带宽延时等性能予以精确评估,可完成周期精确的性能仿真。

针对上述需求,本文提出了一个由互联单元、处理单元、系统整合单元组成的仿真框架(图1),整个多核处理系统抽象为多个处理单元通过标准接口与网络相连(图2),通过用户命令、数据输入界面和运行信息输出单元进行调试和结果观察。

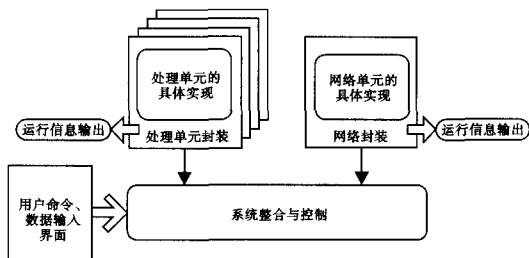


图1 仿真模型的总体框架

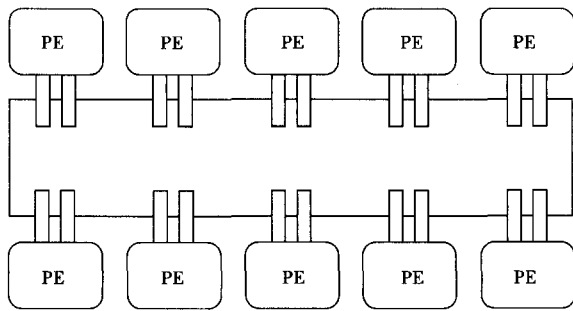


图2 多核处理系统的抽象架构

3 仿真模型各模块设计

3.1 处理单元

多核处理器的仿真模型中,处理单元主要负责:产生数据流量和处理数据。通过产生相应的数据流

量并送入互连网络接口中,实现对多核处理系统通信性能和网络带宽的仿真;而处理数据任务则是对处理单元所执行的指令系统进行仿真。因此,处理单元的仿真模型也包含了流量产生算法模块和指令集仿真器,如图3所示。

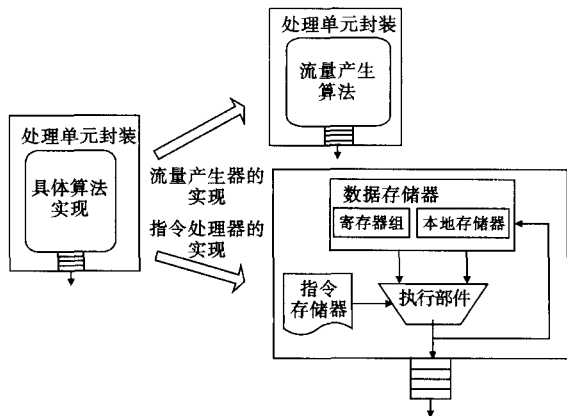


图3 处理单元结构图

流量产生算法模块通过以下函数按照一定的数据流强度向多核处理系统的互连网络发送数据:

$$P = P(T),$$

式中, T 是仿真时间, P 为任意可选择的概率函数,其功能是对给定的仿真时刻根据函数 P 的概率分布,决定其是否向互连网络发送数据包。

指令集仿真器用于对系统中需要执行指令的模块进行高层次的抽象。考虑到多核处理器中不同处理单元中可能对应不同的指令集,本文采用了将指令的执行与指令集分开设计的思路,如图4所示。

如图4所示,指令执行引擎通过查找指令集中操作码获得对应指令实例的指针。执行资源中包含了各条指令涉及到的操作功能部件,如寄存器、存储器、输入输出数据端口、互联模块等。仿真过程中,指令引擎依次读取指令文件,找到对应指令类的指针,将该指令涉及的执行资源暴露给该指令,调用该指令类的执行方法执行相应功能,例如读取数据,写回数据等,单条指令的执行工作流程如图5所示。

上述方法可将指令集,操作资源和引擎三部分分离开来,极大地方便了指令引擎的扩展和重用。

3.2 互联单元

互联单元定义了连接处理单元的通信网络行为。本文设计了允许多种网络互联模式的软件框架,网络单元只给出了接口函数和转发调度算法,接口函数分为输入和输出两类,每类又定义了寄存器级接口(RInputPort 和 ROutputPort)和直接传输接口(InputPort 和 OutputPort)。一个互联单元仅需定

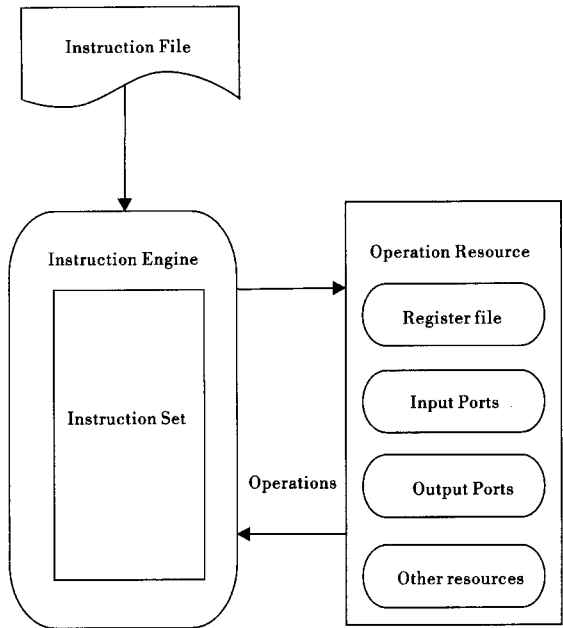


图 4 指令集引擎的架构

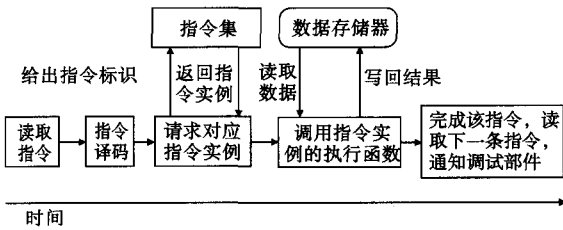


图 5 指令执行引擎的工作流程

义其接口函数的种类和数目,同时确定其转发调度算法,即可实现一个具体的网络单元的仿真模拟(图 6)。网络单元是时钟精确的,可准确地评估网络的带宽和时延信息。而多核处理器中通信网络的具体实现取决于调度算法怎样调度数据。

上述的接口函数中,寄存器级接口 RInputPort 和 ROutputPort 实现了寄存器类型的端口,它们可用于模拟硬件互联架构中的缓冲器。

在 RInputPort 中,函数定义了 old_value 和 new_value,用来实现仿真寄存器中新旧数值的可获得性,防止端口寄存器中保存的旧值在被新值覆盖后不可获得。图 7 中显示了 RInputPort 接收和读取的操作示意图,其中 time 用来区别何时获取新旧值;如果读取的时间和写入的时间相同,则返回旧值,如果读取的时间晚于写入的时间,则返回新值。

ROutputPort 只定义了 RInputPort 类型的输入,通过这种方法可将一个模块的输出接口函数和另一个模块的输入接口函数一一映射,实现从输出

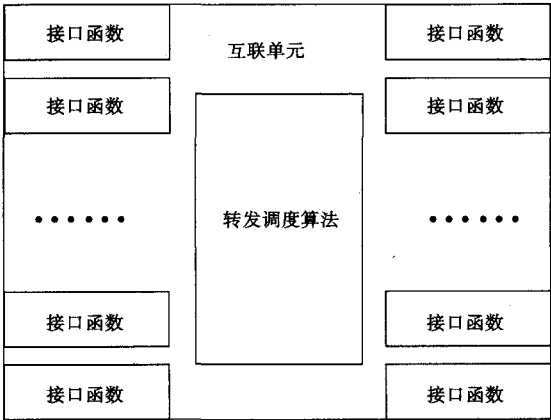


图 6 互联单元的架构

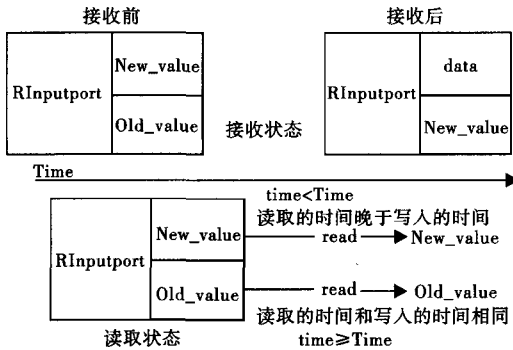


图 7 RInputPort 的操作示意图

端口和输入端口的连接以及发送数据的功能。

而在直接传输接口 InputPort 和 OutputPort 中增加了 ID 信息,用来识别同一个模块中的不同读端口或写端口。

在 InputPort 中,除了 old_value 和 new_value 外,还定义了 isRead 函数,用来区分先读后写和先写后读两种方式。与 RInputPort 不同的是,在 InputPort 中增加了函数 update,作用是将 old_value 替换为 new_value,因此其读写函数操作流程有所变化,如图 8 所示。

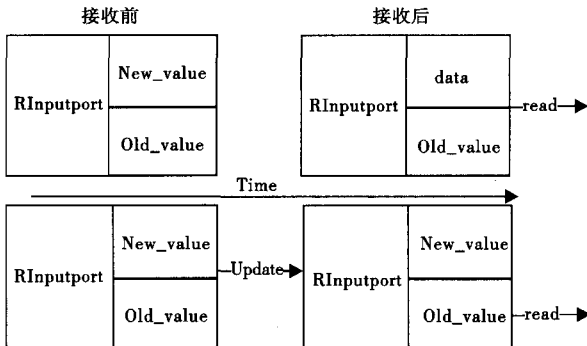


图 8 InputPort 的操作示意图

OutputPort 的操作与 ROutputPort 相似,在此不做赘述.

在数据的传输方面,仿真模型采用基于 Transaction 的传输方法. 互联单元仿真框架中专门定义了 Transaction 数据结构,除了包含传送的数据包定义之外,还包含其他与数据传输和系统运行有关的信息,以这种数据结构作为在通信网络中传输的基本数据格式. 另外还实现了一套统一的数据传输接口 API,处理单元和通信网络之间,互联模块之间的传输都使用该统一的数据传输接口 API 可大幅提升系统运行效率,提高整个仿真系统的规整度与开发效率. 见图 9.

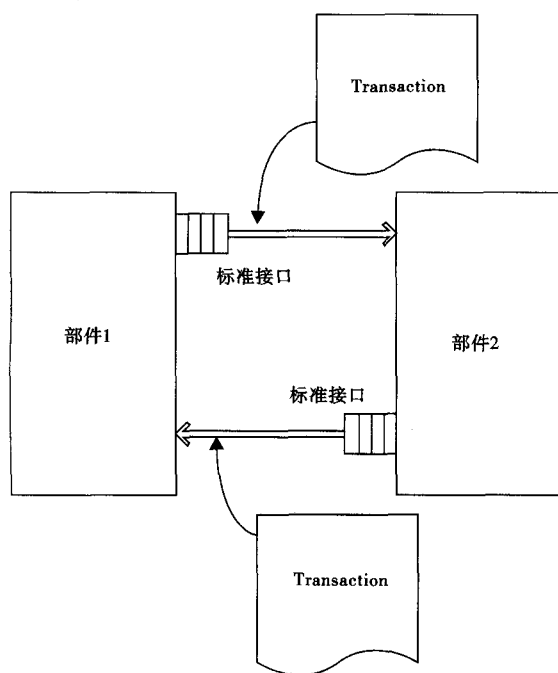


图 9 基于 Transaction 的数据传输

3.3 处理单元与互联网络的系统整合

由于仿真模型对多核处理系统进行了高层次的抽象,处理单元和互联单元都有基于 Transaction 的标准的 API 接口,只要实现了遵守这个框架接口的单元都可以根据配置信息通过系统整合单元自动联系在一起,从而形成一个多核系统.

系统整合单元是在程序运行初期将例化的处理单元和互联单元连接起来形成网络,并且驱动各个单元的时钟激励.

系统整合单元负责初始化系统,并在运行过程中对用户指令对系统进行管理,并输出系统的相关运行信息. 见图 10.

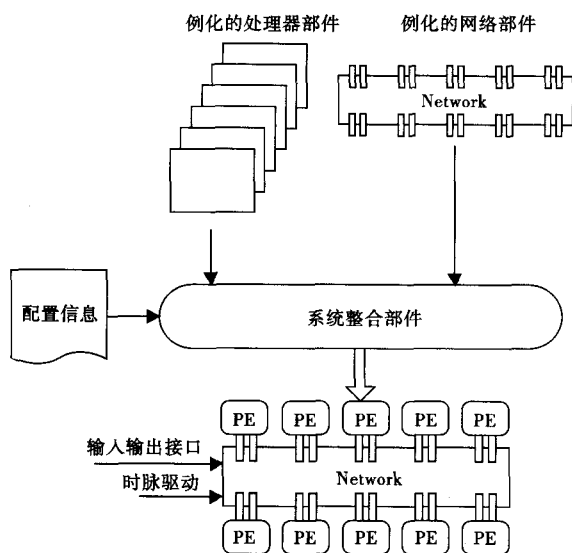


图 10 多核处理系统整合示意图

4 多核处理系统的仿真模型应用

由上文所述,通过定制互联单元中的转发调度算法,仿真模型可以实现不同的互连网络的建模及性能分析. 为验证仿真模型的功能,本文针对一个 4×4 的 Mesh 结构的多核处理系统进行了通信性能评估(图 11).

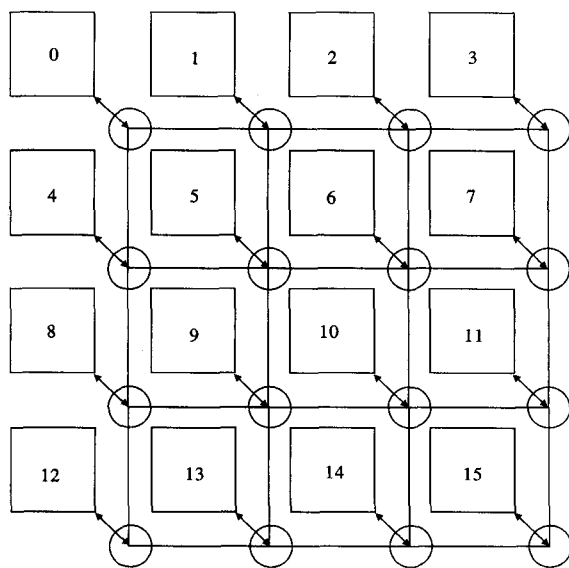


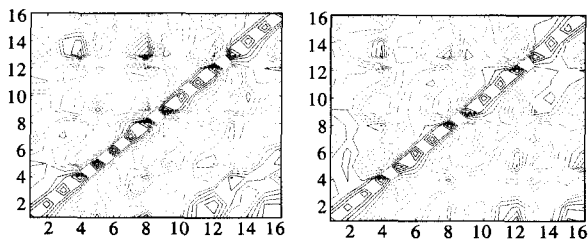
图 11 4×4 Mesh 结构多核处理器系统框图

被测多核处理系统采用经典的路由单元作为数据转发单元,路由单元有上下左右四个端口,每个端口都有数据 FIFO 用于缓存接收的数据包. 路由单元可以从上下左右四个方向获得数据. 每个时钟周

期路由单元都可以遍历各个输入端口,从中读取数据包,根据数据包中路由信息将该数据包转发输出端口,供下一个单元读取。

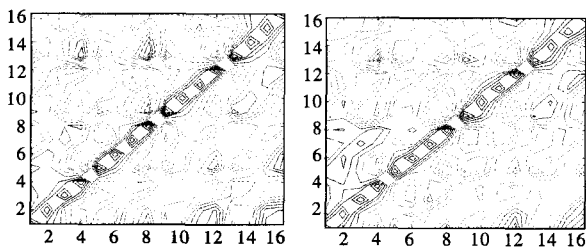
多核处理系统中每个处理单元被简化为数据包产生器,在每个时钟周期以一定的概率产生数据包发往一个目的地。目的地分为两种,一种是相邻的目的地,另一种是远程的目的地。在流量产生算法中以一个较高的概率(相邻概率 PN)产生发往相邻目的地的数据包,并且随机选择相邻地址中的一个作为数据包的目的地址。同样的,使用数据包平均时延来衡量网络的性能。

路由单元中 FIFO 是面积最大的功能部件,而 FIFO 深度对于路由单元的通信性能影响重大,所以硬件设计中在路由单元 FIFO 的面积和通信性能之间的权衡变得尤为重要。本文对路由单元中 FIFO 的深度与数据包从源地址到目的地址的时延关系进行了比对分析。在算法的实现中保证了并行操作的对称性,即所有的数值计算操作都是在 16 个核上同时展开的。这样我们以 0 号核为参考点,测算了在运算过程中数据包到其他几个核的平均时延与转发器 FIFO 深度的关系。其中,流量产生算法采用的是高斯分布算法,得到结果如图 12 所示。



(a)FIFO 深度为 4

(b)FIFO 深度为 8



(c)FIFO 深度为 16

(d)FIFO 深度为 32

图 12 处理单元间数据延时分析图

图 12 可以看出,数据包延时随着 FIFO 深度增加而减少。本文对上述结果进行了进一步数值分析(图 13);当 FIFO 深度为 1 时(即为寄存器),多核处理器的网络时延非常大。当 FIFO 深度大于 4 后,其

深度变化对于时延的影响不是特别敏感。主要原因在于选用的高斯分布算法在实现中数据在不同处理单元间的交换强度不是很大,且数据传递距离较短,因此对路由单元数据传递的压力不大。

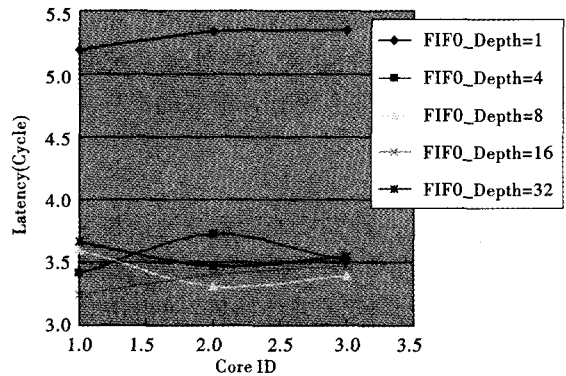
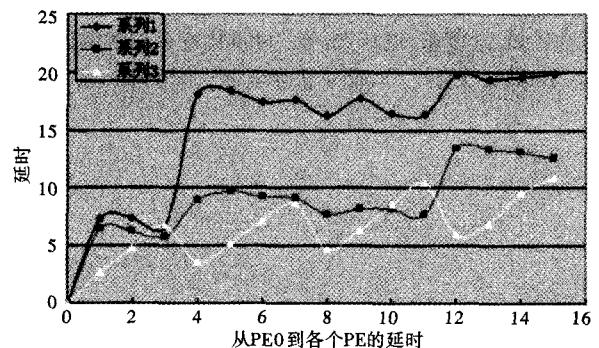
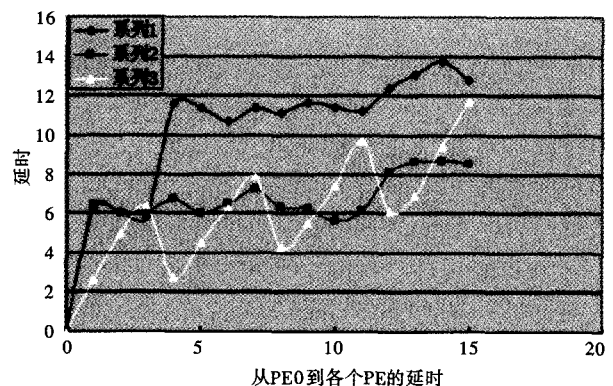


图 13 数据包传递时延与 FIFO 深度的关系

在仿真过程中,设定流量参数 $PN=0.3$ 代表十条指令中将有三条指令会产生数据流量。本文对两个典型的相邻概率 $PN=0.6$ 及 $PN=0.8$ 在不同 FIFO 深度下进行了仿真。仿真结果以第 0 号处理单元为参考点,结果如图 14、15 所示。

图 14 $PN=0.6$ 时从节点 0 到各个节点的数据传输时延,系列 1-3 分别代表 FIFO 深度为: 4、8、16图 15 $PN=0.8$ 时从节点 0 到各个节点的数据传输时延,系列 1-3 分别代表 FIFO 深度为:4、8、16

图中显示,随着 FIFO 深度增加总的数据传输延时减小趋势不变.当相邻概率较大时,数据集中在本地传输,会导致相邻的簇之间的传输延时较大,而远程传递产生的延时不是很明显.

上述仿真分析对研究 Mesh 结构下路由通信网络的性能有着重要价值,对多核处理系统路由算法设计及通信网络硬件实现有着重要的指导意义.

5 结束语

本文提出了一种多核处理系统通信机制的仿真验证模型.在处理单元、互联单元及系统整合方面采用面向对象的设计模式进行抽象,使得仿真模型可支持快速多核处理系统互连网络结构建模,保证了框架的灵活性.仿真结果表明,仿真模型可满足对多核处理系统的通信性能评估的需求,缩短硬件开发时间.

参考文献:

- [1] Khailany B, Dally W J, Kapasi U J, et al. Imagine media processing with streams [J]. IEEE Micro, 2001, 21(2): 35-46.
- [2] 戴鹏,雍珊珊,王新安,等. 可重构视频编解码处理器 ReMAP 设计[J]. 北京大学学报:自然科学版,2011, 47(3):418-427.
- [3] Dai Peng, Wang Xin'an, Zhang Xing. Implementation of H.264 algorithm on reconfigurable processor[C]// PrimeAsia 2009. Shanghai: IEEE Press, 2009: 237-240.
- [4] Kister M, Perrone M, Petrini F. CELL multiprocessor communication network: built for speed [J]. IEEE Micro, 2006, 26(3):10-23.
- [5] 吴家铸,田系,刘继福,等. 计算高度密集型应用在异构多核 DSP 上的运行方法研究[J]. 微电子学与计算机, 2011, 28(5): 45-47.
- [6] 戴鹏,魏来,辛灵轩,等. ReSim: 一个面向可重构处理器的仿真平台[J]. 北京大学学报:自然科学版, 2011, 47(2): 231-237.
- [7] Austin T, Larson E, Ernst D. SimpleScalar: an infrastructure for computer system modeling [J]. Computer, 2002, 35(2): 59-67.
- [8] Gamma E, Helm R, Johnson R, et al. 设计模式: 可复用面向对象软件的基础[M]. 北京: 机械工业出版社, 2000: 25-26.

作者简介:

戴鹏男,(1983—),博士后.研究方向为微处理器体系结构设计、SOC 体系结构设计等.