

6 GHz 新型高速低功耗分频器

左红建, 郭 阳, 马 卓

(国防科技大学 计算机学院, 湖南 长沙 410073)

摘 要: 高速数字分频器在基于锁相环的时钟产生电路中具有广泛的应用. 在典型 D 触发器的基础上, 文中提出了一种可响应 6GHz 输入时钟的改进型二分频结构, 并实现了 2~256 连续分频的新型吞脉冲多模分频器. 新型分频器结构简单并且不需要双模预分频单元, 功耗和面积开销大幅度的降低. 基于 65nm CMOS 工艺设计实现了该高速分频器, 版图后仿真结果表明, 分频器功能正确, 且工作于 6GHz 时功耗不大于 1.3mW.

关键词: 多模分频器; 低功耗; 高速数字电路; 65nm CMOS 工艺

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2011)11-0001-04

6 GHz Novel High-Speed Low-Power Frequency Divider

ZUO Hong-jian, GUO Yang, MA Zhuo

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: High speed frequency divider is widely used in PLL-based frequency synthesizers. A configurable pulse-swallow divider with the range from 2 to 256 is presented in this article. The divider based on an improved divided-by-2 architecture without any conventional dual-modulus prescaler is designed to reduce power consumption and chip area. Implemented in 65nm CMOS process, post-layout simulation results show that the divider can work as high as 6GHz stably while the max power dissipation is no greater than 1.3mW.

Key words: multi-modulus frequency divider; low power; high speed digital circuit; 65nm CMOS

1 引言

基于锁相环的时钟产生电路被广泛的应用于微处理器和通信系统中, 而其中的数字分频器直接受振荡器输出的高频时钟驱动, 处于最高频时钟域, 其性能对时钟系统的整体性能有决定性的作用^[1]. 此外, 随着输出时钟频率的不断攀升, 分频器消耗的功耗也不断的增加, 降低分频器部分的功耗已成为当今便携式电子产品设计所面临的重大挑战之一^[2].

一般而言, 分频器基本上可以三类: 基于 D 触发器的分频器、注入锁定分频器、可重构分频器. 注入锁定分频器可以响应很高的频率范围(从几 GHz 到几十 GHz), 功耗也比较低, 但其工作频率范围较窄; 可重构分频器虽然可以实现很高的输入频率范围, 但是其电路中会大量的应用无源器件, 增加了版

图的面积和复杂性; 而基于 D 触发器的多模分频器结构简单, 工作频率范围较宽, 被广泛应用于时钟频率小于 20GHz 的锁相环频率合成器中^[3].

文中提出了一种基于典型 D 触发器的改进型二分频单元, 并在此基础上构建了一种新型可编程分频器. 在响应较高频率的前提下, 该分频器结构可以大幅度的降低功耗和面积开销.

2 改进型二分频单元

基本 D 触发器的反相输出 QN 连接到其输入 D 就可构成一个简单的二分频电路, 一种伪静态 D 触发器结构如图 1 所示. 信号从 D 到 QN 的传播需要经过三级反相器和两级传输门延迟, 这些延迟限制了分频单元的工作频率. 针对图 1 电路存在的问题, 文中提出了一种上升沿触发的改进型二分频单

元结构,如图 2 所示.为了提高其对输入时钟的响应频率和实现分频模数的变化,采取了一系列的改进措施.

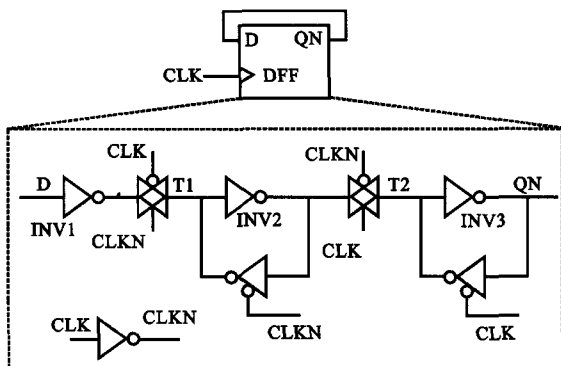


图 1 典型的 D 触发器及其组成二分频单元

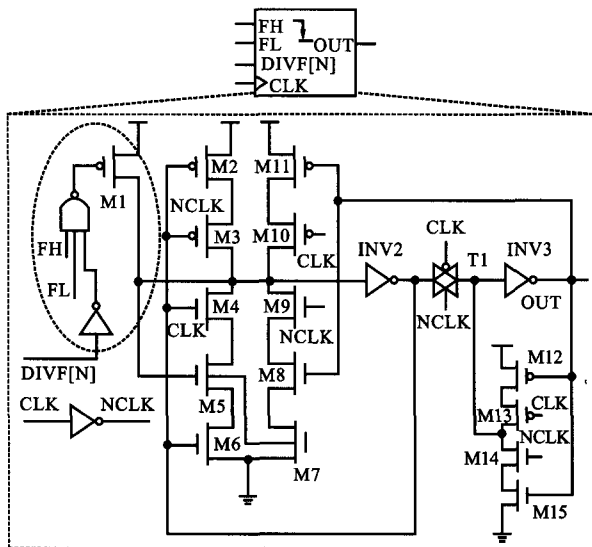


图 2 改进型的 D 触发器组成的二分频单元

首先,减小输出跳变环路的关键路径长度.从图 1 中可以看出,在时钟的上升沿,传输门 T2 打开, QN 发生跳变.输出信号的跳变需要经过 INV3→INV1→T1→INV2→T2 链路的传输,总的延时为

$$t_d = t_{d\text{INV1}} + t_{d\text{T1}} + t_{d\text{INV2}} + t_{d\text{T2}} + t_{d\text{INV3}} \quad (1)$$

要使二分频单元正常工作,总延时必须小于输入信号的周期.传输门的延时在很大程度上限制了分频器输入频率的上限,用 M7、M8、M9、M10、M11 组成的 C2MOS 反相器代替静态的 INV1 可以省去传输门 T1.这样,减小了关键路径上的传播延时,提升了二分频单元的最大工作频率.

其次,优化关键路径上逻辑门的尺寸. INV3 为二分频单元的输出级,为了能使其驱动较大的负载, INV3 的尺寸会比较大,逐级增加由 M7 至 M11 组成的 INV1、INV2 和 INV3 的尺寸可以减小关键路径上的传播延时,增加二分频单元可以响应的最大

时钟频率.

最后,在 D 触发器的基础上,增加图 2 中椭圆框中的逻辑电路使基本的二分频单元实现可编程.当 DIVF[N] 为 0 时,反馈信号 FH 和 FL 可以使 M1 管导通时, INV2 的输入始终为高电平,这时,输出 OUT 不发生变化,从而改变二分频单元的分频模数,实现多模分频.

3 新型多模分频器

3.1 典型 DFF 分频器分析

基于 D 触发器的多模分频器可以分为两类:第一类是基于双模分频器的吞脉冲分频器^[4];另一类是基于双模分频器级联组成的多模分频器^[5].基于双模分频器的吞脉冲分频器如图 3 所示,它需要把预分频后的信号送给两个吞脉冲计数器,这样的工作方式会影响了分频器的工作速度.

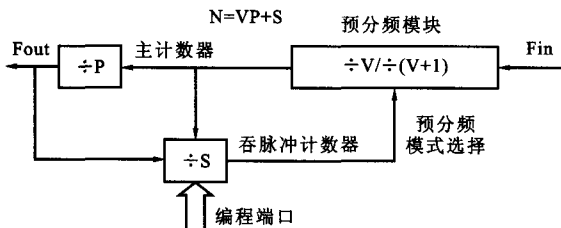


图 3 基于双模分频器的吞脉冲分频器

基于双模分频器级联组成的多模分频器如图 4 所示,它的可编程部分一般由基本的模 2/3 分频单元组成,每个模 2/3 分频单元包含 4 个 D 触发器和 3 个与门,若要实现 N 位可编程,至少需要 4N 个 D 触发器;这样的实现方式会大大增加电路的面积和功耗;此外,在不增加扩展电路的前提下,这种分频器的分频系数只能在 $2^N \sim 2^{N+1} - 1$ 之间取值.

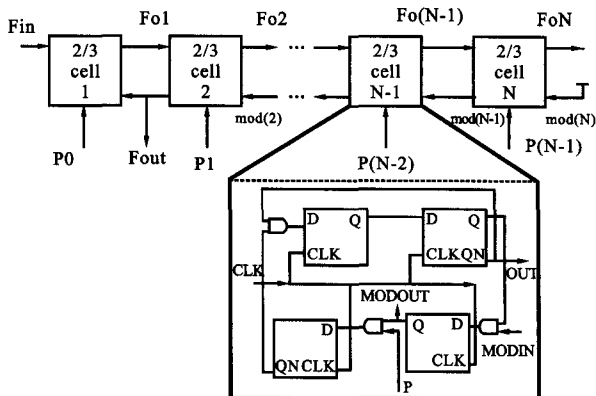


图 4 基于双模分频器的级联分频器和 4D 分频单元

为了能在提高分频器工作速度的同时降低功耗,这两类分频器都需要先把输入信号经过能响应高频信号的双模预分频电路,再经过功耗相对于预

分频电路来说较低的分频单元。预分频模块一般由电流模式逻辑(CML)触发器^[6]或是伪差分触发器构成,不管输入为何种状态,这两种触发器总存在静态电流,因而这两类分频器会消耗相当大的功耗。

3.2 新型 DFF 分频器的电路设计

新型分频器是对典型的两类基于 D 触发器结构的分频器的一种改进。首先,最大程度的挖掘了标准 D 触发器在时钟频率响应上的潜力,通过对典型的 D 触发器进行优化,提出了一种可响应高达 6GHz 时钟的二分频单元,在上述频率范围内可以直接响应输入时钟信号,不再需要消耗较大功耗的

预分频单元,且二分频单元完全由 CMOS 结构组成,只在开关过程中消耗功耗,故新型分频器可以降低功耗。其次,在改进型二分频单元中增加了一个控制管(图 2 中的 M1),控制管的引入可以避免使用基于 4D 结构的基本分频单元(如图 4 所示)或是电路结构复杂的吞脉冲计数器,减小了面积的同时降低了功耗。

新型分频器如图 5 所示。它可以实现 2~256 之间任意数值的分频,分频系数为 $DIVF[7] \cdots DIVF[0]$ 所表示的数值,通过级联,它的分频系数还可以取更大的数值。

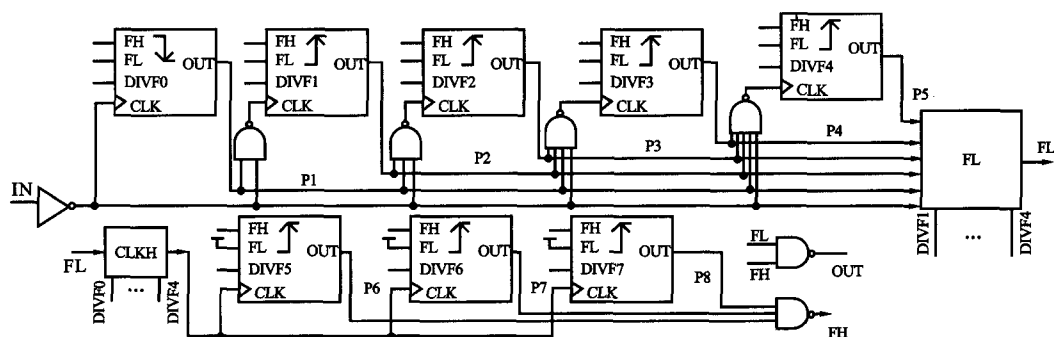


图 5 新型分频器结构图

新型分频器可以分为两个部分:高位分频单元和低位分频单元,高位分频单元即分频模式受可编程控制端口的高位部分控制,低位分频单元以此类推。采用与非门作为“取沿”电路,使所有的基本分频单元响应的都时钟的跳变沿。

取 P1P2P3P4P5 值为 01111,并以此作为低位部分的计数起点,FL 模块的功能是当低位分频单元的输出为 01111 时,产生一个高电平信号使低位部分单元复位。FL 部分频繁跳变消耗的功耗大约与基本分频单元消耗的功耗相当,为了降低功耗,在电路的实现上采用了降低开关活动性的设计方法:

(1) FL 的逻辑实现方式有链形和树形两种拓扑结构,由文献[7]知,采用链式结构可以有效的降低开关活动性;

(2) 输入排序,P1 的跳变率最高,将其安排在最靠近输出的位置,有利于降低 FL 单元的开关活动性。

图 6 为 FL 模块的一种电路实现。图 7 是高位时钟产生单元的电路。若 $DIVF0$ 至 $DIVF4$ 全为 0 且 $P6P7P8$ 为 111 时,FH 输出高电平;此时,M1 至 M6 组成的两级反相器正常工作,FL 的高电平信号除了传递到 CLKH 外,还会通过图 7 中箭头所示的路径产生一个短暂的高电平,使高位部分各基本分

频单元输出复位,重新开始计数。

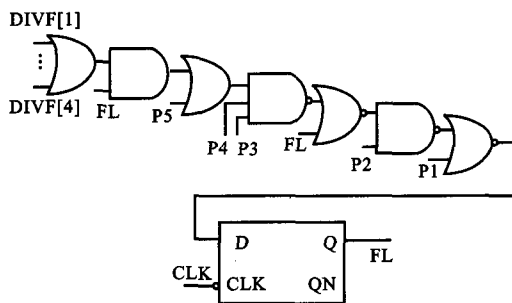


图 6 FL 产生单元

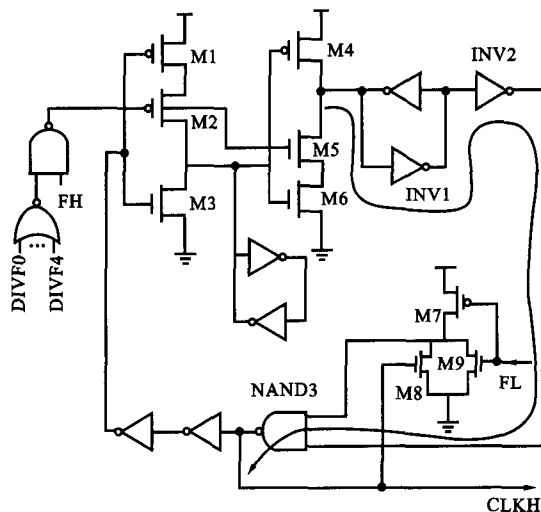


图 7 CLKH 产生单元

文中基于 65nm CMOS 工艺设计了新型分频器的版图,如图 8 所示.版图面积约为 $36\mu\text{m}\times 20\mu\text{m}$.

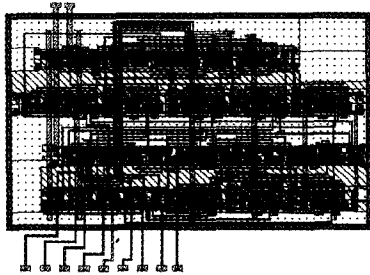


图 8 新型分频器版图

4 仿真结果

采用 Hspice 对新型分频器进行版图后仿真,结果表明,当分频器的输入电压为 1.2V,频率为 6GHz 时,它可实现 2~256 连续分频.图 9 给出了分频器分频系数为 2 和 256 时输入输出波形.

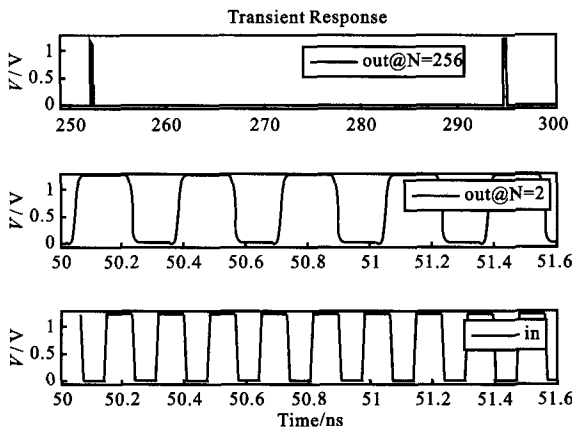


图 9 6GHz 时输入输出波形

从其结构可以看出,分频器的输入频率越高,每个二分频单元的开关活动性越强,消耗的功耗越大.因而对于输入信号小于 6GHz 时,功耗的最大值在 6GHz 时取得.图 10 给出了输入信号为 6GHz 时分频器消耗的功耗随分频系数的变化关系.当 $N=2$ 时,只有第一级二分频单元输出发生跳变,分频器消耗的功耗应最小,但是从图 10 中可以看出此时消耗的功耗约是其他分频系数时的二倍,这是因为 $N=2$ 时,FL 信号频繁的跳变,导致 FL 模块消耗的功耗显著增加,其消耗的功耗与基本分频单元消耗的功耗不相上下.表 1 比较了近年来报道的一些分频器和本文分频器的性能,从表中可以看出,新型分频器在速度,功耗,分频范围方面具有显著的优势.

5 结束语

文中提出了一种改进型的二分频电路,并在此

基础上构建了一种新型的可编程分频器.相对于传统的基于 D 触发器结构的多模分频器而言,该设计可以在响应高频时钟的前提下显著的降低了电路的功耗和面积开销,可被应用于高速、低功耗、宽分频范围的时钟产生电路中.

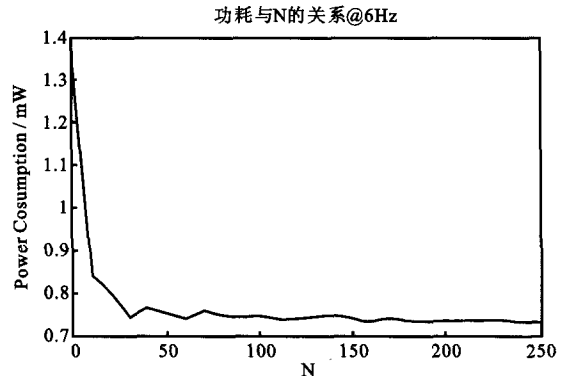


图 10 功耗随分频系数的变化曲线

表 1 分频器性能比较

结构	工艺 /nm	f_{max} /GHz	面积 /mm ²	VDD /V	功耗 /mW	分频范围
文献[7]	90	4.7	0.083	1.2	2.76	64~127
文献[8]	90	3.5	0.02	1.0	4.5	24~27
文献[9]	180	5.8	0.285	1.8	3.6	257~294
文中	65	6	0.00072	1.2	1.3	2~256

参考文献:

[1] Hung C M, Kenneth K O. Fully integrated 1.5-v 5.5-GHz CMOS phase-locked loop[J]. IEEE Journal of Solid-State Circuits, 2002, 37(4): 521-525.

[2] Jin J, Yu X P, Zhou J J, et al. Gigahertz range injection locked frequency dividers with band-width enhancement and supply rejection [J]. Electronics Letters, 2008, 17(44): 999-1000.

[3] Shu Haiyong, Li Zhiqun. A 5-GHz programmable frequency divider in 0.18-um CMOS technology[J]. Chinese Journal of Semiconductors, 2010, 31(5): 055004.

[4] Angel M, Navarro J, Wilhelmus V N. A 3.5 mW programmable high speed frequency divider for a 2.4 GHz CMOS Frequency Synthesizer[C]// IEEE 18th Symposium Integrated Circuits and Systems Design. Brazil, 2005: 144-148.

[5] Mark Ray, William Souder, Marcus Ratcliff. A 13GHz low power multi-modulus divider implemented in 0.13um SiGe Technology[C]// IEEE Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. San Diego, 2009.

(下转第 9 页)

木马检测方法. 针对 FPGA 实现的 DES 密码芯片中硬件木马检测实验验证了该方法的有效性.

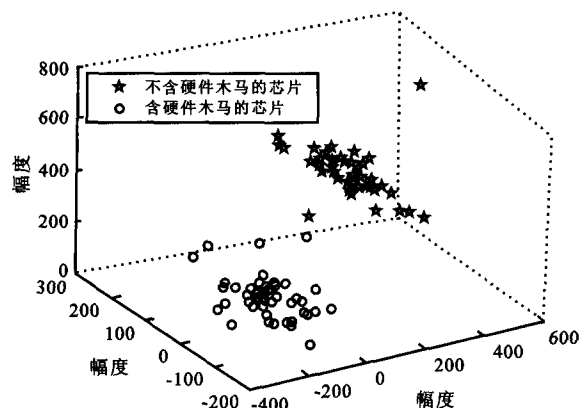


图7 不含硬件木马和含硬件木马的密码芯片旁路信号主成份分析结果对比

参考文献:

- [1] King S T, Tucek J, Cozzie A, et al. Designing and implementing malicious hardware[C]// Proceedings of the 1st USENIX Workshop on Large-Scale Exploits and Emergent Threats (LEET). San Francisco, 2008:1-8.
- [2] Soden J, Anderson R, Henderson C. IC failure analysis tools and techniques - magic, mystery, and science [C]// International Test Conference, Lecture Series II, Practical Aspects of IC Diagnosis and Failure Analysis;

A Walk through the Process. Washington, 1996:1-11.

- [3] Wang X, Tehranipour M, Plusquellic J. Detecting malicious inclusions in secure hardware: challenges and solutions[C]// 1st IEEE International Workshop on Hardware-Oriented Security and Trust (HOST). USA: California, 2008:15-19.
- [4] 邓高明, 赵强, 张鹏, 等. 针对密码芯片的电磁频域模板分析攻击[J]. 计算机学报, 2009, 32(4):602-610.
- [5] 张鹏, 邓高明, 赵强, 等. 基于 Cache 行为的旁路攻击[J]. 计算机工程, 2008, 34(21):20-22.
- [6] 邓高明, 赵强, 张鹏, 等. 基于 AES 算法的 Cache Hit 旁路攻击[J]. 计算机工程, 2008, 34(13):113-114.
- [7] 胡广书. 数字信号处理——理论、算法与实现[M]. 2版. 北京:清华大学出版社, 2003.
- [8] Alex Clark Baumgarten. Preventing integrated circuit piracy using reconfigurable logic barriers[D]. Ames, Iowa, Iowa State University, 2009.

作者简介:

赵崇征 男, (1977-), 博士研究生. 研究方向为银行卡防欺诈研究、基于旁路攻击理论的攻击与防御研究.

邓高明 男, (1983-), 博士研究生. 研究方向为电磁信息检测与主动防护技术等.

赵强 男, (1945-), 教授, 博士生导师. 研究方向为信息安全等.

(上接第4页)

- [6] 兰晓明, 颜峻, 马何平, 等. 一种宽频压控振荡器及高速双模预分频器的设计与实现[J]. 微电子学与计算机, 2010, 27(3): 45-48.
- [7] Ali M, Hegazi E. A multigigahertz multimodulus frequency divider in 90-nm CMOS[J]. IEEE Transaction on Circuits Systems II, Express Briefs, 2006, 53(12): 1333-1337.
- [8] Barale F, Sen P, Sarkar S, et al. Programmable frequency-divider for millimeter-wave PLL frequency synthesizers [C]// 38th European Microwave Conference. Amsterdam, 2008:460-463.

- [9] Kuo Y F, Wen R M. A dynamic-logic frequency divider for 5-GHz WLAN frequency synthesizer [C]// 17th International conference. Radioelektronika, 2007.

作者简介:

左红建 男, (1986-), 硕士研究生. 研究方向为数模混合集成电路设计.

郭阳 男, (1971-), 研究员. 研究方为超大规模集成电路设计与验证技术.

马卓 男, (1980-), 助理研究员. 研究方向为高性能模拟集成电路设计.