

一种 VLSI 设计到赋权超图的转换系统

冷 明^{1,2}, 孙凌宇¹, 郭恺强¹, 朱 平¹

(1 井冈山大学 计算机科学系, 江西 吉安 343009; 2 清华大学 计算机科学与技术系, 北京 100084)

摘 要: 本文基于 VLSI 划分问题的需要, 提出了一种 VLSI 设计到赋权超图转换算法. 该算法解决的关键问题是, 它读取和遍历 Verilog 语言描述的树状结构 VLSI 设计, 将其转换为赋权超图并存储为指定的文件存储格式, 从而有效地将 VLSI 划分问题转换为超图划分优化问题. 进而, 本文给出了 VLSI 设计到赋权超图的转换系统(VLSI/Hypergraph Converter, VHC)的处理流程图, 并在 Windows 平台下用 C++ 设计实现了 VHC 系统. 实验及分析表明, 该系统能正确地将 Verilog 语言描述的门级 CPU 测试用例转换为赋权超图, 避免了直接在 VLSI 线网上进行划分, 提高了 VLSI 划分的效率.

关键词: VLSI 设计; VLSI 线网; 赋权超图; 转换

中图分类号: TP391

文献标识码: A

文章编号: 1000-7180(2012)02-0007-06

An Effective Converter to Translate VLSI Design into Hypergraph

LENG Ming^{1,2}, SUN Ling-yu¹, GUO Kai-qiang¹, ZHU Ping¹

(1 Department of Computer Science, Jinggangshan University, Ji'an 343009, China;

2 Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

Abstract: We propose an effective algorithm for converting VLSI design into weighted hypergraph which converts the VLSI partitioning problem into the hypergraph partitioning problem. The algorithm reads and traverses the hierarchical VLSI design of verilog language, converts the VLSI design into the compressed storage format (CSF) of hypergraph and saves as file storage format (FSF) of hypergraph. Furthermore, a VLSI/Hypergraph Converter (VHC) is proposed and implemented for VLSI partitioning problem. The VHC's flow diagram is also presented. Finally, the experiment and analysis show that the VHC can rightly convert the case of gate CPU into FSF of hypergraph and its objective is to improve the efficiency of VLSI partitioner by avoiding partitioning the netlist of VLSI directly.

Key words: VLSI design; VLSI netlist; weighted hypergraph; conversion

1 引言

随着 VLSI 设计的复杂度提高, 传统的 VLSI 设计方法和相关算法不能满足高性能设计需求. VLSI 划分是将整个 VLSI 设计按照特定的约束条件划分为规模较小的多个子电路, 使被划分的子电路面积(或规模)相当, 但各子电路间的互连线数目最少^[1-2]. 电路划分主要用在 VLSI 设计中的设计封装(Design Packaging)、综合(Synthesis)、设计优化

(Design Optimization)、FPGA 划分(FPGA Partitioning)、模拟和测试(Simulation and Test)等场合中, 是集成电路设计的关键一步, 可有效地降低 VLSI 设计的复杂度, 提高 VLSI 设计的能力和性能^[3-4].

为了将电路单元划分到电路子集上, 必须从图论和组合理论的角度来建立 VLSI 划分问题的数学模型, 将 VLSI 划分问题转换为图划分优化问题^[4]. Lengauer 首次提出用带权值的无向图描述电路^[5].

收稿日期: 2011-05-10; 修回日期: 2011-07-18

基金项目: 国家自然科学基金项目(61063007, 61163062, 61106030); 江西省自然科学基金项目(2009GQS0060); 江西省教育厅科学技术研究项目(GJJ10201, GJJ09590)

文献[6]中给出了交点图、有向图等数学模型建立电路构造图的过程. 文献[7-8]中给出了 ISPD98 电路网表、VLSI 设计到无向赋权图的转换算法或系统, 目的在于将电路划分问题转换为无向赋权图划分优化问题.

本文讨论了采用赋权超图来构造 VLSI 划分的数学模型, 将电路单元表示为超图中的结点, 电路单元间的连线表示为超图中的超边; 本文以某电路用例及对应的超图为例, 阐述了电路构造图、超图的压缩存储格式和文件存储格式; 设计实现了一种 VLSI 设计到赋权超图转换系统 (VLSI/Hypergraph Converter, VHC), VHC 系统输入的是用硬件描述语言描述的 VLSI 设计文件, 经过相应的编译器生成中间代码, 然后构造 VLSI 设计对应的线网, 再针对树状结构的 VLSI 线网, 遍历并转换为赋权超图, 按指定的超图文件格式存储; 最后, 本文选用 Verilog 语言树状结构描述的门级 CPU 为测试用例, 借助 VHC 系统转化得到的赋权超图, 通过了 hMeTiS 超图优化划分软件包的检测^[9], 从而验证 VLSI 设计到赋权超图转换算法的有效性.

2 层次式 VLSI 设计的构造赋权超图

目前层次式设计方法 (Hierarchical Design) 在 VLSI 设计中广泛采用. 它的基本策略是利用层次性, 将一个系统划分成若干子系统, 然后子系统可以再分解成更小的子系统, 重复这一过程, 直至子系统的复杂性达到了在细节上可以理解 and 独立设计的程度^[8]. 子系统设计完成后, 将各子系统拼接在一起完成整个系统的设计, 以减少 VLSI 设计的复杂性. 通常 VLSI 设计采用硬件描述语言进行电路的逻辑设计, 目前主流的硬件描述语言是已经标准化为 IEEE1364-2001 的 Verilog 语言^[8]. 它是一种在广泛的抽象层次设计说明数字系统的硬件描述语言, 允许层次式设计, 加速了 VLSI 设计进程.

图 1(a) 所示为一个含七个电路单元和八个信号的电路图^[7]. 图 1(b) 所示为采用无向赋权图表示的电路构造图^[7]. 图 1(c) 所示为采用赋权超图表示的电路构造图. 图 1(a) 中电路单元表示为图 1(b)、图 1(c) 中各结点, 结点的权值代表元件的大小. 图 1(a) 中电路单元间的信号连线表示为图 1(b) 中的无向边、图 1(c) 中的超边, 图 1(b) 中边的权值代表电路单元间信号连线的权值, 图 1(c) 超边的权值代表电路单元间信号的权值. 相比无向赋权图而言, 赋权超图为 VLSI 划分提供了更为精确的模型, 从

而提高了 VLSI 划分的准确性和执行效率, 即每条超边可以连接两个以上的结点, 对应于电路单元间的连线可以连接两个以上的电路单元.

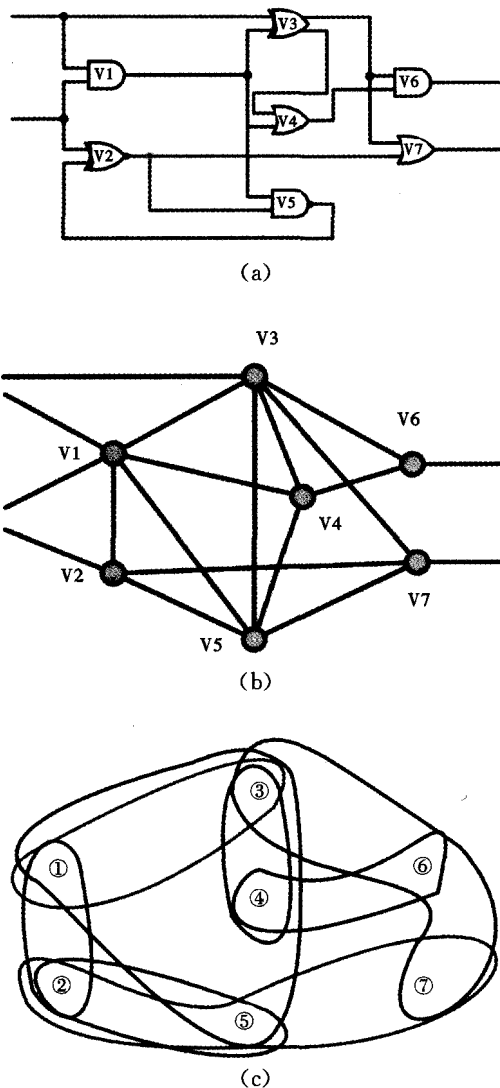


图 1 采用无向赋权图和赋权超图构造电路数学模型的对比图

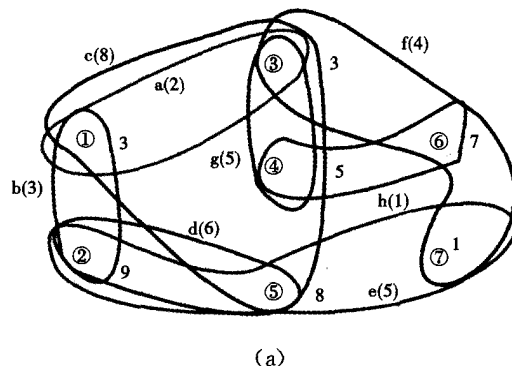
3 超图的物理存储格式

数据的物理存储结构, 作为数据逻辑结构的物理存储方式, 应根据问题所要求的响应速度、处理时间、修改时间、存储空间和单位时间的处理量等在内存中建立起数据存储映像^[8]. 超图 $H=(V, E^h)$ 在不同的物理存储结构下会产生不同的算法时间复杂度和空间复杂度, 因此超图的划分算法通常采取的是压缩存储格式 (Compressed storage format, CSF)^[10]. 对于图 1 中电路, 将其对应的超图采用 CSF 格式进行存储, 如图 2 所示. 该存储格式最大的特征就是没有使用指针链表, 从而避免了邻接关

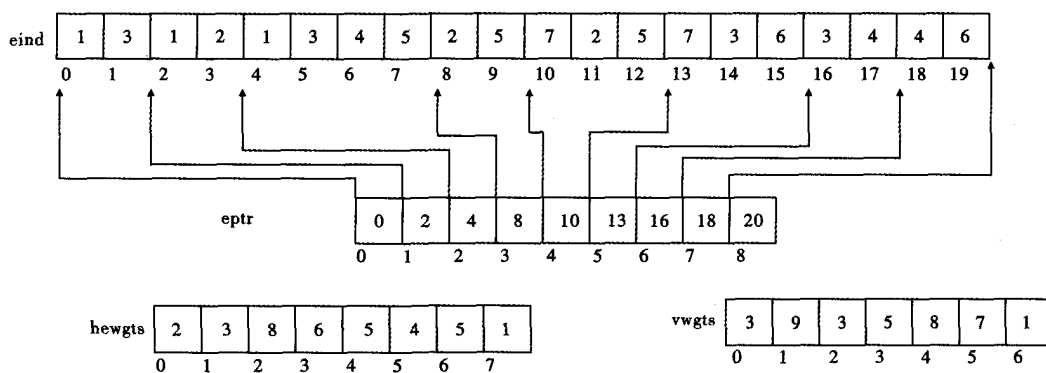
系的检索和繁杂的维护工作,有效地减少了空间,结构简单。

CSF 存储格式使用数组 $eptr$ 存储每条超边对应邻接结点列表的起始位置信息;使用数组 $eind$ 存储每条超边的邻接结点信息^[10]。假设数组地址从零开始,结点编号从零开始,则第 i 条超边的邻接结点列表存储在数组 $eind$ 中,位置从 $eptr[i]$ 开始,到 $eptr[i+1]-1$ 结束,即从数组 $eind[eptr[i]]$ 到 $eind[eptr[i+1]-1]$ 。例如,图 2(a)中包含 7 个结点和 8 条超边,图 2(b)中数组 $eind$ 存储每条超边的邻接结点信息,且数组 $eind$ 的大小为 $\#Pins$ 数值;数组 $eptr$ 存储每个超边对应邻接结点列表的起始位置,第 i 条超边的终止位置为第 $i+1$ 条超边的

起始位置减 1,且数组 $eptr$ 的大小为 $\#Nets$ 数值加 1,即数组 $eptr$ 最后一个元素用于存放最后一条超边的终止位置。



(a)



(b)

图2 图1的电路用例对应的 CSF 格式

当超图为超边赋权超图、结点赋权超图、赋权超图时,CSF 存储结构使用数组 $vwghts$ 存储结点的权值信息,数组 $vwghts$ 的大小为 $\#Modules$ 数值;使用数组 $hewgts$ 存储超边的权值信息,数组 $hewgts$ 的大小为 $\#Nets$ 数值^[10]。如图 2(b)所示,第 i 个结点的权值存放在 $vwghts[i]$,第 j 条超边的权值存放在 $hewgts[j]$ 。

4 超图的文件存储格式

图 1 中电路用例对应的超图文件存储格式采用文献[9]给出的格式,如图 3 所示。对于超图 $H=(V, E^h)$,文件的第 1 行第一个参数 x 给出了超边的数目 $|E^h|$,第二个参数 y 给出了结点的数目 $|V|$,第三个参数 fmt 用 0、1、10、11 来区分非赋权超图、超边赋权超图、结点赋权超图、赋权超图,其中非赋权超图的参数 fmt 为 0,且可以省略。

图 3(a)~(d)分别给出了非赋权超图、超边赋权超图、结点赋权超图、赋权超图的文件存储格式。文件从第 2 行开始到第 $|E^h|+1$ 行的每行代表着一

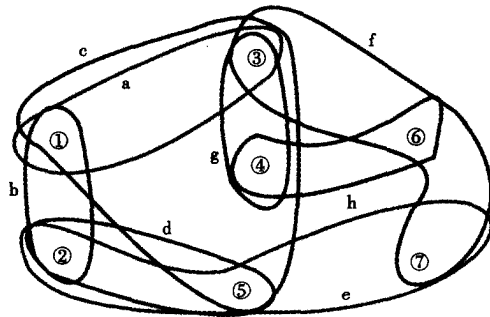
条超边的相关信息。如果结点被赋予权值,则文件从第 $|E^h|+2$ 行开始到第 $|E^h|+|V|+1$ 行(即文件尾)的每行代表着一个结点的权值信息^[10]。图 3(a)中仅给出超边的结点信息,例如第 2 行对应超边 a 的信息为 $\{1,3\}$ 。图 3(b)中在给出超边结点信息的同时给出了超边的权值,例如第 2 行对应超边 a 的信息为 $\{2,1,3\}$ 。图 3(c)中在给出超边结点信息的同时还给出了结点的权值,例如第 10 行对应结点 1 的权值为 3。图 3(d)中在给出超边结点信息的同时,既给出了超边的权值,又给出了结点的权值,相当于图 3(b)和图 3(c)合并后的信息。

5 VLSI 设计到赋权超图的转换系统

基于 VLSI 划分问题的需要,我们设计并实现了 VLSI 设计到赋权超图的转换系统 VHC。VHC 系统的流程如图 4 所示,具体步骤为:①对 Verilog 语言描述的 VLSI 设计进行词法分析,即从左到右逐个读入该电路的源代码,对构成源代码的字符流进行扫描和分解,从而识别出一个个单词,得到对应

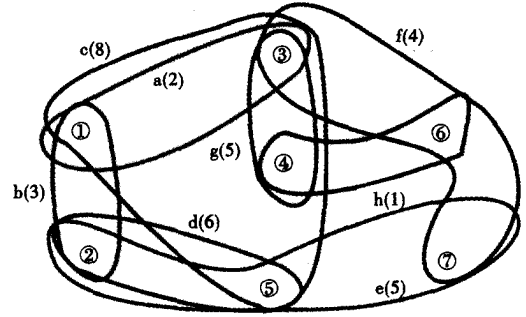
的单词序列;② 进行语法分析,即在词法分析的基础上将单词序列分解成各类语法短语,依据 Verilog 语言的语法规则,确定整个字符流是否构成一个语

法上正确的程序,并得到对应的语法短语;③ 进行语义分析,即在语法分析的基础上审核源代码有无语义错误,为中间代码生成阶段收集类型信息;④中



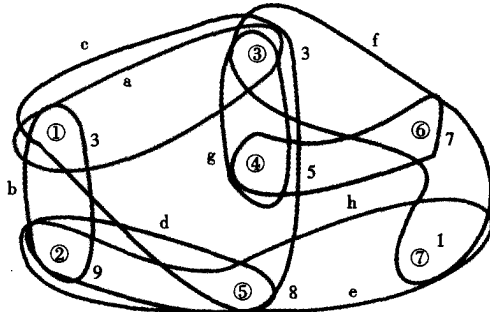
HyperGraph File:
8 7
1 3
1 2
1 3 4 5
2 5
7 2 5
7 3 6
3 4
4 6

(a)



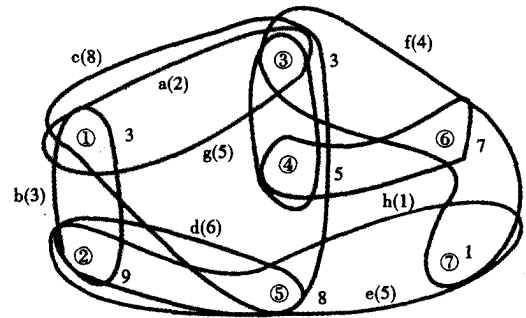
HyperGraph File:
8 7 1
2 1 3
3 1 2
8 1 3 4 5
6 2 5
5 7 2 5
4 7 3 6
5 3 4
1 4 6

(b)



HyperGraph File:
8 7 10
1 3
1 2
1 3 4 5
2 5
7 2 5
7 3 6
3 4
4 6
3
9
3
5
8
7
1

(c)



HyperGraph File:
8 7 11
2 1 3
3 1 2
8 1 3 4 5
6 2 5
5 7 2 5
4 7 3 6
5 3 4
1 4 6
3
9
3
5
8
7
1

(d)

图 3 图 1 的电路用例对应的超图文件存储格式

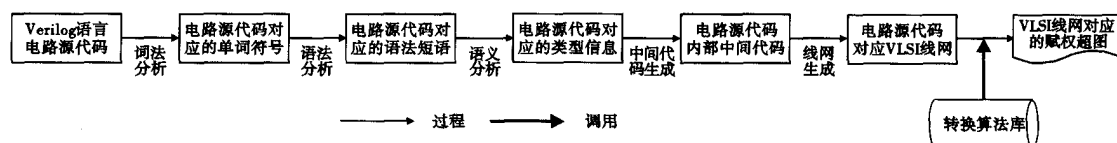


图4 VLSI 设计到赋权超图转换系统的流程图

间代码生成,即在语法分析和语义分析的基础上,将源代码生成用内部中间格式表示的中间代码;⑤ 基于中间代码构造 VLSI 设计对应的线网;⑥ 调用转换算法库中的转换算法,转换为 VLSI 线网对应的赋权超图,并存储为指定的超图文件格式。

VLSI 线网到赋权超图的转换算法的主要思想是:将 VLSI 设计对应的线网看作超图,通过递归遍历树状结构的 VLSI 线网,将其转换为赋权超图。该转换算法将电路单元看作为超图中的结点,电路单元间的连线看作为超图中的超边,并且每条超边可以连接两个以上的结点,对应于电路单元间的连线可以连接两个以上的电路单元。VLSI 线网到赋权超图的转换算法的基本步骤如下:

步骤 1: 门例示 (gate instantiation) 计数器 (counter) 清零, 信号 (signal) 计数器清零;

步骤 2: 从顶层 (top) 模块 (module) 开始, 递归遍历树状结构 VLSI 线网的模块, 为每个门例示编号;

步骤 3: 从顶层模块开始, 递归遍历树状结构 VLSI 线网的模块, 依次处理每个信号 x ;

步骤 3.1: 依次处理信号 x 的每个管脚连接 (pin), 支持跨层次 (hierarchical) 连接, 寻找到连接的另一端的门例示 y ;

步骤 3.2: 如果门例示 y 已经存在信号 x 的连接中, 则忽略该门例示 y ; 否则给信号 x 增加该门例示 y ;

步骤 3.3: 依次输出信号 x 的每个管脚连接所在的门例示 y 的编号;

步骤 3.4: 依次输出信号 x 的权值;

步骤 3.5: 信号计数器加 1;

步骤 4: 在赋权超图文件的第 1 行输出, 第一个参数为信号计数器的值, 第二个参数为门例示计数器的值, 第三个参数为 fmt 值 11;

设 VLSI 线网中门例示数为 m , 信号数为 t , 所有信号的管脚连接数为 n 。该转换算法中步骤 2 循环次数为 m ; 步骤 3 外循环次数为 t , 步骤 3.3 内循

环次数等价于所有信号的管脚连接数为 n , 因此整个算法的时间复杂度为 $O(m+n)$ 。该转换算法的空间复杂度取决于超图的 CSF 存储空间。基于图 2 给出的 CSF 存储结构定义, 包含大小为 m 的数组 $vwgts$, 大小为 n 的数组 $eind$, 大小为 t 的数组 $hewgts$ 和 $eptr$, 因此空间时间复杂度为 $\Omega(m+n+2 \times t)$ 。

6 VHC 实验设计及结果

针对 VHC 的实验, 选用的测试基准为 Springsoft 集团提供的、采用 Verilog 语言树状结构描述的门级 CPU。图 5 中给出了一个门级 CPU 的电路原理图。图中左上区域为 CPU 的树状设计结构, 右上区域为顶层模块 system 的部分 Verilog 源代码, 下半部为内部子模块 CCU、PCU 和 ALUB 的连接关系。在 VHC 的实验方案中, 指定待测设计 (DUT: Design Under Testing) 部分为 system.i_cpu, 对其包含的 584 个电路元件进行赋权超图转换。该实验得到了 DUT 对应的赋权超图, 通过了 hMeTiS 超图优化划分软件包的检测^[9], 且其结点数是 584, 超边数是 609。

7 结束语

本文以某电路用例及对应的超图为例, 阐述了电路构造图、超图的压缩存储格式和文件存储格式; 本文设计并实现了 VLSI 设计到赋权超图的转换系统, 并针对 VLSI 线网给出了转换到赋权超图的算法。通过用赋权超图描述 VLSI 设计, 将 VLSI 划分问题转换为超图划分优化问题: 使每个电路子集所包含的元件数目大致相等的划分要求, 对应于超图划分优化问题的平衡约束条件; 使这些电路子集之间的内连线数据达到最小的划分目标, 对应于超图划分优化问题的最小化总截权。实验及分析表明, VHC 系统能正确地将 Verilog 语言描述的门级 CPU 测试用例转换为赋权超图, 避免了直接在 VLSI 线网上进行划分, 提高了 VLSI 划分的效率。

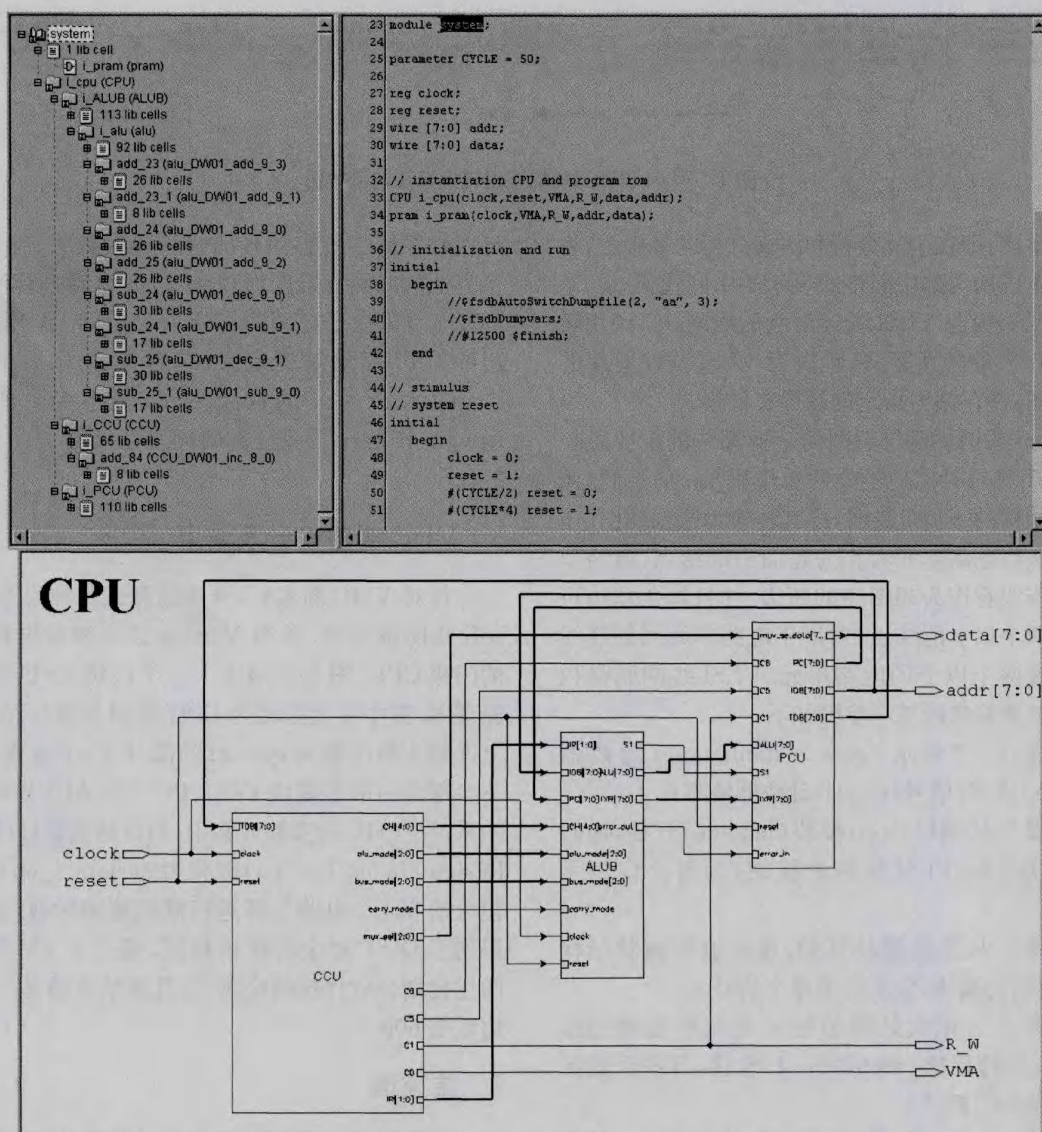


图5 门级CPU的电路原理图

参考文献:

- [1] Karypis G, Aggarwal R, Kumar V, et al. Shekhar. Multilevel hypergraph partitioning: Applications in vlsi domain[C]//Proc. 34th Design Automation Conference. New York: ACM Press, 1998: 526-529.
- [2] 孔昕, 吴武臣. VLSI 互联线的延时优化研究[J]. 微电子学与计算机, 2010, 27(4): 66-69.
- [3] 南国芳. VLSI 物理设计中关键问题求解的算法研究[D]. 天津: 天津大学, 2004.
- [4] 冷明. 基于多水平方法的无向图划分及其在 VLSI 设计中的应用研究[D]. 上海: 上海大学, 2008.
- [5] Lengauer T. Combinatorial algorithms for integrated circuit layout[M]. New York: Wiley-Teubner, 1990.
- [6] Alpert C J, Kahng A B. Recent directions in netlist partitioning, integration[J]. The VLSI Journal, 1995 (19): 1-81.
- [7] 孙凌宇, 冷明. 一种 VLSI 设计到无向赋权图的转换系统[J]. 微电子学与计算机, 2009, 26(7): 57-59.
- [8] 孙凌宇, 冷明. 一种 ISPD98 电路网表到图的转换算法[J]. 井冈山学院学报: 自然科学, 2008, 29(4): 19-21.
- [9] Karypis G, Kumar V. HMetis 1.5.3: a hypergraph partitioning package [R]. Department of Computer Science, University of Minnesota, 1998.
- [10] 冷明, 孙凌宇. 一种 ISPD98 电路网表到超图的转换算法[J]. 微电子学与计算机, 2011, 28(9): 111-114.

(下转第 17 页)

三个影响因子后,改善了其所引起的计算结果不精确的问题.本加权模型的方法实验结果比较理想,但是仍然有一些需要改进的问题,比如基于词语距离的方法仅考虑了两概念间的最短距离,未兼顾概念间可能存在的多条路径;在计算综合相似度时,如何最优化影响因子的分配.本文的后续研究工作有:搜索两个概念的所有路径的距离进行加权平均以及各影响因子权重的确定.通过完善算法,力争使相似度计算结果更符合人的主观判断.

参考文献:

- [1] 董金祥. 基于语义面向服务的知识与管理[M]. 浙江: 浙江大学出版社, 2009.
- [2] Lin D K. An information theoretic definition of similarity[C] // Proceedings of the 15th International conference on Machine Learning. San Francisco, CA, 1998: 296-304.
- [3] Genest D, Chein M. An experiment in document retrieval using conceptual graphs[J]. Lecture Notes in computer Science, 1997(1257):489-504.
- [4] Chatterjee N. A statistical approach for similarity measurement between sentences for EBMT [C] // STRANS-2001 symposium on Translation support systems. India, Kanpur, 2001.
- [5] 兰美辉, 夏幼明. 基于本体的概念相似度计算模型研究[J]. 曲靖师范学院学报, 2010, 29(3): 67-70.
- [6] 陈沈焰, 吴军华. 基于本体的概念语义相似度计算及其应用[J]. 微电子学与计算机, 2008, 25(12): 96-99.
- [7] 安建成, 武俊丽. 基于语义树的概念相似度计算方法研究[J]. 微电子学与计算机, 2011, 28(1): 139-142.
- [8] 李文杰, 赵岩. 基于本体结构的概念间语义相似度的算法[J]. 计算机工程, 2010, 36(23): 4-6.

作者简介:

刘欣荣 (1977—), 硕士, 讲师. 研究方向为语义 web、数据挖掘.

阳光 (1972—), 硕士, 副教授. 研究方向为软件工程.

(上接第 12 页)

作者简介:



冷明男, (1975—), 博士, 副教授. 研究方向为 VLSI 算法分析与设计、组合分析与优化等.

孙凌宇 女, (1976—), 硕士, 副教授. 研究方向为电子设计自动化、组合算法等.

郭恺强 男, (1978—), 硕士, 讲师. 研究方向为组合分析与优化等.

朱平 男, (1955—), 硕士, 教授. 研究方向为算法分析与设计等.